

Arborescence des erreurs de parité 10000 ESR PRE2

Contenu

[Introduction](#)

[Conditions préalables](#)

[Conditions requises](#)

[Composants utilisés](#)

[Conventions](#)

[Analyse d'arborescence des erreurs de parité de processeur de l'artère PRE2](#)

[Parité PRE2 et détection ECC](#)

[Parité et erreurs ECC dans le processeur d'artère de la gamme Cisco 10000 ESR](#)

[PRE2 analyse de l'arborescence de défaillances du paquet rapide ECC](#)

[Informations connexes](#)

[Introduction](#)

Ce document explique les étapes pour dépanner et isoler que le composant d'un routeur de services de périphérie de gamme Cisco 10000 (ESR) avec l'engine de routage de représentation (PRE2) manque quand vous identifiez un grand choix de messages d'erreur de parité.

[Conditions préalables](#)

[Conditions requises](#)

Les lecteurs de ce document doivent avoir une bonne connaissance de ce qui suit :

- [Erreurs de parité de mémoire de processeur \(PMPE\)](#)
- [Résolution des problèmes de blocage de routeurs](#)

[Composants utilisés](#)

Les informations dans ce document sont basées sur le logiciel et les versions de matériel suivants :

- Gamme Cisco 10000 ESR utilisant le PRE2
- Toutes les versions de Cisco IOS ?? Logiciel

Remarque: Ce document n'applique pas aux Routeurs d'Internet de gamme Cisco 10720.

Les informations contenues dans ce document ont été créées à partir des périphériques d'un environnement de laboratoire spécifique. Tous les périphériques utilisés dans ce document ont

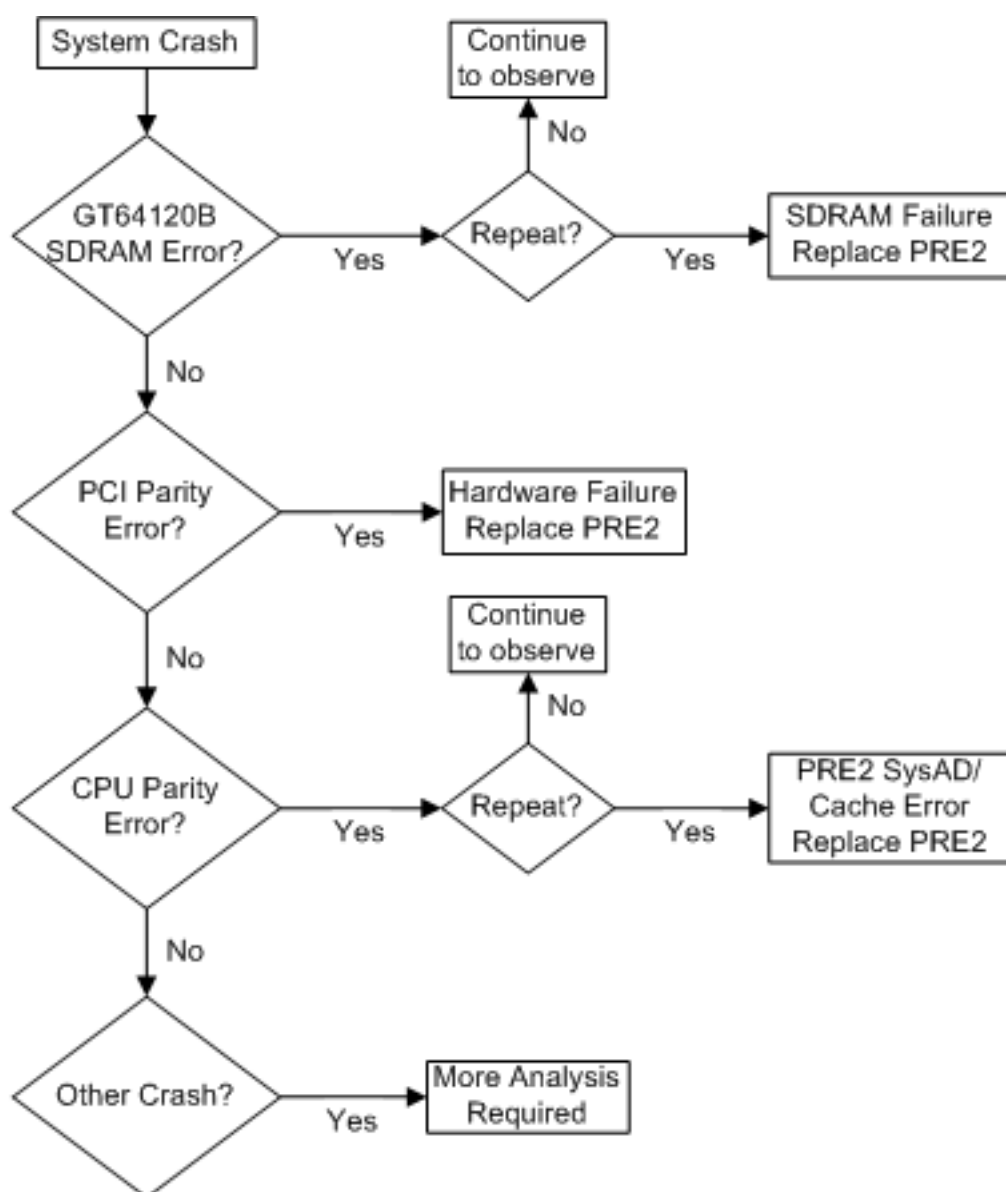
démarré avec une configuration effacée (par défaut). Si votre réseau est opérationnel, assurez-vous que vous comprenez l'effet potentiel de toute commande.

Conventions

For more information on document conventions, refer to the [Cisco Technical Tips Conventions](#).

Analyse d'arborescence des erreurs de parité de processeur de l'artère PRE2

La gamme Cisco 10000 ESR PRE2 se compose de deux cartes à circuits : le processeur d'artère (RP) et le processeur d'expédition (point de gel). L'organigramme ci-dessous peut vous aider à déterminer quel composant d'un ESR PRE2 est responsable de la parité ou des messages d'erreur du code correcteur d'erreurs (ECC) sur le processeur d'artère.



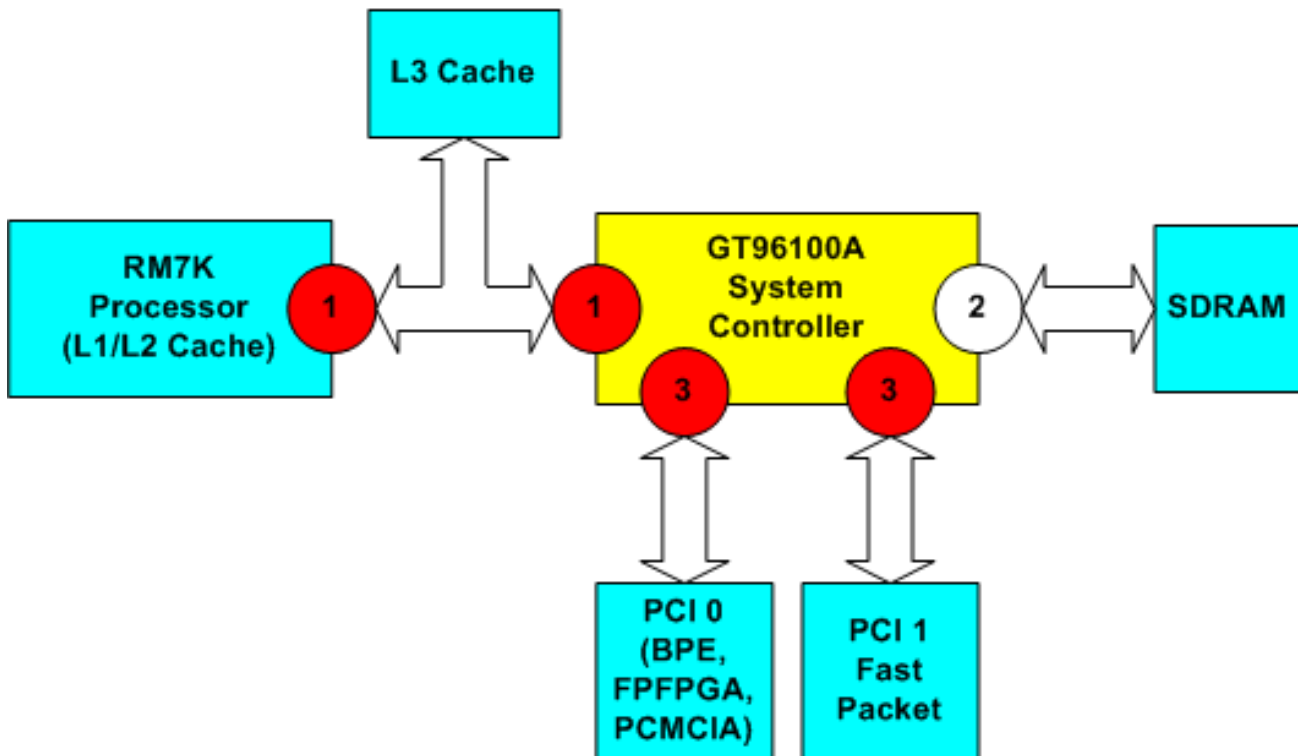
Remarque: Saisissez et enregistrez la sortie de commande de **show tech-support** et consolez les logs, et collectez tous les fichiers de [crashinfo](#) et de `pxf_crashinfo` pendant la parité ou les erreurs ECC.

Parité PRE2 et détection ECC

Le diagramme suivant décrit la partie de l'architecture PRE2 RP qui peut éprouver la parité ou les erreurs ECC.

The **red** circles indicate paths where the PRE2 will detect parity.

The **white** circle indicates the path where single-bit errors will be detected and corrected.



- 1** CPU Parity Error (Cache, Bus Exception)
- 2** SDRAM Correct single-bit errors (SBEs) OR Detect multi-bit errors (MBEs)
- 3** PCI Parity Error

Le PRE2 RP utilise la correction de l'erreur (SBE) et la détection à bit unique ECC de l'erreur de bits multiples (MBE) à la mémoire partagée (SDRAM). Un SBE dans le SDRAM est corrigé automatiquement, et le système continue à fonctionner en tant que normale.

Un MBE dans le SDRAM est un événement mortel, qui fait produire une exception d'erreur de cache ou une erreur sur le bus. Le reste de la mémoire et les bus dans le système utilisent la détection à bit unique de parité. SBEs à 1 et 3 dans le diagramme ci-dessus sont mortels et font remettre à l'état initial le routeur.

Parité et erreurs ECC dans le processeur d'artère de la gamme Cisco 10000 ESR

Les données avec la mauvaise parité en peuvent être signalées par plusieurs des périphériques parité-vérifiants pour lus ou écrire l'exécution sur Cisco ESR PRE2.

Ce qui suit est une description des divers messages d'erreur RP signalés sur un ESR avec un PRE2 installé :

- Erreur GT64120B SDRAMLe message d'erreur suivant est signalé quand un contrôleur système GT64120B détecte une erreur du multi-bit ECC en lisant le SDRAM :

```
%ERR-1-GT64120 (PCI-0): Fatal error, Memory parity error (external)
GT=0xB4000000, cause=0x0100E283, mask=0x0ED01F00, real_cause=0x00000200
bus_err_high=0x00000000, bus_err_low=0x00000000, addr_decode_err=0x00000470
%ERR-1-FATAL: Fatal error interrupt, reloading
RP FPGA status 0x00000004
EPC 0x6084116C Error EPC 0xBFC00C54 BadVA 0xD6E8B233
Status 0x3400FF03
```

Remplacez le PRE2 après une deuxième panne.

- Maître d'erreur de parité de système GT64120B luAccéder à l'un ou l'autre des bus PCI déclenche une erreur de parité dans le maître lu. Ce qui suit est un exemple d'un message d'erreur de parité :

```
%ERR-1-GT64120 (PCI0):Fatal error, Parity error on master read
GT=B4000000, cause=0x0110E083, mask=0x0ED01F00, real_cause=0x00100000
Bus_err_high=0x00000000, bus_err_low=0x00000000,
addr_decode_err=0x00000470

%ERR-1-SERR: PCI bus system/parity error
%ERR-1-FATAL: Fatal error interrupt, No reloading
Err_stat=0x81, err_enable=0xFF, mgmt_event=0x40
```

Remplacez le PRE2 à la découverte de ces erreurs.

- Erreur de parité CPUUn message d'erreur de parité CPU est signalé si la CPU détecte une erreur de parité en accédant au cache externe du processeur (couche 3 [L3] sur le PRE2) par son bus de SysAD, ou en accédant à l'un ou l'autre des mémoires de cache interne CPU (la couche 1 [L1] ou posent 2 [L2]). La table au-dessous des exemples d'expositions des messages imprimés pour chaque type d'erreur de parité en cache. Employez la table ci-dessus pour identifier l'emplacement de l'erreur de parité signalée à la console de la gamme Cisco 10000 ESR.

Exemple 1 :

La première ligne du message d'erreur indique l'emplacement de l'erreur de parité, et peut être n'importe quel emplacement répertorié dans la [table ci-dessus](#). Dans cet exemple, l'emplacement est le cache de données L3.

```
Error: SysAD, data cache, fields: data, 1st dword
Physical addr(21:3) 0x195BE88,
Virtual address is imprecise.
Imprecise Data Parity Error
Imprecise Data Parity Error
```

Remplacez le PRE2 après une deuxième panne.

Exemple 2 :

La première ligne du message d'erreur indique l'emplacement de l'erreur de parité, et peut être n'importe quel emplacement répertorié dans la [table ci-dessus](#). Dans cet exemple, l'emplacement est le cache de l'instruction L3.

```
Error: SysAD, instr cache, fields: data, 1st dword
Physical addr(21:3) 0x0000000,
virtual addr 0x6040BF60, vAddr(14:12) 0x3000
virtual address corresponds to main:text, cache word 0
```

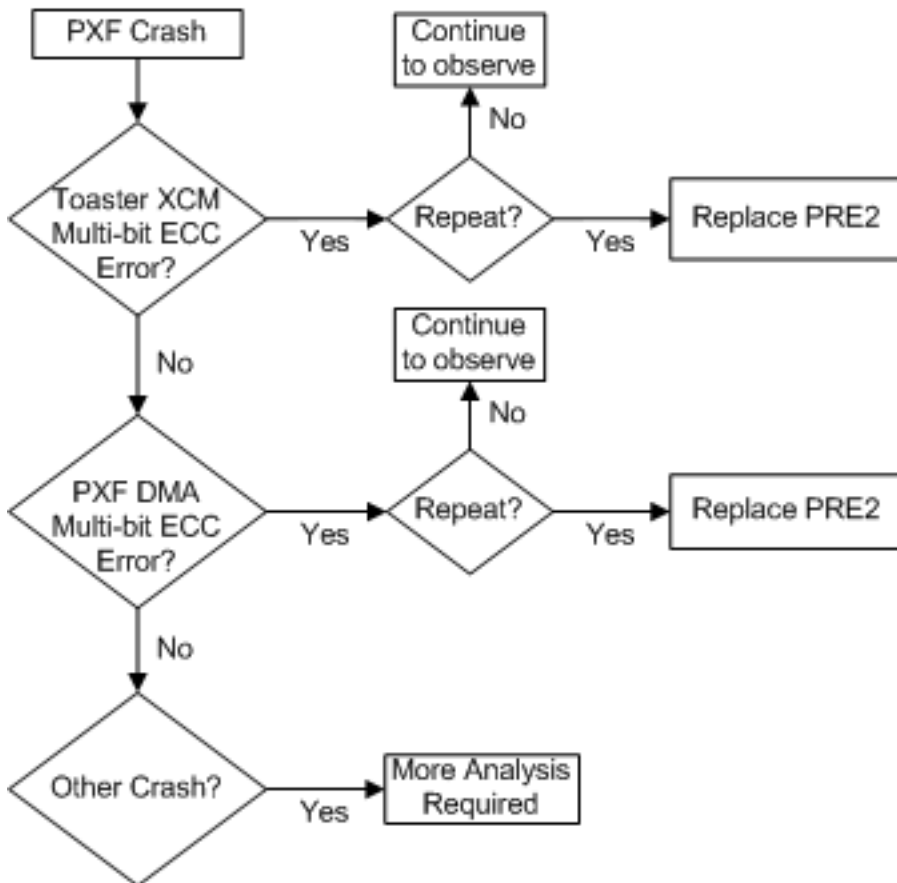
	Low Data	High Data	Par	Low Data	High Data	Par
L1 Data:	0:0xAE620068	0x8C830000	0x00	1:0x50400001	0xAC600004	0x01
	2:0xAC800000	0x00000000	0x02	3:0x1600000B	0x00000000	0x01
	Low Data	High Data	Par	Low Data	High Data	Par
DRAM Data:	0:0xAE620068	0x8C830000	0x00	1:0x50400001	0xAC600004	0x01
	2:0xAC800000	0x00000000	0x02	3:0x1600000B	0x00000000	0x01

Comme dans l'exemple 1, remplacez le PRE2 après une deuxième panne.

[PRE2 analyse de l'arborescence de défaillances du paquet rapide ECC](#)

La carte à circuits point de gel est le bureau supérieur de l'assemblage PRE2. Le panneau point de gel contient cinq circuits intégrés spécifiques à l'application (ASIC), une interface simple ASIC du fond de panier, et le traitement réseau ASIC de quatre Parallel Express Forwarding (PXF). Chaque ASIC a accès aux systèmes mémoire externes.

Le diagramme suivant vous aide à déterminer quel composant d'un point de gel de la gamme Cisco 10000 ESR PRE2 est responsable des messages d'erreur ECC :



[Erreurs de l'interface ASIC DDR FCRAM ECC du fond de panier](#)

L'interface ASIC du fond de panier a accès à deux mémoires rapides ECC-protégées différentes de la RAM de cycle du DDR (DDR) (FCRAM), à mémoire externe de paquet (EPM) et à mémoire de contrôle externe (contre-mesure électronique).

- Erreurs à bit unique de l'interface ASIC DDR FCRAM ECC du fond de panier SBEs sont détectés et les données corrigées sont présentées. Des erreurs à bit unique EPM sont signalées comme suit :

```

%Cl0KEVENTMGR-1-MINOR_FAULT: PXF DMA Single Bit PMC (EPM) Error
%Cl0KEVENTMGR-1-PMC_SBE_DEBUG: Address: 0x0FFE4608, Who: 0x02
Error taken in: Check bits, bit number: 0, Check byte value = 0x58
Errant Data: 0x00008F00 80350000
Corrected Data: 0x00008F00 80350000
  
```

Des erreurs à bit unique contre-mesure électronique sont signalées comme suit :

```

%Cl0KEVENTMGR-1-MINOR_FAULT: PXF DMA Error - Correctable ECM Error
%Cl0KEVENTMGR-1-ECM_SBE_DEBUG: Address: 0x013FD0A8, Who: 0x01
Error taken in: Data bits, bit number: 32, Check byte value = 0x67
Errant Data: 0x67CFFE58 00000000
Corrected Data: 0x00CFFE59 00000000
  
```

SBEs sont comptés et peuvent être affichés en émettant la commande de **compteurs de show pxf dma**. L'action n'est pas habituellement exigée pour SBEs ; cependant, répété ou fréquentez les exemples de ces erreurs sont cause pour le remplacement du PRE2.

- Erreurs du Multi-bit ECC de l'interface ASIC DDR FCRAM du fond de panier Quand cause détecté, du fond de panier de l'interface ASIC DDR FCRAM MBEs le réseau PXF traitant le microcode pour recharger, et pour créer également un fichier de pxf_crashinfo dans le

bootflash. Le réseau PXF traitant la recharge de microcode cause l'interface ASIC du fond de panier d'être réinitialisée, efficacement frottant le MBE du DDR FCRAM. Ce qui suit est un exemple du message imprimé à la console en réponse à une erreur du multi-bit ECC EPM dans l'interface ASIC DDR FCRAM du fond de panier :

```
%C10KEVENTMGR-1-MAJOR_FAULT: PXF DMA Multi-bit PMC (EPM) Error
Downloading Microcode: file=system:pxf/c10k2-11-ucode.106.1.0.0, version=106.1.0.0,
description=Release Software created Tue 03-Jun-03 00:57
```

Remplacez le PRE2 après une deuxième panne. Ce qui suit est un exemple du message imprimé à la console en réponse à une erreur du multi-bit ECC contre-mesure électronique dans l'interface ASIC DDR FCRAM du fond de panier :

```
%C10KEVENTMGR-1-MAJOR_FAULT: PXF DMA Error - Uncorrectable ECM Error
Downloading Microcode: file=system:pxf/c10k2-11-ucode.106.1.0.0, version=106.1.0.0,
description=Release Software created Tue 03-Jun-03 00:57
```

Remplacez le PRE2 après une deuxième panne.

Réseau PXF traitant des erreurs de la mémoire ECC de colonne ASIC

Le réseau PXF quatre traitant des ASIC ont la mémoire ECC-protégée de colonne de l'accès DDR FCRAM, ou la mémoire externe de colonne (XCM).

- Réseau PXF traitant des erreurs à bit unique ASIC XCM ECCSBEs sont détectés et les données corrigées sont présentées. SBEs sont comptés, et le réseau PXF traitant le compte ASIC XCM SBE peut être affiché en émettant la commande de **show pxf xcm**. Quand les bouclages de compteur SBE, SBEs sont signalés et le RP frotte l'adresse du premier SBE qui a été détecté par le réseau PXF traitant l'ASIC. Ce qui suit est un exemple d'un message signalé quand un SBE est signalé :

```
%C10KEVENTMGR-1-MAJOR_FAULT: PXF DMA Error - Uncorrectable ECM Error
Downloading Microcode: file=system:pxf/c10k2-11-ucode.106.1.0.0, version=106.1.0.0,
description=Release Software created Tue 03-Jun-03 00:57
```

Le nombre de grille-pain (réseau PXF traitant l'ASIC) et l'interface DDR FCRAM dans le message précédent reflètent l'interface XCM où le SBE du compteur enveloppé a été détecté. Le message d'erreur ci-dessus indique que l'erreur s'est produite sur le grille-pain 0, XCM 1, interface A. Action n'est pas habituellement exigé pour des bouclages de compteur SBE ; cependant, répété ou fréquentez les exemples de ces erreurs sont cause pour le remplacement du PRE2.

- Réseau PXF traitant des erreurs du Multi-bit ECC ASIC XCMXCM des erreurs du multi-bit ECC ne peuvent pas être corrigées. Dans les systèmes avec PRE2s redondant, XCM cause de MBEs un crash et PRÉ un Basculement. Dans les systèmes avec un PRE2 simple, la détection XCM de MBEs force un réseau PXF traitant la recharge de microcode ASIC. La recharge de microcode réinitialise tout le réseau PXF traitant des mémoires ASIC XCM, frottant efficacement le MBE ECC de la mémoire. Les messages suivants apparaissent dans le log et le fichier de crashinfo ou de pxf_crashinfo :

```
%PXF-2-FAULT: T3 XCM1 FCRAM-D: Multi-bit ECC error on bits [0:31]
%C10KEVENTMGR-4-PXF_CRASHINFO: Writing PXF debug information to
bootflash:pxf_crashinfo_20030729-153845.
%C10KEVENTMGR-1-MAJOR_FAULT: PXF DMA Toaster Fault, Restarting PXF
00:08:01: Downloading Microcode: file=system:pxf/c10k2-11-ucode.6.1.0.0,
version=6.1.0.0, description=Release Software created Mon 21-Jul-03 12:17
```

Quand ceci se produit, le message d'erreur spécifie le grille-pain (T0, t1, T2, ou T3), le nombre XCM approprié (0 ou 1), et l'interface DDR FCRAM (A, B, le C, ou D) qui a rencontré l'erreur du multi-bit ECC. Le message d'erreur ci-dessus indique que la panne était sur le grille-pain 2, XCM 1, l'interface B. Remplacez le PRE2 après une deuxième panne.

[Informations connexes](#)

- [Page d'assistance technologique](#)