

# Árbol de fallas de errores de paridad de ESR PRE1 10000

## Contenido

[Introducción](#)

[prerrequisitos](#)

[Requisitos](#)

[Componentes Utilizados](#)

[Convenciones](#)

[Análisis del árbol de fallas de errores de paridad del procesador de la ruta PRE1](#)

[Detección de PRE1 Paridad/ECC](#)

[Errores de paridad/ECC en el procesador de ruta Cisco serie 10000 ESR](#)

[Análisis de árbol de fallos de ECC de paquete rápido de PRE1](#)

[Información Relacionada](#)

## [Introducción](#)

Este documento explica los pasos para diagnosticar y aislar la parte o el componente de un router de servicios de borde (ESR) de la serie Cisco 10000 y del motor de ruteo de rendimiento (PRE1) que presentan problemas al identificar distintos mensajes de error de paridad.

## [prerrequisitos](#)

### [Requisitos](#)

Cisco recomienda que tenga conocimiento sobre estos temas:

- [Errores de paridad en la memoria del procesador \(PMPE\)](#)
- [Resolución de problemas por averías del router](#)

### [Componentes Utilizados](#)

La información que contiene este documento se basa en las versiones de software y hardware indicadas a continuación.

- Edge Services Router de las Cisco 10000 Series (ESR) usando el Performance Routing Engine (PRE1)
- Todas las versiones del software de Cisco IOS®

**Nota:** Este documento no se aplica a los routers de Internet de la serie Cisco 10720.

La información que contiene este documento se creó a partir de los dispositivos en un ambiente

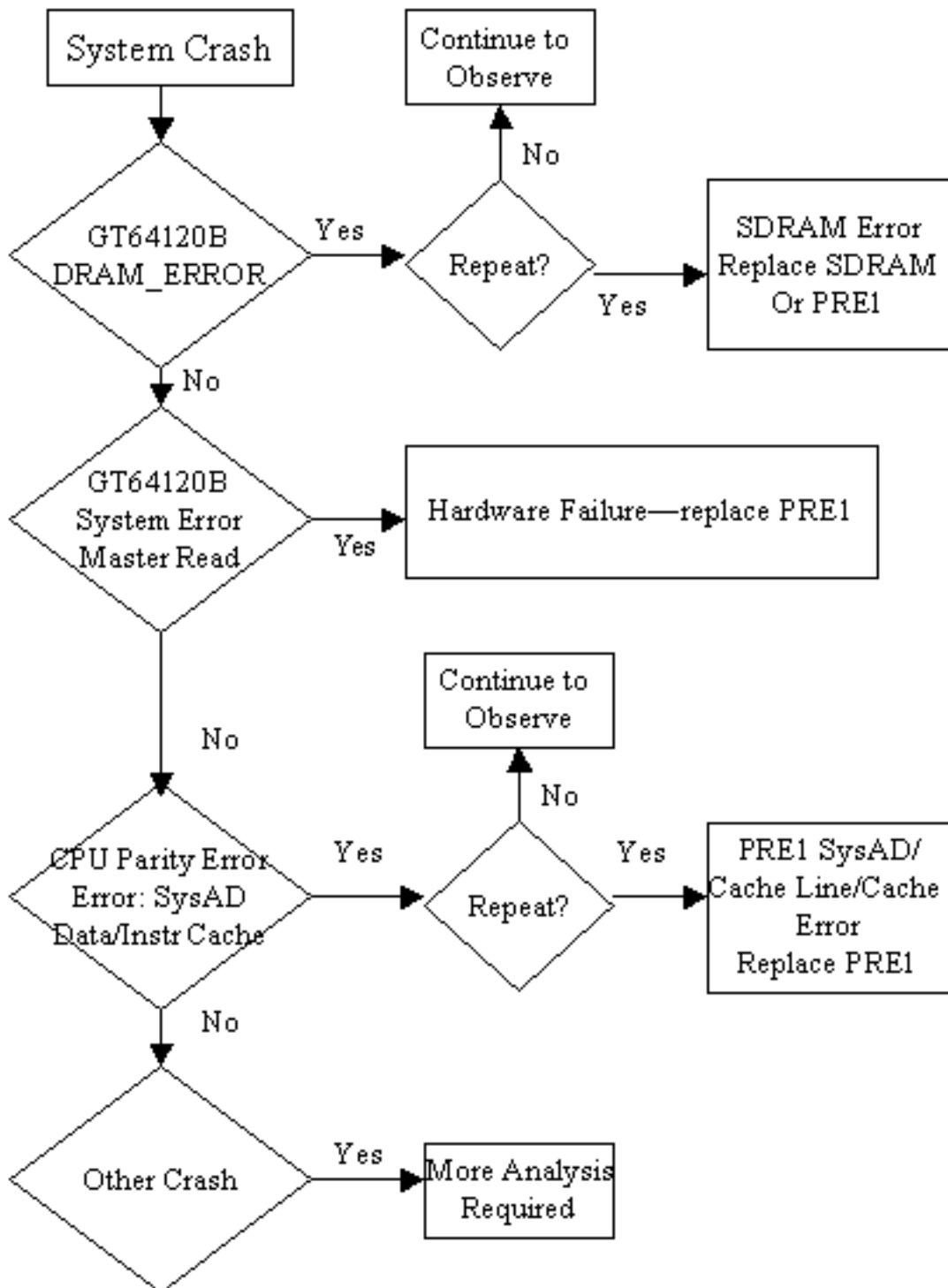
de laboratorio específico. Todos los dispositivos que se utilizan en este documento se pusieron en funcionamiento con una configuración verificada (predeterminada). Si la red está funcionando, asegúrese de haber comprendido el impacto que puede tener cualquier comando.

## [Convenciones](#)

Consulte [Convenciones de Consejos TécnicosCisco](#) para obtener más información sobre las convenciones del documento.

## [Análisis del árbol de fallas de errores de paridad del procesador de la ruta PRE1](#)

Las Cisco 10000 Series ESR PRE1 consisten en dos placas de circuito: el (RP) del Route Processor y el indicador luminoso LED amarillo de la placa muestra gravedad menor del Forwarding Processor (FP). El siguiente diagrama de flujo ayuda a determinar qué componente de ESR PRE1 de la serie Cisco 10000 es responsable de los mensajes de error de paridad/Corrección de código de error (ECC) en el procesador de la ruta.

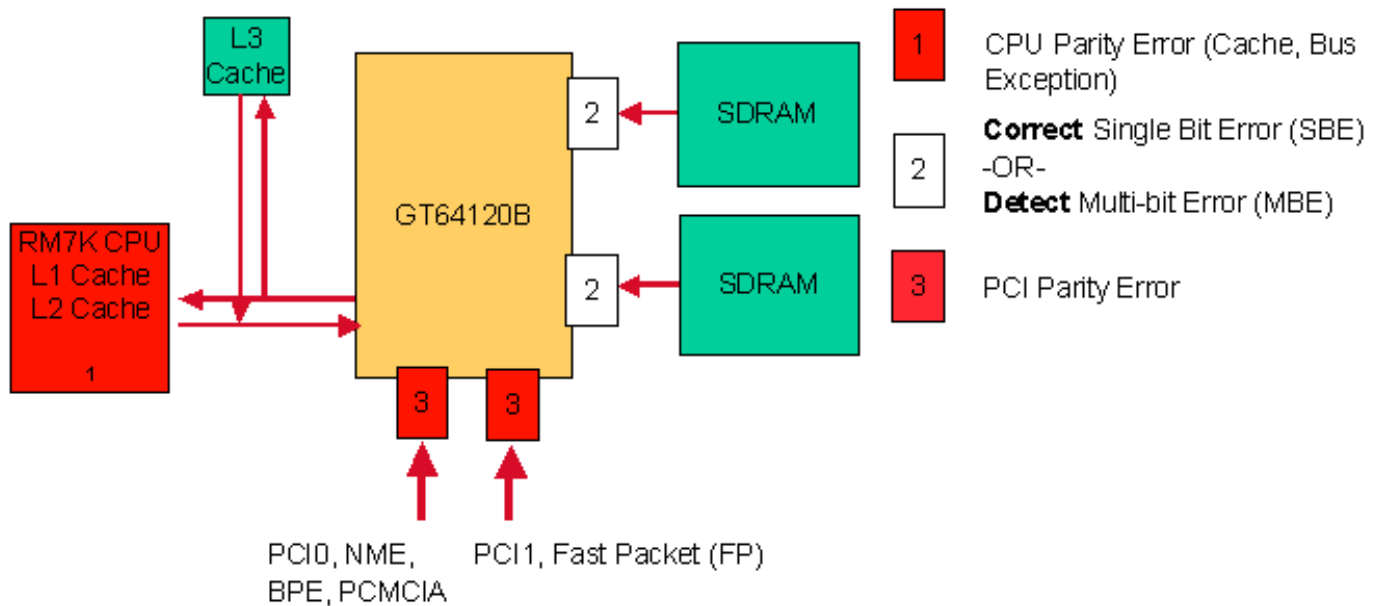


**Nota:** Capture y registre la salida y los registros de la consola del tecnología-soporte de la demostración, y recoja todo el [RMtermcode = 3 nfw](#) y archivos del pxf\_crashinfo durante los eventos de error de paridad/ECC.

## [Detección de PRE1 Paridad/ECC](#)

El siguiente diagrama describe la parte de la arquitectura PRE1 RP que puede tener errores de paridad/ECC.

The red boxes and lines indicate paths the PRE1 will detect parity and white detect and correct Single bit ECC errors.



PRE1 RP utiliza corrección de error único y detección de error de bits múltiples ECC (corrección de código de error) para compartir memoria (SDRAM). Un solo error binario en la memoria SDRAM se corrige en forma automática y el sistema sigue funcionando normalmente.

Un error de bits múltiples en SDRAM es un evento fatal, que causa una excepción de error de memoria caché o error de bus ocurrir. El resto de la memoria y los bus en el sistema utilizan la detección de paridad de un solo bit. Los errores de un único bit en 1 y 3 del diagrama anterior son fatales y hacen que el router se reinicie.

## [Errores de paridad/ECC en el procesador de ruta Cisco serie 10000 ESR](#)

Los datos con la paridad incorrecta pueden ser señalados por varios de los dispositivos de la verificación de paridad para ningunos leídos o escribir la operación en las Cisco 10000 Series ESR usando el PRE1.

Lo que sigue es una descripción de los diversos mensajes de error RP señalados sobre las Cisco 10000 Series ESR con un PRE1 instalado:

- Error de SDRAM GT64120BEI siguiente mensaje de error se registra cuando un controlador de sistema GT64120B detecta un error ECC de bits múltiples al leer la memoria SDRAM:  

```
%ERR-1-GT64120 (PCI-0): Fatal error, Memory parity error (external) GT=0xB4000000,
cause=0x0100E283, mask=0x0ED01F00, real_cause=0x00000200 bus_err_high=0x00000000,
bus_err_low=0x00000000, addr_decode_err=0x00000470 %ERR-1-FATAL: Fatal error interrupt,
reloading RP FPGA status 0x00000004 EPC 0x6084116C Error EPC 0xBFC00C54 BadVA 0xD6E8B233
Status 0x3400FF03
```

 Reemplace la SDRAM después de que falle por segunda vez. Si persiste el error, sustituya el PRE1.
- Error principal de paridad del sistema GT64120B leídoAccediendo cualquiera del PCI interliga los activadores que un error de paridad en el master leyó. Aquí tiene un ejemplo de un

mensaje de error de paridad:

```
%ERR-1-GT64120 (PCI0):Fatal error, Parity error on master read GT=B4000000,
cause=0x0110E083, mask=0x0ED01F00, real_cause=0x00100000 Bus_err_high=0x00000000,
bus_err_low=0x00000000, addr_decode_err=0x00000470 %ERR-1-SERR: PCI bus system/parity error
%ERR-1-FATAL: Fatal error interrupt, No reloading Err_stat=0x81, err_enable=0xFF,
mgmt_event=0x40
```

Reemplace el PRE1 en caso de detectar estos errores.

- **Error de Paridad en CPU** Un mensaje de error de paridad CPU está señalado si el CPU detecta un error de paridad al acceder el caché externo del procesador (L3 en el PRE1) a través de su bus del SysAD, o cualquiera de los memoria0es de memoria caché interna CPU (L1 o L2). La tabla 1 muestra ejemplos de los mensajes que se imprimirían para cada tipo de error de paridad de la memoria caché. **Tabla 1: Ubicación de errores de paridad CPU** Utilice el cuadro 1 para identificar la ubicación del error de paridad señalado a la consola de las Cisco 10000 Series ESR.

### Ejemplo 1:

La primera línea del mensaje de error indica la ubicación del error de paridad, que puede ser cualquiera de las enumeradas en la Tabla 1. En este ejemplo, la ubicación es memoria caché de datos L3.

```
Error: SysAD, data cache, fields: data, 1st dword Physical addr(21:3) 0x195BE88, Virtual address
is imprecise. Imprecise Data Parity Error Imprecise Data Parity Error
```

Reemplace el PRE1 después de que falle por segunda vez.

### Ejemplo 2:

La primera línea del mensaje de error indica la ubicación del error de paridad, que puede ser cualquiera de las enumeradas en la Tabla 1. En este ejemplo, la ubicación es la memoria caché de instrucciones L3.

```
Error: SysAD, instr cache, fields: data, 1st dword Physical addr(21:3) 0x000000, virtual addr
0x6040BF60, vAddr(14:12) 0x3000 virtual address corresponds to main:text, cache word 0 Low Data
High Data Par Low Data High Data Par L1 Data: 0:0xAE620068 0x8C830000 0x00 1:0x50400001
0xAC600004 0x01 2:0xAC800000 0x00000000 0x02 3:0x1600000B 0x00000000 0x01 Low Data High Data Par
Low Data High Data Par DRAM Data: 0:0xAE620068 0x8C830000 0x00 1:0x50400001 0xAC600004 0x01
2:0xAC800000 0x00000000 0x02 3:0x1600000B 0x00000000 0x01
```

Como en el ejemplo 1, sustituya el PRE1 después de una segunda falla.

- **Cause un crash debido al error de paridad:**

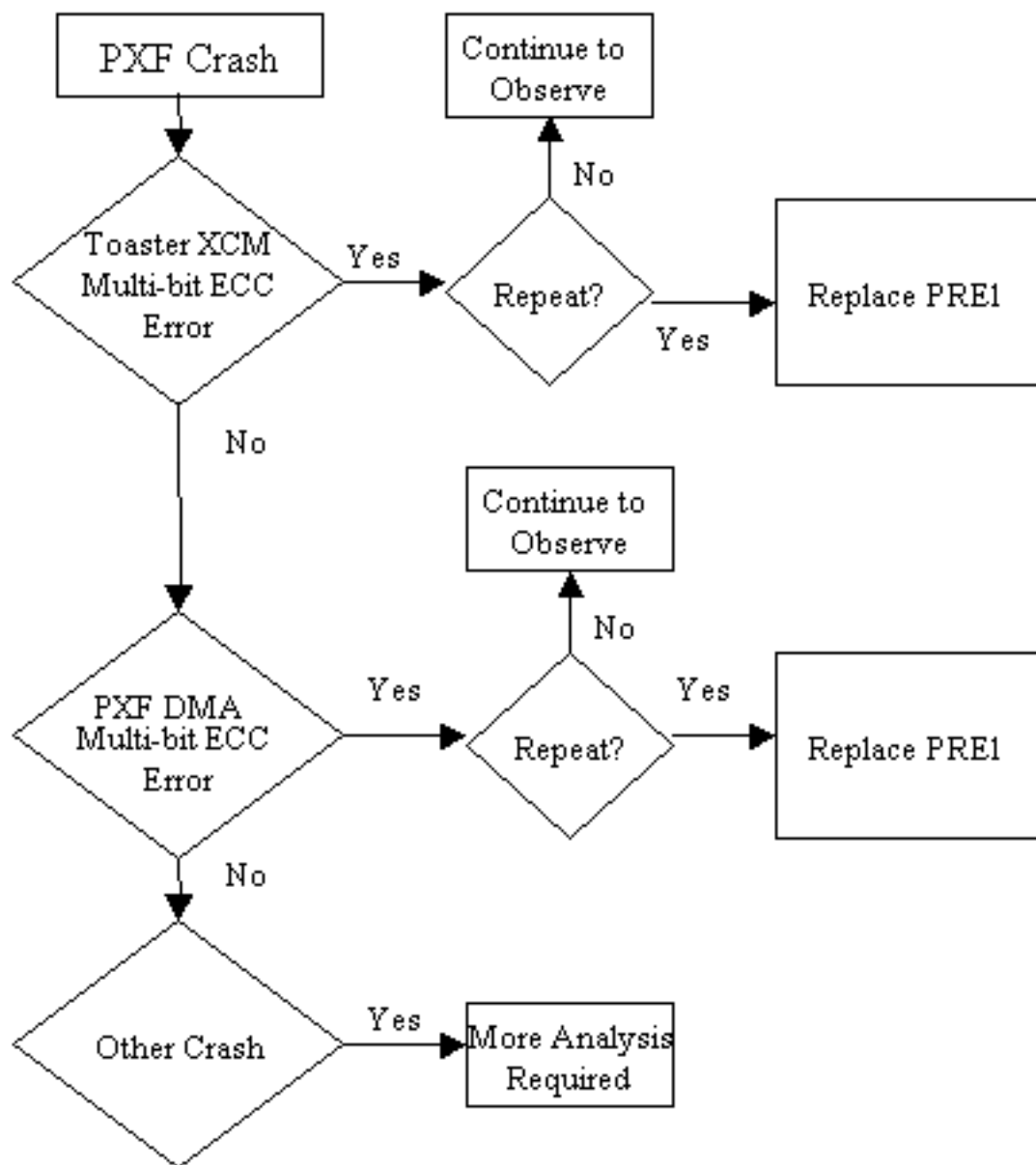
```
Mar 14 10:32:01.029 UTC: %C10K_TOASTER-3-ERROR:
TCAM0 has parity error
Mar 14 10:32:01.033 UTC: %C10KEVENTMGR-1-MINOR_FAULT: PXF DMA ToasterFault
Mar 14 10:32:01.033 UTC: %C10KEVENTMGR-1-MINOR_REOCCURRING: PXF DMAToaster Fault
```

 Los errores de paridad TCAM deben ser esperados sobre la base de los cálculos sabidos MTBF. El mensaje de error es simplemente un problema de hardware transitorio.

## [Análisis de árbol de fallos de ECC de paquete rápido de PRE1](#)

La tarjeta de circuito del Procesador de reenvío (FP) es la placa superior de la instalación PRE1. La tarjeta FP contiene tres circuitos específicos de la aplicación (Asics), una sola interfaz de backplane ASIC, y la red del Parallel Express Forwarding dos (PXF) que procesa Asics. Cada ASIC tiene acceso a los sistemas de memoria externa.

El siguiente diagrama le ayuda a determinar qué componente de la serie ESR PRE1 FP de Cisco es responsable de los mensajes de error de ECC.



### [Errores ASIC SDRAM ECC de la interfaz de backplane](#)

- Errores de un solo bit del código corrector de error de ASIC SDRAM de la interfaz de backplane (ECC) La interfaz de la placa de interconexiones ASIC tiene acceso a SDRAM protegida por ECC. Se detectan los errores de un solo bit y se presentan los datos corregidos. Los errores de un solo bit están señalados como sigue:  

```
%C10KEVENTMGR-1-MINOR_FAULT: PXF DMA Single Bit SDRAM Error %C10KEVENTMGR-1-SBE_DEBUG:
Address: 0x01003C00, Who: 0x02, Data With ECC: 0x6E453363 2843ADAC D4 10769E 9773870C, Data
w/o ECC: 0x6E453363 2843ADAC D410769E 9773870C
```

Los errores de un solo bit se cuentan y se muestran con el comando `show hardware pxf dma counters` del software del IOS de Cisco. La acción no se requiere generalmente para los errores de un solo bit; sin embargo, relanzado o frecuente los casos de los errores de un solo bit son causa para el reemplazo del PRE1.
- Errores ECC del multibit de ASIC SDRAM de la interfaz de backplane Una vez detectados, los errores de bits múltiples de la placa de interconexiones ASIC SDRAM hacen que el microcódigo de procesamiento de red PXF se recargue y también que se cree un archivo

pxf\_crashinfo en la memoria flash de inicialización. La red PXF que procesa la recarga del microcódigo hace la interfaz de backplane ASIC ser reiniciada, con eficacia fregando el error de bits múltiples de SDRAM. Aquí se presenta un ejemplo del mensaje impreso en la consola como respuesta a un error de ECC de bits múltiples en SDRAM de interfaz de placa de conexiones ASIC:

```
%C10KEVENTMGR-1-MAJOR_FAULT: PXF DMA Multi-bit SDRAM Error, Restarting PXF Downloading  
Microcode: file=system:pxf/c10k-1-ucode.3.1.0, version=3.1.0, description=Release Software  
created Tue 11-Sep-01 19:25 Reemplace el PRE1 después de que falle por segunda vez.
```

## [Procesamiento de red PXF de errores ECC de la memoria de columna ASIC](#)

Los dos ASIC de procesamiento de red PXF tienen acceso a la memoria de columna protegida SDRAM ECC o a la memoria de columna eXternal (XCM).

- Errores ECC de un único bit de la XCM del ASIC de procesamiento de red PXF. Se detectan los errores binarios simples y se presentan los datos correctos. Los errores de bit único se cuentan y el recuento de errores de bit único de XCM del ASIC de procesamiento de red PXF puede mostrarse mediante el comando `show hardware pxf xcm`. Cuando los abrigos del contador de error de un solo bit, los errores de un solo bit están señalados y el RP friega el direccionamiento del primer error de un solo bit que fue detectado por el PXF Network Processing ASIC. Lo que sigue es un ejemplo de un mensaje señalado cuando un error de un solo bit está señalado:  

```
%TOASTER-2-FAULT: T0 XCM1 SDRAM-A: ECC Single bit error counter has wrapped
```

El número de la tostadora (PXF Network Processing ASIC) y la interfaz SDRAM en el mensaje antedicho reflejan la interfaz XCM donde el error de un solo bit del contador envuelto fue detectado. La acción no se requiere generalmente para los abrigos del contador de error de un solo bit; sin embargo, relanzado o frecuente los casos de estos errores son causa para el reemplazo del PRE1.
- Errores ECC de bits múltiples de la XCM del ASIC de procesamiento de red PXF. No se pueden corregir los errores ECC multibit XCM. En los sistemas con los PRE1 redundantes, los errores de bits múltiples XCM causan una caída y a una falla de PRE. En los sistemas con un solo PRE1, la detección de errores de bits múltiples XCM fuerza una recarga del microcódigo del PXF Network Processing ASIC. La recarga del microcódigo reinicializa todas las memorias XCM del PXF Network Processing ASIC, fregando con eficacia el error del multibit ECC de la memoria. Los siguientes mensajes aparecen en el registro y en el archivo `pxf_crashinfo/crashinfo`:  

```
%TOASTER-2-FAULT: T0 XCM1 SDRAM-A: Multi-bit ECC error  
%C10KEVENTMGR-1-MAJOR_FAULT: PXF DMA Toaster Fault, Restarting PXF  
Downloading Microcode: file=system:pxf/c10k-1-ucode.102.3.0.0, version=102.3.0.0,
```

 Cuando sucede esto, el mensaje de error especifica la tostadora (t0 o T1), el XCM apropiado número (1 a 4), y la interfaz SDRAM (A o B) que encontró el error ECC del multibit. Reemplace el PRE1 después de que falle por segunda vez.

## [Información Relacionada](#)

- [Resolución de problemas por averías del router](#)
- [Errores de paridad en la memoria del procesador \(PMPE\)](#)
- [Troubleshooting de hardware para el Series Internet Router del Cisco 10000 \(ESR\)](#)
- [Soporte de Producto](#)
- [Soporte de la Tecnología](#)

- [Soporte Técnico y Documentación - Cisco Systems](#)