

# 高速串行接口(HSSI)设计规范

文档ID14218

已更新：八月18，2005

 [下载 pdf文档](#)

 [打印](#)

[反馈](#)

## 相关产品

- [Cisco 2500 系列路由器](#)
- [思科通用接口处理器](#)
- [Cisco 7000 系列路由器](#)
- [思科10000系列路由器](#)
- [Cisco 7500 系列路由器](#)
- [Cisco 2600 系列多业务平台](#)
- [Cisco 1700 系列模块化接入路由器](#)
- [Cisco 7200 系列路由器](#)
- [Cisco 3600 系列多业务平台](#)
- [思科7100系列VPN路由器](#)
- [+请显示更多](#)

## 目录

[简介](#)

[先决条件](#)

[要求](#)

[使用的组件](#)

[规则](#)

[声明和作者](#)

[公告](#)

[合著者](#)

[HSSI 附录问题 1](#)

[附录 1](#)

[附录 2](#)

[附录 3](#)

[1.0 目标用途](#)

[1.1 文档结构](#)

[1.2 与现有标准的比较](#)

[2.0 术语和定义](#)

[3.0 电气规范](#)

[3.1 信号定义](#)

[3.2 电气特征](#)

[3.3 无故障操作](#)

[3.4 Timing](#)

[4.0 物理规格](#)

[4.1 物理](#)

[4.2 电气](#)

[4.3 连接器](#)

[4.4 引脚分配](#)

[附录 C : 抗扰度](#)

[相关信息](#)

[相关的思科支持社区讨论](#)

## [简介](#)

本文描述的是高速路由器或类似数据设备等DTE与DS3 ( 44.736 Mbps ) 或SONET STS-1 (51.84 Mbps) DSU等DCE之间的物理层接口。

## [先决条件](#)

### [要求](#)

本文档没有任何特定的要求。

### [使用的组件](#)

本文档不限于特定的软件和硬件版本。

### [规则](#)

有关文档规则的详细信息，请参阅 [Cisco 技术提示规则](#)。

## [声明和作者](#)

### [公告](#)

思科系统公司和T3plus网络公司对该规范中的信息不作任何表示和担保，但在提供这些信息时，我们本着诚信的态度，在知识和能力方面尽了自己的最大努力。以上声明具有普遍性，同时思科系统公司和T3plus网络公司也对特定目的的适合性，或对规范中信息的使用是否会侵犯他人的专利或其他权利，不作任何表示或担保。该规范的接收方应放弃因使用本文所提供信息或产品而对思科系统公司和T3plus网络公司提出的索赔。

允许复制或分发该规范的前提条件是：

- 注明作者是思科系统公司和T3plus网络公司
- 在所有拷贝上都提供一份该声明
- 不得更改或修改本文件

未经思科系统公司和T3plus网络明确的书面许可，不得更改或修改该文件的内容。本文的目的是作为高速串行接口的规范，并有待演进为行业标准。因此，将来可能会对此规范进行修订，使之能够反映额外的需求或者能够紧跟不断发展的国内或国际标准。思科系统和 T3plus 网络保留随时变更或修改此规范或与此规范相关的设备的权利，恕不另行通知，并对因此而造成的任何损失概不负责。

## 合著者

John T. Chapman  
cisco Systems, Inc.      jchapman@cisco.com  
1525 O'Brien Drive      TEL: (415) 688-7651  
Menlo Park, Ca 94025

Mitri Halabi T3plus Networking, Inc. mitri@t3plus.com 2840 San Tomas Expressway 电话 : (408) 727-4545 Santa Clara, Ca, 95051 传真 : (408) 727-5151

若想接收该规范的升级版本，您最好申请将自己加到思科系统公司或T3plus网络公司的HSSI规范邮件列表中。

## HSSI 附录问题 1

这是HSSI规范的3份附录，目的是记录自2.11版以来对HSSI规范的增补和进一步说明，并增强数据电路-终端设备 ( DCE ) 和数据服务单元 ( DSU ) 的运行和诊断功能。

### 附录 1

删除了文中所有“在最后有效数据之后必须使时钟保持n个循环”的提法。这与作为第一层的HSSI规范相一致，因此无法了解数据的有效性。

替换为以下几段：

“为了便于各种位/字节/帧 DCE 复用器的实施，时钟可能有一定的间隔，以便删除成帧脉冲，并对 HSSI 进行带宽限制。

不指定最大空隙间隔。但如果正数字逻辑验证了TA和CA，那么时钟源ST和RT一般会保持连续状态。间隔是斜率相同的两个连续时钟脉冲边缘之间的时间之和。

瞬时数据传送速率绝不能超过52 Mbps。

### 附录 2

使用1.5 kohm电阻而不是10kohm，以便在所有接收方上实现上拉和下拉功能。这允许在110欧姆的终接电阻中适当地开发150MV的最小电压。

### 附录 3

在保留信号针对5(+)和30(-)上，已经将任选信号LC从DCE增加到了数据终端设备 ( DTE ) 上。LC是一种从DCE到DTE的环回请求信号，要求DTE提供到DCE的环回路径。更具体地讲，DTE将设置TT=RT和SD=RD。ST在这种情况下不能使用，并且也不能作为有效时钟源。

这允许DCE/DSU网络管理诊断，以独立于DTE测试DCE/DTE接口。这符合以下的HSSI原理：  
：DCE和DTE是智能、独立的对等体，DCE负责管理自己的数据通信信道。

当DTE和DCE都提出环回要求时，将以DTE优先。

## 1.0 目标用途

本文描述的是高速路由器或类似数据设备等DTE与DS3 ( 44.736 Mbps ) 或SONET STS-1 (51.84 Mbps) DSU等DCE之间的物理层接口。将来对该规范的扩充可能会支持高达SONET STS-3 (155.52 Mbps)的速率。

### 1.1 文档结构

第一章介绍了HSSI，并将其与其他规范相关联。第二章列举了该规范中所使用的术语和定义。第三章定义了电气规范，包括信号名称、定义、特征、运行和定时等。第四章描述了物理属性，包括连接器类型、电缆类型和针分配等。附录A以图形方式介绍了时钟关系。附录B以图形方式定义了极性规则。附录C详细分析了ECL的抗扰度。

### 1.2 与现有标准的比较

对于ANSI/EIA系列的标准、EIA-232-D、EIA-422-A、EIA-423-A、EIA-449及EIA-530，该规范与它们的区别之处在于：

- 支持高达52 Mbps的串行比特率
- 使用射极耦合逻辑(ECL)传输级别
- 允许定时信号具有间隔，即不连续性
- 使用简化控制信号协议
- 使用更加详细的环回信号协议
- 使用不同连接器

## 2.0 术语和定义

该规范遵循以下定义：

**模拟环回：**

在与DCE线路端相关的任意方向上的环回。

**断言：**

给定信号的 ( +端 ) 的电位将为  $V_{oh}$ ，同一信号的 ( -端 ) 的电位将为  $V_{ol}$ 。（参见3.2节和附录B）。

**反断言：**

给定信号的 ( +端 ) 的电位将为  $V_{ol}$ ，同一信号的 ( -端 ) 的电位将为  $V_{oh}$ 。

**数据通信信道：**

在DCE之间传送信息所涉及的传输介质和中介设备。在该规范中，假设数据通信信道为全双工模式。

## DCE:

数据通信设备。连接数据通信信道和终端设备 ( DTE ) 的网络设备或连接。这些设备用于描述 CSU/DSU。

## 数字环回 :

在与DCE的DTE端口相关的任意方向上的环回。

## DS3 :

第3类数字信号电平。也就是都知道的T3。带宽相当于 28 T1 的带宽。比特率为 44.736 Mbps。

## DSU :

数据服务单元。提供能够访问数字通信设备的DTE。

## DTE :

D数据终端设备，是数据站的一部分，作为数据源或目的地或同时作为数据源和目的地。作为数据源，目的地或者两者兼有的部分数据站根据协议提供数据通信控制功能。这种设备用于描述路由器或类似设备。

## 有间隔时钟 :

标称比特率的时钟流，在任意时间段内，在任意间隔都有可能丢失时钟脉冲。

## OC-N :

STS-N信号进行光转换产生的光信号。

## SONET :

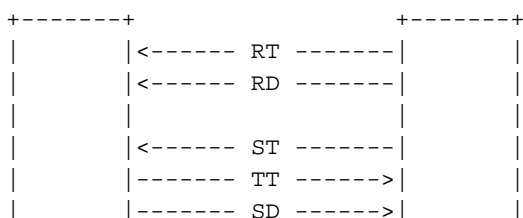
同步光纤网络。为标准化光通信系统的使用而制定的ANSI/CCITT标准。

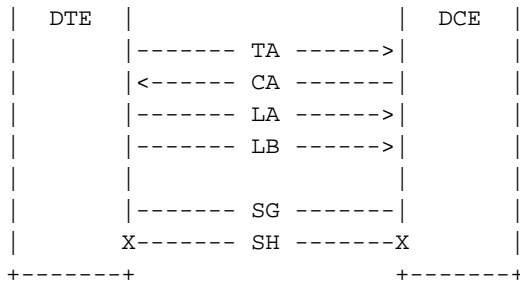
## STS-N :

n 级同步传输信号，其中 n = 1、3、9、12、18、24、36、48。STS-1 是 SONET 的基本逻辑构件信号，速率为 51.84 Mbps。STS-N通过以N个51.84 Mbps的速率交织N个STS-1 信号的字节来获得。

## 3.0 电气规范

### 3.1 信号定义





### RT:接收 Timing

方向：从 DCE

RT 是最大比特率为 52 Mbps 的间隔时钟，为 RD 提供接收信号单元 Timing 信息。

### RD：接收数据

方向：从 DCE

由 DCE 生成的数据信号，是对从远程数据站接收的数据信道线路信号的响应，可在此电路上传输到 DTE。RD与RT同步。

### ST：发送 Timing

方向：从 DCE

ST 是最大比特率为 52 Mbps 的间隔时钟，提供发送到 DTE 的传输信号单元 Timing 信息。

### TT：终端 Timing

方向：到 DCE

TT 提供发送到 DCE 的传输信号单元 Timing 信息。TT是通过DTE回应DCE的ST信号。TT应只通过DTE来缓冲，不通过其他信号来进行门控。

### SD：发送数据

方向：到 DCE

由 DTE 产生的数据信号，可通过数据信道传输到远端数据站。SD与TT同步。

### TA：可用的数据终端设备

方向：到 DCE

当 DTE 准备好将数据发送到 DCE 以及从 DCE 接收数据时，将由该 DTE 脱离 CA 对 TA 进行独立验证。只有当DCE也验证了CA时，才开始传输数据。

当DTE被断开后，如果数据通信信道要求保活数据模式，那么当TA无效时，DCE要提供这种模式。

### CA:可用的数据通信设备

方向：从 DCE

当 DCE 准备好将数据发送到 DTE 以及从 DTE 接收数据时，将由该 DCE 脱离 TA 对 CA 进行独立验证。这表明 DCE 已获取有效数据通信信道。只有当 DTE 也验证了 TA 时才开始传输数据。

## LA:环回电路 A

## LB : 环回电路 B

### 方向 : 到 DCE

LA 和 LB 由 DTE 进行验证，因此可让 DCE 及其相关数据通信信道提供三个诊断回环模式之一。特别地，

- LB = 0 , LA = 0 : 无环回
- LB = 1 , LA = 1 : 本地 DTE 环回
- LB = 0 , LA = 1 : 本地线路环回
- LB = 1 , LA = 0 : 远程线路环回

A 1 代表正数字逻辑验证，而 a 0 则代表反数字逻辑验证。

本地 DTE ( 数字 ) 环回发生在 DCE 的 DTE 端口，用于测试 DTE 和 DCE 之间的链路。本地线路 ( 模拟 ) 环回发生在 DCE 的线路端端口，用于测试 DCE 功能。远程线路 ( 模拟 ) 环回发生在远程 DCE 的线路端口，用于测试数据通信信道的功能。这三个环回按以上顺序启动。远程 DCE 通过远程地发送本地环回命令来测试。注意：LA 和 LB 是 EIA 信号 LL ( 本地环回 ) 和 RL ( 远程环回 ) 的直接父集。

本地 DCE 在所有三种环回模式期间持续以正数字逻辑方式验证 CA。当远程环回生效时，远程 DCE 会解除断言 CA。如果远程 DCE 可以在本地 DCE 检测本地环回，则远程 DCE 将以反数字逻辑方式验证其 CA；否则，当本地 DCE 上存在本地环回时，远程 DCE 将以正数字逻辑方式验证其 CA。

DCE 只向发送命令的 DTE 执行环回。从数据通信信道接收的数据被忽略。向数据通信信道发送的数据填充发出命令的 DTE 的 SD 数据流，或填充保活数据模式，这取决于数据通信信道的具体要求。

没有明确的硬件状态信号来指示 DCE 已经进入了环回模式。在以正数字逻辑方式验证了 LA 和 LB，并在假设环回有效前，DTE 等待适当的一段时间。这一时间段取决于应用，不属于本规范的范畴。

环回模式同时应用于时钟和数据信号。因此，在 DTE-DCE 链路上，同一时钟信号可以三次穿过链路，第一次作为 ST，第二次作为 TT，最后一次作为 RT。

## SG : 信号接地

### 方向 : 不适用

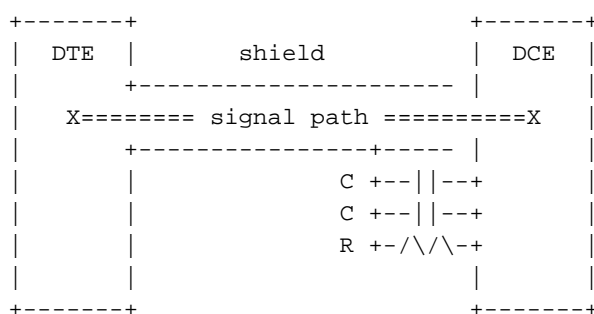
SG 表示与两端接地的电路的连接。SG 确保传输信号电平处于接收器的共模输入范围内。

SH : 密封材料 方向 : 不可用 密封材料密封电缆，防止 EMI，并不暗指承载信号返程电流。屏蔽材料

### 方向 : 不适用

屏蔽材料可封装用于 EMI 目的的电缆，不可隐式用于传输信号返回电流。屏蔽材料不直接连接 DTE 机框 地线，可以在 DCE 机架 地线上选择两个选项之一。第一个选项是将屏蔽材料直接连接到 DCE 机 地线。第二种方案是通过同时并联一个 470 欧姆、+/- 10%、1/2 W 电阻；0.1 uF、+/- 10%、

50 V单片陶瓷电容和一个0.01 uF、+/- 10%、50 V单片陶瓷电容将屏蔽材料连接到DCE机框地线。连接方式显示如下：



R-C-C网络的位置应尽可能地接近于屏蔽材料/机箱的结合处。因为屏蔽材料直接在DTE和DCE机箱上终接，因此，在连接器上不直接为屏蔽材料分配针脚。连接电缆之间的屏蔽材料的连续性通过接线器外壳保持。

## 3.2 电气特征

所有信号按标准ECL电平来平衡、分别驱动和接收。任一端的ECL负电源电压Vee可以是-5.2 Vdc +/- 10%或-5.0 Vdc +/- 10%。电压上升次数和下降次数的阈值范围为20%到80%。

### TRANSMITTER:

```

driver type: ECL 10KH with differential outputs
              (MC10H109, MC10H124 or equivalent)
signal levels: minimum      typical      maximum
                Voh:      -1.02        -0.90        -0.73      Vdc
                Vol:      -1.96        -1.75        -1.59      Vdc
                Vdiff:     0.59         0.85         1.21      Vdc
                trise:     0.50         -            2.30      ns
                tfall:     0.50         -            2.30      ns
transmission rate: 52 Mbps maximum
signal type: electrically balanced with Non Return to Zero
              (NRZ) encoding.
termination: 330 ohms low inductance resistance from each side
              to Vee.

```

### RECEIVER:

```

receiver type: ECL 10KH differential line receiver
               (MC10H115, MC10H116, MC10H125, or equivalent)
termination: 110 ohms (carbon composition) differential,
              5 Kohms common-mode (optional)
min. signal level: 150 mvolts peak-to-peak differential
max. signal level: 1.0 volt peak-to-peak differential
common mode input range: -2.85 volts to -0.8 volts (-0.5 volts max)

```

以上各值所要求的环境温度范围为0到75摄氏度，这些值已经过调整，适应更大范围的Vee。

## 3.3 无故障操作

如果没有接口电缆，那么差分ECL接收器必须默认为已知状态。为了保证这一点，当使用10H115或10H116时，必须在该接收方的（-端）增加10千欧、+/-1%的上拉电阻，给接收器的（+端）增加10千欧、+/-1%的下拉电阻。这会产生5千欧的纵向终止。所有接口信号的默认状态都被反数字逻辑验证。

当使用10H125时，无需使用外部电阻器，因为它具有内部偏差网络，当输入浮动时，该网络会强制执行低电位输出。



在任何组合针脚上，都不能因开路或短路连接而损坏接口。

### 3.4 Timing

源时钟被定义为发射器生成的时钟波形。目的地时钟被定义为接收器生成的时钟信号波形。脉冲宽度为最终脉冲振幅的50%。时钟脉冲的前缘被定义为反数字逻辑验证和正数字逻辑验证的边界。时钟脉冲的后缘被定义为正数字逻辑和反数字逻辑验证的边界。RT、TT、及ST的最小正源时钟脉冲宽度应为7.7 ns。这可以实现+/- 10%的资源 负荷 循环 容差。该值的计算方法为：

$$10\% = ((9.61 \text{ ns} - 7.7 \text{ ns}) / 19.23 \text{ ns}) \times 100\%$$

where:

$$19.23 \text{ ns} = 1 / (52 \text{ Mbps})$$

$$9.61 \text{ ns} = 19.23 \text{ ns} * 1/2 \text{ cycle}$$

数据将在源时钟脉冲前缘的+/- 3 ns范围内改变到新状态。

RT、TT、及ST最小正目的时钟脉冲宽度应为6.7 ns。数据将在目的时钟脉冲前缘的+/- 5 ns范围内改变到新状态。这些数据允许传输失真单元有1.0 ns脉冲宽度失真和2.0ns的数据偏差。这样接收器的建立时间为1.7 ns。

此数据在后缘被认为是有效的。这样，发射器在前缘发送出时钟数据，接收器在后缘接收到时钟数据。这允许可接受窗口的时钟 数据 偏差 错误。

在DTE内ST到TT端口延迟应小于25 ns。DCE必须能够在ST和TT端口之间容忍至少100 ns的延迟。这样，15米电缆可以有74ns的延迟。

RT和ST之间可能有间隔。如果它们被DCE禁用，在RD上的最后有效数据之后的23个时钟脉冲之前一定不能禁用RT，在SD上最后有效数据之后的1个时钟脉冲之前一定不能禁用ST。有效数据的定义是与应用相关的，不属于该规范的范畴。

CA和TA相互不同步。当以正数字逻辑方式验证了CA时，信号ST、RT、和RD在至少40 ns的时间内被认为是无效的。当以正数字逻辑方式验证了TA时，信号TT和SD在至少40 ns的时间内被认为是无效的。这样做的目的是使接收端有充足的建立时间。

当在SD上传输最后有效数据之后的至少一个时钟脉冲前，不对TA进行反数字逻辑验证。由于数据对于 DCE 是透明的，因此这不适用于 CA。

## 4.0 物理规格

连接DCE和DTE的电缆由25条双绞线组成，并利用箔层/编织层全面屏蔽。电缆连接器均为插针式连接器。DTE和DCE带凹插座。大小单位为米 ( m ) 和英尺 ( ft )。

### 4.1 物理

cable type:	multi-conductor cable, consisting of 25 twisted pairs cabled together with an overall double shield and PVC jacket
gauge:	28 AWG, 7 strands of 36 AWG, tinned annealed copper, nominal 0.015 in. diameter
insulation:	polyethylene or polypropylene; 0.24 mm, .0095 in. nominal wall thickness; 0.86 mm +/- 0.025 mm, .034 in. +/- 0.001 in. outside diameter

foil shield: 0.051 mm, 0.002 in. nominal aluminum/polyester/  
aluminum laminated tape spiral wrapped around the  
cable core with a 25% minimum overlap

braid shield: braided 36 AWG, tinned plated copper in accordance  
with 80% minimum coverage

jacket: 75 degrees C flexible polyvinylchloride

jacket wall: 0.51 mm, 0.020 in. minimum thickness

dielectric strength: 1000 VAC for 1 minute

outside diameter: 10.41 mm +/- 0.18 mm, 0.405 in. +/- 0.015 in.

agency compliance: CL2, UL Subject 13, NEC 725-51(c) + 53(e)

manufacturer p/n: QUINTEC (Madison Cable 4084)  
ICONTEC RTF-40-25P-2 (Berk-tek, C&M)

## 4.2 电气

maximum length:	15 m	50 ft
nominal length:	2 m	6 ft
maximum DCR at 20 C:	23 ohms/km	70 ohms/1000ft
differential impedance at 50 MHz:		
nominal: (95% or more pairs)	110 ohms	(+/- 11 ohms)
maximum:	110 ohms	(+/- 15 ohms)
signal attenuation at 50 MHz:	0.28 dB/m	0.085 dB/ft
mutual capacitance within pair,		
minimum:	34 pF/m	10.5 pF/ft
nominal: (95% or more pairs)	41 pF/m	12.5 pF/ft (+/- 10%)
maximum:	48 pF/m	15.0 pF/ft
capacitance, pair to shield,		
maximum:	78 pF/m	24 pF/ft
delta:	2.6 pF/m	0.8 pF/ft
propagation delay,		
maximum: (65% of c)	5.18 ns/m	1.58 ns/ft
delta:	0.13 ns/m	0.04 ns/ft

## 4.3 连接器

plug connector type: 2 row, 50 pin, shielded tab connectors  
AMP plug part number 749111-4 or equivalent  
AMP shell part number 749193-2 or equivalent

receptacle type: 2 row, 50 pin, receptical header with rails and latch  
blocks. AMP part number 749075-5, 749903-5 or  
equivalent

## 4.4 引脚分配

Signal Name	Dir.	Pin # (+side)	Pin # (-side)
SG - Signal Ground	---	1	26
RT - Receive Timing	<--	2	27
CA - DCE Available	<--	3	28
RD - Receive Data	<--	4	29
- reserved	<--	5	30
ST - Send Timing	<--	6	31
SG - Signal Ground	---	7	32
TA - DTE Available	-->	8	33

TT - Terminal Timing	-->	9	34
LA - Loopback circuit A	-->	10	35
SD - Send Data	-->	11	36
LB - Loopback circuit B	-->	12	37
SG - Signal Ground	---	13	38
5 ancillary to DCE	-->	14 - 18	39 - 43
SG - Signal Ground	---	19	44
5 ancillary from DCE	<--	20 - 24	45 - 49
SG - Signal Ground	---	25	50

针脚对5&30、14&30到18&43、及20&45到24&49预留给将来使用。为了在将来实现后向兼容性，不要将任何信号或接收方连接到这些针。

(附录A&B 不提供)

## 附录 C : 抗扰度

本附录介绍这种接口的抗扰度。通常为10KH ECL规定的150豪瓦抗扰度在这里不适用，因为差分输入不使用内部ECL偏差Vbb。

10H115和10H116差分线路接收器的共模 ( NMcm ) 和差分模式(NMdiff)噪声容限为：

$$NMcm+ = Vcm\_max - Voh\_max = -0.50 Vdc - (-0.81 Vdc) = 310 mVdc$$

$$NMcm- = Vol\_min - Vcm\_min = -1.95 Vdc - (-2.85 Vdc) = 900 mVdc$$

$$NMdiff = Vod\_min * length * attenuation/length - Vid\_min$$

$$= 10^{((20\log(.59) - 50(.085))/20)} - 150 mv = 361 mv$$

in dB:

$$= 20\log(.361) - 20\log(.15)$$

电压为25摄氏度时的电压。Vcm\_max选择为低于饱和点Vih = -0.4.volts.以下100 mv。

10H125差分接收器的电压为直流+5 V，可以处理其输入端上的更大正偏移。10H125的噪声容限性能为：

$$NMcm+ = Vcm\_max - Voh\_max = 1.19 Vdc - (-0.81 Vdc)$$

NMcm-和Nmdiff对所有部件都是相同的。为了能够使用所有接收器，最坏情况下接收器上的共模噪声必须限制为310 mvdc。

共模范围Vcm\_max到Vcm\_min被理解为应用于接收器输入端的绝对电压最大范围，与已应用的差分电压不相关。信号电压范围Voh\_max到Vol\_min表示发射器产生的绝对电压最大范围。这两个范围之差代表共模噪声容限NMcm+和NMcm-，NMcm+是正共模噪声的最大偏移，NMcm-是负共模噪声的最大偏移。

对于5条50英尺的双绞对地线，消耗共模噪音容限要求的接地环路电流为：

$$I\_ground = NMcm+ / (cable\_resistance/5 pairs)$$

$$= (310 mVdc) / (70 mohms/foot x 50 feet / 10 wires)$$

$$= 0.9 amps dc$$

电流量一定不得低于正常运行条件。

共模噪音对差分噪音容限的影响可以忽略。Vdf\_app会受接收器电源轨一端引起的噪音影响。ECL Vcc具有0 dB的电源抑制比 ( PSRR ) ，而ECL Vee具有约38 dB的PSRR。因此，为了最大程度地降低差分噪声，Vcc接地，Vee连接到阴极电源。

## [相关信息](#)

- [IP 路由协议支持页](#)
- [IP 路由支持页](#)
- [技术支持和文档 - Cisco Systems](#)

本文档是否是有用？[有](#) [没有](#)

感谢您的反馈。

[打开通用支持案例](#) ( 需要[思科服务合同](#)。 )

## 相关的思科支持社区讨论

[思科支持社区](#)是提出和解答问题、分享建议以及与同行协作的论坛。

有关本文档中所用的规则信息，请参阅 [Cisco Technical Tips Conventions](#) 。

已更新：八月18，2005

文档ID14218