

High Speed Serial Interface (HSSI)设计规格

伊达市：April 12, 1993
Revision 3.0

前一版本：
Revision 2.11
三月16, 1990年

第一版本：十月1989年
附录问题#1：一月1991年

Copyright© 1989-1993用Cisco系统、公司和T3plus Networking公司

公告

思科系统公司和T3plus网络公司对该规范中的信息不作任何表示和担保，但在提供这些信息时，我们本着诚信的态度，在知识和能力方面尽了自己的最大努力。以上声明具有普遍性，同时思科系统公司和T3plus网络公司也对特定目的的适合性，或对规范中信息的使用是否会侵犯他人的专利或其他权利，不作任何表示或担保。该规范的接收方应放弃因使用本文所提供信息或产品而对思科系统公司和T3plus网络公司提出的索赔。

允许复制或分发该规范的前提条件是：

1. 注明作者是思科系统公司和T3plus网络公司
2. 在所有拷贝上都提供一份该声明
3. 不得更改或修改本文件

未经思科系统公司和T3plus网络明确的书面许可，不得更改或修改该文件的内容。本文的目的是作为高速串行接口的规范，并有待演进为行业标准。因此，将来可能会对此规范进行修订，使之能够反映额外的需求或者能够紧跟不断发展的国内或国际标准。思科系统和 T3plus 网络保留随时变更或修改此规范或与此规范相关的设备的权利，恕不另行通知，并对因此而造成的任何损失概不负责。

若想接收该规范的升级版本，您最好申请将自己加到思科系统公司或T3plus网络公司的HSSI规范邮件列表中。

合著者

John T. Chapman
高级硬件设计工程师
cisco Systems, Inc.
375东方Tasman驱动器
San Jose, CA 95134
jchapman@cisco.com
电话:(408) 526-7651 FAX : (408) 527-1709

Mitri Halabi
高级硬件设计工程师

T3plus Networking公司
2840圣Tomas Expressway
Santa Clara , CA 95051
mitri@t3plus.com
电话:(408) 727-4545 FAX : (408) 727-5151

简介

摘要

本文描述的是高速路由器或类似数据设备等DTE与DS3 (44.736 Mbps) 或SONET STS-1 (51.84 Mbps) DSU等DCE之间的物理层接口。将来对该规范的扩充可能会支持高达SONET STS-3 (155.52 Mbps)的速率。

本文是规格与HSSI设计规格兼容，写入由John T. Chapman和Mitri Halabi , Revision 2.11 , 定日期三月16 , 1990年和附录问题#1 , 标日期的一月23 , 1991。

HSSI由美国标准Intitute当前批准。物理层规范将是EIA/TIA-613 , 并且电子层规格将是EIA/TIA-612。这些规格应该变得可用在1993年中。符号包括此处有两个规格之间的地方了解的差异。

文档组织

- 此部分 , [介绍](#) , 介绍HSSI并且与其他规格涉及它。
- 下一部分 , [术语和定义](#) , 提供用于本文的定义。
- 第三部分 , [电气规范](#) , 定义了电气规范 , 包括信号名称、定义、特性、操作和定时。
- 部分四 , [物理规范](#) , 描述物理属性包括连接器类型、电缆类型和针分配。
- 附录A , [计时图表](#) , 用图形涉及时钟关系。
- 附录B , [差分电路规则](#) , 用图形定义了极性规则。
- 附录C , [抗扰度](#) , 有ECL抗扰度详细分析。

与现有的标准的比较

对于ANSI/EIA系列的标准、EIA-232-D、EIA-422-A、EIA-423-A、EIA-449及EIA-530 , 该规范与它们的区别之处在于 :

- 支持高达52 Mbps的串行比特率
- 使用射极耦合逻辑(ECL)传输级别
- 允许定时信号具有间隔 , 即不连续性
- 使用简化控制信号协议
- 使用更加详细的环回信号协议
- 使用不同连接器

术语和定义

该规范遵循以下定义 :

模拟环回

一环回在关联与DCE设备的线路端的任何一个方向。

断言

(+side)一个给的信号在潜在的Voh，当(侧)时同一个信号在可能性卷(参考：[电气规范部分和附录B：差分电路规则部分](#))。

反断言

给定信号的(+端)的电位将为Vol，同一信号的(-端)的电位将为Voh。

数据通信信道

在DCE之间传送信息所涉及的传输介质和中介设备。在该规范中，假设数据通信信道为全双工模式。

DCE:数据通信设备

连接数据通信信道和终端设备(DTE)的网络设备或连接。这些设备用于描述CSU/DSU。

数字环回

一环回在用DCE设备的DTE端口关联的任何一个方向。

DS3：数字信号电平3

亦称T3。在带宽的等同对28个T1?s。比特率为44.736 Mbps。DSU：数据服务单元。提供能够访问数字通信设备的DTE。

DTE：数据终端设备

作为数据源，目的地或者两者兼有的部分数据站根据协议提供数据通信控制功能。这种设备用于描述路由器或类似设备。

被造成缝隙的时钟

标称比特率的时钟流，在任意时间段内，在任意间隔都有可能丢失时钟脉冲。

OC-N

STS-N信号进行光转换产生的光信号。

SONET：同步光纤网络

为标准化光通信系统的使用而制定的ANSI/CCITT标准。

STS-N：同步传输信号级别N，n = 1,3,9,12,18,24,36,48

STS-1是SONET的基本逻辑构件信号，速率为51.84 Mbps。STS-N通过以N个51.84 Mbps的速率交织N个STS-1信号的字节来获得。

[电气规范](#)

信号定义

RT:从DCE的接收定时

RT是最大比特率为52 Mbps的间隔时钟，为RD提供接收信号单元Timing信息。

RD：从DCE的接收数据

由DCE生成的数据信号，是对从远程数据站接收的数据信道线路信号的响应，可在此电路上传输到DTE。RD与RT同步。

ST：从DCE时间的发送

ST是最大比特率为52 Mbps的间隔时钟，提供发送到DTE的传输信号单元Timing信息。

TT：对DCE的终端的定时

TT提供发送到DCE的传输信号单元Timing信息。TT是通过DTE回应DCE的ST信号。TT应只通过DTE来缓冲，不通过其他信号来进行门控。

SD：对DCE的发送数据

由 DTE 产生的数据信号，可通过数据信道传输到远端数据站。SD与TT同步。

TA：对DCE的数据终端设备联机

当 DTE 准备好将数据发送到 DCE 以及从 DCE 接收数据时，将由该 DTE 脱离 CA 对 TA 进行独立验证。有效数据传输不应该开始，直到CA由DCE也主张。当DTE被断开后，如果数据通信信道要求保活数据模式，那么当TA无效时，DCE要提供这种模式。

CA:从DCE的数据通信设备可得到

当 DCE 准备好将数据发送到 DTE 以及从 DTE 接收数据时，将由该 DCE 脱离 TA 对 CA 进行独立验证。这表明 DCE 已获取有效数据通信信道。只有当DTE也验证了TA时才开始传输数据。

在的情况下数据通信信道无效，除非TA和CA主张，然后它可能是给与TA和CA的传入流量装门的好实施实践在DTE和DCE。

应该也认可，当CA是解除断言的由DCE时，DCE在UNKNOWN状态，并且ST和RT时钟可能是缺少的，并且不可能由DTE考虑如有效。

LA:环回电路A到DCE

LB：环回电路B到DCE

LA 和 LB 由 DTE 进行验证，因此可让 DCE 及其相关数据通信信道提供三个诊断回环模式之一。
"特别是，LB = 0, LA = 0:"无环回 LB = 1, LA = 1:"本地DTE环回 LB = 0, LA = 1:"本地线路环回 LB = 1, LA = 0:远程线路环回

A 1 代表正数字逻辑验证，而 a 0 则代表反数字逻辑验证。所有环回是有效负载环回。所以，如果 HSSI数据流多元化给仅一部分的数据通信信道，然后，作为最低，只有数据通信信道的该部分需要是环回的。

本地DTE (? 数字?)环回在DCE的DTE端口发生和使用测试DTE和DCE之间的链路。本地线路(? 模拟?)环回在DCE的线路端端口发生和使用测试DCE功能。远程线路(? 模拟?)环回在远程DCE的线路端口发生和使用测试数据通信信道的功能。这三个环回按以上顺序启动。远程DCE通过远程地发送本地环回命令来测试。注意：LA和LB是EIA信号LL (本地环回) 和RL (远程环回) 的直接父集。

本地DCE在所有三种环回模式期间持续以正数字逻辑方式验证CA。如果本地DCE无法支持一特定的Loopback模式，则可能选择到断言CA，当LA或LB由DTE时主张，远程DCE断言CA，当远程环回有效时。如果远程DCE能检测本地环回在本地DCE，则远程DCE断言其CA;否则，当有本地环回在本地DCE，远程DCE将主张其CA。

DCE只向发送命令的DTE执行环回。从数据通信信道接收的数据被忽略。对数据通信信道的发送数据充满二者之一发令DTE ?s发送数据流，或者与一个保活数据模式，根据数据通信信道?s特定需求。

没有明确的硬件状态信号来指示DCE已经进入到了环回模式。DTE在主张LA和LB以后等待适量的时刻在假设环回前有效。适当的时间依赖应用程序，并且不是此规格的部分。

环回模式同时应用于时钟和数据信号。因此，在DTE-DCE链路上，同一时钟信号可以三次穿过链路，第一次作为ST，第二次作为TT，最后一次作为RT。

LC：环回从DCE的电路C

LC是从DCE的一个可选环回请求信号到DTE，请求DTE提供一环回路径给DCE。更具体地讲，DTE将设置TT=RT和SD=RD。ST在这种情况下不能使用，并且也不能作为有效时钟源。

这允许DCE/DSU网络管理诊断，以独立于DTE测试DCE/DTE接口。这符合以下的HSSI原理：
：DCE和DTE是智能、独立的对等体，DCE负责管理自己的数据通信信道。

当DTE和DCE都提出环回要求时，将以DTE优先。

注意LC可选和未包括在ANSI标准。

TM：从DCE的测试模式

当在任一本地或者远程回环时，造成的测试模式测试模式由DCE主张。此信号可选。TM由ANSI添加了并且没有作为原始HSSI规范的部分。

SG：信号接地

SG是连接？对电路板的s在两端。SG确保传输信号电平处于接收器的共模输入范围内。

SH：密封材料 方向：不可用 密封材料密封电缆，防止EMI，并不暗指承载信号返程电流。屏蔽方向

屏蔽材料可封装用于 EMI 目的的电缆，不可隐式用于传输信号返回电流。屏蔽材料直接地连接对DTE机框地线，并且可能选择两个选项之一在DCE机框地线。

第一个选项是将屏蔽材料直接连接到DCE机 地线。

第二个选项是连接屏蔽材料对DCE frameground通过—470欧姆， +/-10%， 1/2 wattresistor， 0.1 uF的并行组合， +/- 10%， 50伏特、单片陶瓷电容器和—0.01 uF， +/- 10%， 50伏特，单片陶瓷电容器。

R-C-C网络的位置应尽可能地接近于屏蔽材料/机箱的结合处。因为屏蔽材料直接在DTE和DCE机箱上终接，因此，在连接器上不直接为屏蔽材料分配针脚。连接电缆之间的屏蔽材料的连续性通过接线器外壳保持。

实际上，通常使用第一个选项。

电子特性

所有信号按标准ECL电平来平衡、分别驱动和接收。任一端的ECL负电源电压Vee可以是-5.2 Vdc +/- 10%或-5.0 Vdc +/- 10%。电压上升次数和下降次数的阈值范围为20%到80%。HSSI发送器和接收方的电子特性在HSSI接收器表和HSSI发送器表里给，下面提交其中之二。

除在此规格列出的10KH ECL电子特性之外，与100K ECL的配合动作也是可能的，并且在ANSI规格允许。

故障安全的操作

如果没有接口电缆，那么差分ECL接收器必须默认为已知状态。要保证此，是必要的，当使用10H115或10H116添加—1.5 kohm， 1%，上拉电阻(器)对(侧)时接收方和—1.5 kohm， 1%，下拉的电阻器对(+side)接收方。

这允许最低适当的150的豪瓦在110欧姆电阻器间开发，并且创建750欧姆纵向终止。所有接口信号的默认状态都被反数字逻辑验证。

使用外部电阻器是不必要的，当使用10H125时，因为它有将强制输出低状态的内部偏压网络，当输入被留下浮动时。

在任何组合针脚上，都不能因开路或短路连接而损坏接口。

定时

源时钟被定义为发射器生成的时钟波形。目的地时钟被定义为接收器生成的时钟信号波形。脉冲宽度为最终脉冲振幅的50%。时钟脉冲的前缘被定义为反数字逻辑验证和正数字逻辑验证的边界。时钟脉冲的后缘被定义为正数字逻辑和反数字逻辑验证的边界。

应该考虑HSSI链路，从规格和实施观点，作为ECL啪嗒啪嗒的响声后滚翻链路。因为数据离开HSSI端口，它应该是重新时控在ECL触发器外面和直接地到线路驱动器。在接收方，一次通过通过线路接收方，数据应该立即再是重新时控到ECL触发器。控制信号不要求使用啪嗒啪嗒的响声。

RT、TT、及ST的最小正源时钟脉冲宽度应为7.7 ns。这可以实现+/- 10%的资源 负荷 循环 容差。该值的计算方法为：

$$10\% = ((9.61\text{ns} - 7.7\text{ns}) / 19.23\text{ns}) \times 100\%$$

where:

$$19.23 \text{ ns} = 1 / (52 \text{ Mbps})$$

$$9.61 \text{ ns} = 19.23 \text{ ns} * 1/2 \text{ cycle}$$

数据将在源时钟脉冲前缘的+/- 3 ns范围内改变到新状态。

RT、TT、及ST最小正目的时钟脉冲宽度应为6.7 ns。数据将在目的时钟脉冲前缘的+/- 5 ns范围内改变到新状态。这些数据允许传输失真单元有1.0 ns脉冲宽度失真和2.0ns的数据偏差。这样接收器的建立时间为1.7 ns。

此数据在后缘被认为是有效的。这样，发射器在前缘发送出时钟数据，接收器在后缘接收到时钟数据。这允许可接受窗口的时钟 数据 偏差 错误。

从ST端口的延迟在DTE内的TT端口的少于50 ns将是。DCE一定能容忍延迟至少200 ns在其ST端口和其TT端口之间。这允许150 ns延迟15米电缆(往返时延)

要推动多种位/字节/帧DCE复用器实施，RT和ST可能被造成缝隙允许成帧脉冲的删除和允许HSSI的带宽限制。

不指定最大空隙间隔。但如果正数字逻辑验证了TA和CA，那么时钟源ST和RT一般会保持连续状态。间隔是斜率相同的两个连续时钟脉冲边缘之间的时间之和。

瞬时数据传输速率不必须超出52 Mbps。

有效数据的定义是与应用相关的，不属于该规范的范畴。这与作为第一层的HSSI规范相一致，因此无法了解数据的有效性。

CA和TA相互不同步。当以正数字逻辑方式验证了CA时，信号ST、RT、和RD在至少40 ns的时间内被认为是无效的。当以正数字逻辑方式验证了TA时，信号TT和SD在至少40 ns的时间内被认为是无效的。这样做的目的是使接收端有充足的建立时间。

当在SD上传输最后有效数据之后的至少一个时钟脉冲前，不应对TA进行反数字逻辑验证。由于数据对于DCE是透明的，因此这不适用于CA。

物理规范

连接DCE和DTE的电缆由25条双绞线组成，并利用箔层/编织层全面屏蔽。电缆连接器均为插针式连接器。DTE和DCE带凹插座。大小单位为米（m）和英尺（ft）。

注意，虽然HSSI电缆使用连接器和SCSI-2规格一样，HSSI和SCSI-2电缆阻抗不同的。SCSI-2电缆可以是一样低象70欧姆，而HSSI电缆指定在110欧姆。结果，电缆做对SCSI-2规格可能不正确地运作与HSSI。不相容将是明显与更加长的长度电缆。

电缆完全在HSSI电缆电气特性表、HSSI电缆物理规格表和HSSI连接器引脚表里描述，下面提交。

附录 A：计时图表

附录 B：差分电路规则

附录 C：抗扰度

本附录介绍这种接口的抗扰度。通常为10KH ECL规定的150豪瓦抗扰度在这里不适用，因为差分输入不使用内部ECL偏差V_{bb}。

10H115和10H116差分线路接收器的共模（NM_{cm}）和差分模式(NM_{diff})噪声容限为：

•

$$NM_{cm+} = V_{cm_max} - V_{oh_max}$$

$$= -0.50 \text{ Vdc} - (-0.81 \text{ Vdc})$$

$$= 310 \text{ mVdc}$$

$$NM_{cm-} = V_{ol_min} - V_{cm_min}$$

$$= -1.95 \text{ Vdc} - (-2.85 \text{ Vdc})$$

$$= 900 \text{ mVdc}$$

$$NM_{diff} = V_{od_min} * \text{length}$$

$$* \text{attenuation/length}$$

$$- V_{id_min}$$

$$= 590 \text{ mv}$$

$$/[10^{((50 \text{ ft} * .085 \text{ dB/ft})/20)}]$$

$$- 150 \text{ mv}$$

$$= 361 \text{ mv}$$

$$\begin{aligned}
& \text{in dB:} \\
& = 20 \log [(361+150)/150] \\
& = 10.6 \text{ dB}
\end{aligned}$$

电压在25摄氏度。Vcm_max选择为低于饱和点Vih = -0.4.volts.以下100 mv。

10H125差分接收器的电压为直流+5 V，可以处理其输入端上的更大正偏移。10H125的噪声容限性能为：

-

$$\begin{aligned}
\text{NMcm+} &= \text{Vcm_max} - \text{Voh_max} \\
&= 1.19 \text{ Vdc} - (-0.81 \text{ Vdc}) \\
&= 2000 \text{ mVdc}
\end{aligned}$$

NMcm-和Nmdiff对所有部件都是相同的。为了能够使用所有接收器，最坏情况下接收器上的共模噪声必须限制为310 mvdc。

解释共模范围，Vcm_max对Vcm_min，作为可能应用到接收方的最大范围绝对电压？s输入，对立于已应用有差别的电压。信号电压范围Voh_max到Vol_min表示发射器产生的绝对电压最大范围。这两个范围之差代表共模噪声容限NMcm+和NMcm-，NMcm+是正共模噪声的最大偏移，NMcm-是负共模噪声的最大偏移。

使用五50英尺双绞线接地，接地环路当前要求的相当数量用完普通的模式噪声容限是：

-

$$\begin{aligned}
\text{I_ground} &= \text{NMcm+} \\
& / (\text{cable_resistance}/5 \text{ pairs}) \\
& = (310 \text{ mVdc}) \\
& / (70 \text{ mohms/foot} \\
& \times 50 \text{ feet} / 10 \text{ wires}) \\
& = 0.9 \text{ amps dc}
\end{aligned}$$

电流量一定不得低于正常运行条件。

共模噪音对差分噪音容限的影响可以忽略。Vdf_app会受接收器电源轨一端引起的噪音影响。ECL Vcc具有0 dB的电源抑制比 (PSRR)，而ECL Vee具有约38 dB的PSRR。因此，为了最大程度地降低差分噪声，Vcc接地，Vee连接到阴极电源。