

Árvore de falha de erro de paridade de Cisco 7200

Índice

[Introdução](#)

[Pré-requisitos](#)

[Requisitos](#)

[Componentes Utilizados](#)

[Convenções](#)

[Análise de árvore de falha de erro de paridade do Mecanismo de processamento de rede \(NPE\)](#)

[Detecção e mensagens de erro de paridade de NPE](#)

[Erros de paridade no NPE-300](#)

[Paridade NPE-400/Detecção de ECC](#)

[Erros de paridade no roteador C7200](#)

[Soluções](#)

[Informações Relacionadas](#)

[Introdução](#)

Este documento explica as etapas de troubleshooting e isola qual parte ou componente de um Cisco 7200 estão falhando quando você identifica uma variedade de mensagens de erro de paridade. [Nós recomendamos que você leia *Troubleshooting Router Crashes and Processor Memory Parity Errors \(PMPEs\)* antes de continuar a leitura deste documento.](#)

Nota: A informação neste documento é baseada nos Cisco 7200 Series Router.

[Pré-requisitos](#)

[Requisitos](#)

Não existem requisitos específicos para este documento.

[Componentes Utilizados](#)

Este documento não se restringe a versões de software e hardware específicas.

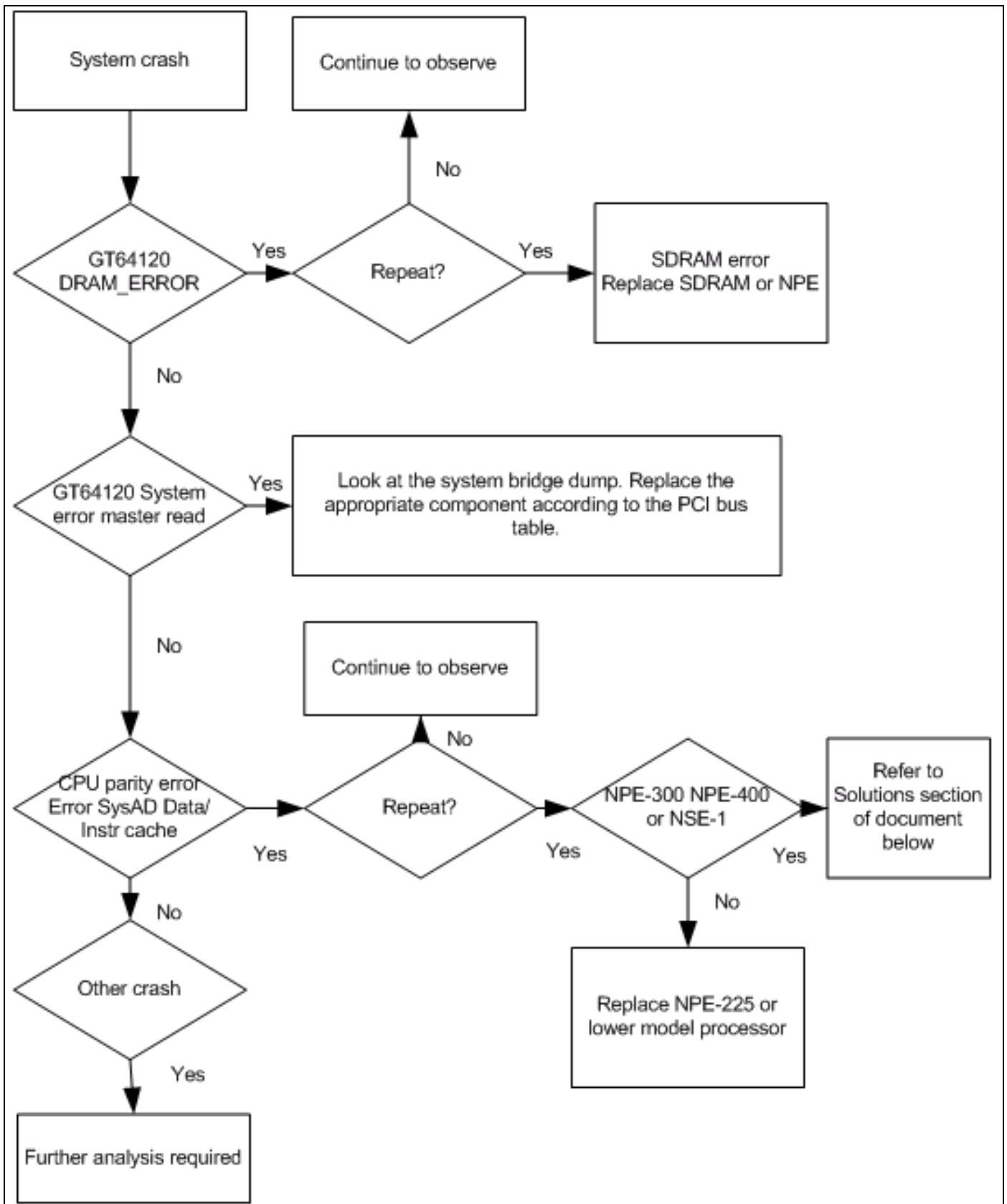
As informações neste documento foram criadas a partir de dispositivos em um ambiente de laboratório específico. Todos os dispositivos utilizados neste documento foram iniciados com uma configuração (padrão) inicial. Se você trabalhar em uma rede ativa, certifique-se de que entende o impacto potencial de qualquer comando antes de utilizá-lo.

[Convenções](#)

Para obter mais informações sobre convenções de documento, consulte as [Convenções de dicas técnicas Cisco](#).

[Análise de árvore de falha de erro de paridade do Mecanismo de processamento de rede \(NPE\)](#)

Este diagrama descreve as etapas para determinar que parte ou componente de um Cisco 7200 está falhando quando você identifica uma variedade de mensagens de erro de paridade.

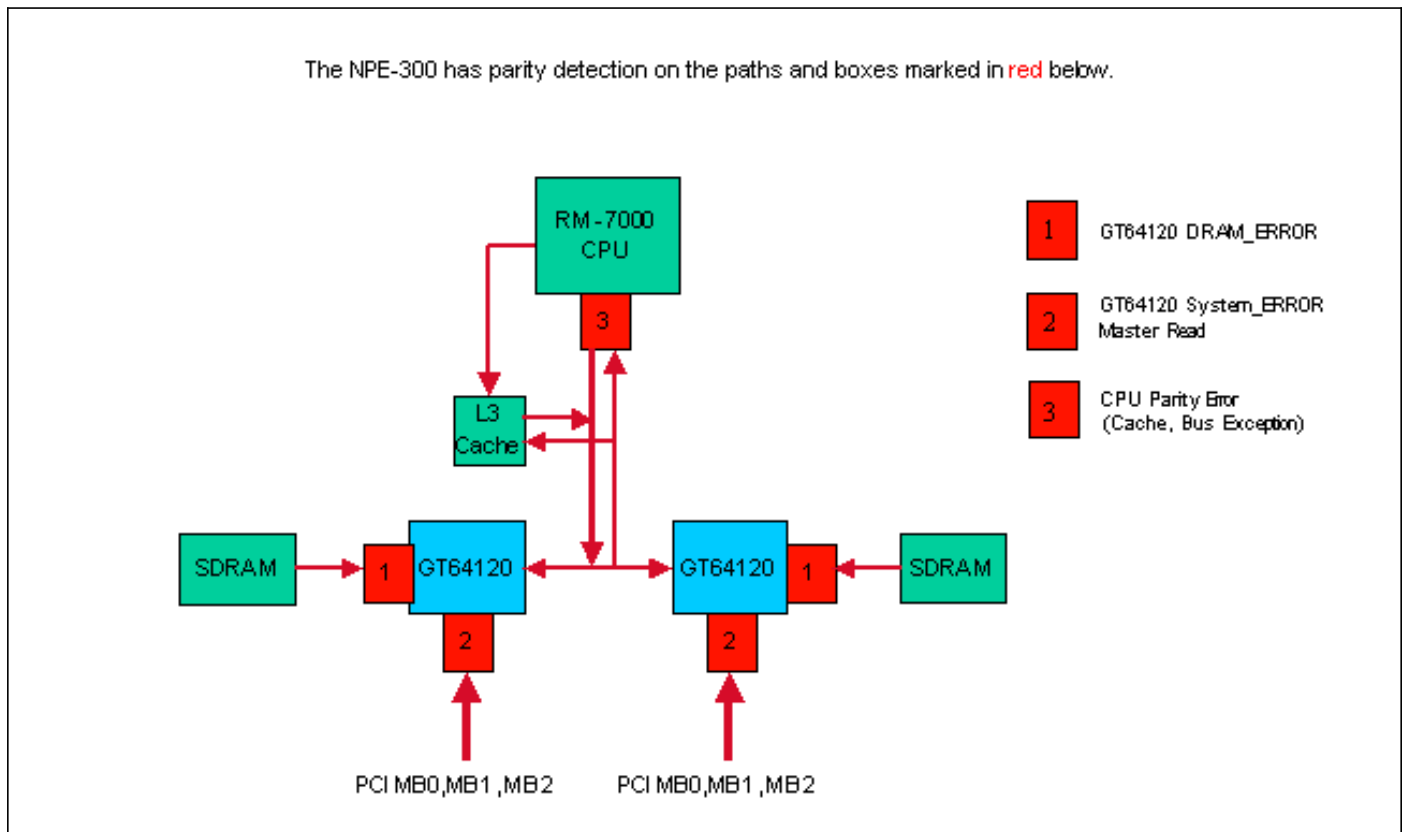


Nota: Capture e grave a saída e os logs do console do tecnologia-apoio da mostra, e recolha todos os [arquivos crashinfo \(informações de travamento\)](#) durante eventos de erro de paridade.

[Detecção e mensagens de erro de paridade de NPE](#)

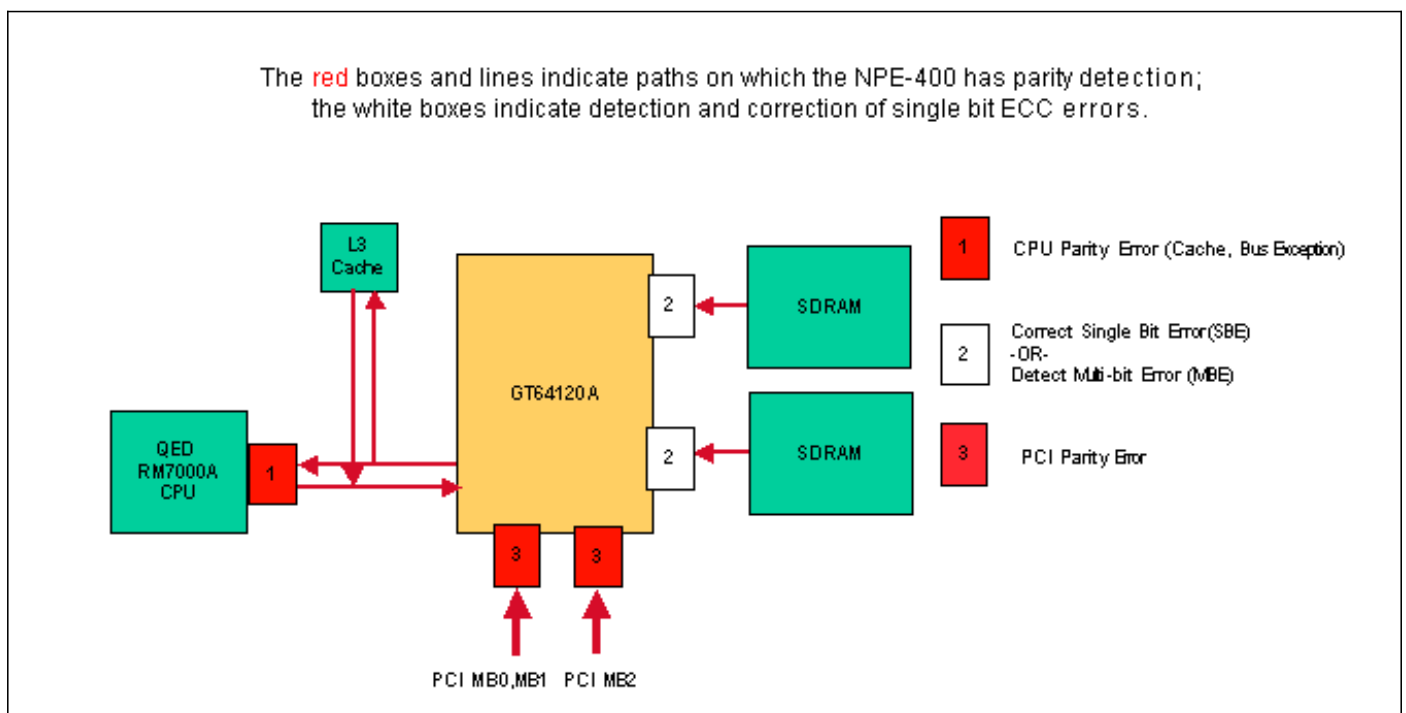
Esta seção contém diagramas de bloco do NPE e onde estes sistemas detectam erros de paridade. Você pode encontrar uma descrição de cada tipo de mensagem de erro [abaixo](#).

Erros de paridade no NPE-300



A verificação de paridade dos usos do NPE-300 na memória compartilhada (SDRAM), no barramento PCI, e na interface externa do CPU para proteger o sistema do funcionamento precário por erros de bit. A verificação de paridade é capaz de detectar um erro de bit único usando um método simples; adicionando um bit de verificação por oito bit dos dados. Se detecta um erro de bit ao passar os dados entre componentes de hardware, o sistema rejeita os dados errôneos. Erros de bit único em algum lugar na causa acima do roteador a restaurar.

Paridade NPE-400/Detecção de ECC



A detecção ECC da correção de erro de bit único e do erro de vários bits dos usos do NPE-400 (Error Code Correction) para a memória compartilhada (SDRAM). Para aumentar a Disponibilidade do sistema no NPE-400, o ECC corrige erros de bit único no SDRAM, para permitir que o sistema opere-se normalmente sem restaurar e sem tempo ocioso da máquina. Para obter mais informações sobre de como o ECC aumenta a Disponibilidade do sistema, refira o [aumento da disponibilidade NA rede da página](#).

Um erro de vários bits no SDRAM faz com que o roteador restaure com uma exceção de erro do cache ou um erro de barramento. O restante da memória e dos barramentos no sistema usam detecção de paridade de bit único. Erros de bit único em 1 e em 3 na causa acima do diagrama o roteador a restaurar.

[Erros de paridade no roteador C7200](#)

Diversos dos dispositivos da verificação de paridade no roteador C7200/NPE podem relatar dados com paridade inválida para alguns lido ou escrever a operação. Está aqui uma descrição dos vários Mensagens de Erro relatados em um sistema C7200/NPE:

[Erro de DRAM GT64010/GT64120](#)

Este erro é relatado quando um controlador do sistema GT64120 detecta um erro de paridade ao ler o SDRAM:

```
%ERR-1GT64120 (PCI0):Fatal error, Memory parity error (external) GT=0xB4000000,
cause=0x0100E283, mask=0x0ED01F00, real_cause=0x00000200 Bus_err_high=0x00000000,
bus_err_low=0x00000000, addr_decode_err=0x1C000000
```

Substitua a SDRAM após uma segunda falha. Se a falha persiste, substitua o NPE.

Nota: Para uns NPE mais velhos (NPE-100/150/200) que usem os controladores GT64010, o erro olha como este:

```
%ERR-1-GT64010: Fatal error, Memory parity error (external)
cause=0x0300E283, mask=0x0CD01F00, real_cause=0x00000200
bus_err_high=0x00000000, bus_err_low=0x00000000, addr_decode_err=0x00000000
```

O controlador GT64010 usa o ram dinâmica (DRAM) e não o SDRAM. Neste caso, substitua o DRAM após uma segunda falha. Se a falha persiste, substitua o NPE.

[Erro de paridade mestre do sistema GT64010/GT64120 lido](#)

Um erro de paridade no mestre lido é um erro de paridade provocado alcançando uma ponte da interconexão de componente periférico (PCI). Está aqui um exemplo da saída de erro de paridade:

```
%ERR-1-GT64120 (PCI0):Fatal error, Parity error on master read GT=B4000000, cause=0x0110E083,
mask=0x0ED01F00, real_cause=0x00100000 Bus_err_high=0x00000000, bus_err_low=0x00000000,
addr_decode_err=0x00000470 %ERR-1-SERR: PCI bus system/parity error %ERR-1-FATAL: Fatal error
interrupt, No reloading Err_stat=0x81, err_enable=0xFF, mgmt_event=0x40
```

Substitua o componente apropriado após uma segunda falha. A descarga da ponte do sistema indica que componente a substituir.

System bridge dump:

```
Bridge 1, for PA bay 1, 3 and 5. Handle=1 DEC21150 bridge chip, config=0x0 (0x1C):sec status, io
```

base =0x83A09141 Detected Parity Error on secondary bus Data Parity Detected on secondary bus
(0x20):mem base & limit =0x4AF04880

Estas tabelas dizem-lhe que componente tem um problema possível das saídas de mensagem de erro.

NPE-100/150/200:

Número de Bridge	O que a ponte é para	Erro de paridade no barramento preliminar	Erro de paridade no barramento secundário
Ponte 0	MB0 a jusante a MB1 0	Substitua o NPE	Substitua o NPE; se ainda o presente, substitui o chassi
Ponte 1	MB1 ascendente ao MB0	Substitua o NPE; se ainda o presente, substitui o chassi	Substitua o NPE
Ponte 2	MB0 a jusante ao MB2	Substitua o NPE	Substitua o NPE; se ainda o presente, substitui o chassi
Ponte 3	MB2 ascendente ao MB0	Substitua o NPE; se ainda o presente, substitui o chassi	Substitua o NPE

NPE-175/225/300/400/NSE-1:

Número de Bridge	O que a ponte é para	Erro de paridade no barramento preliminar	Erro de paridade no barramento secundário
Ponte 0	Para a baía 0 PA (placa de E/S, PCMCIA, relações)	Substitua o NPE	Substitua o NPE; se ainda o presente, substitui a placa de E/S. Se ainda o presente, substitui o chassi
Ponte 1	Para a baía 1, 3, e 5 PA	Substitua o NPE	Substitua o NPE; se ainda o presente, substitui o chassi
Ponte 2	Para a baía 2, 4, e 6 PA	Substitua o NPE	Substitua o NPE; se ainda o presente, substitui o chassi

Todos os C7200:

Número de Bridge	O que a ponte é para	Erro de paridade no barramento preliminar	Erro de paridade no barramento secundário
Ponte 4	Adaptador de porta 1	Substitua o NPE; se ainda o presente, substitui o chassi	Substitua o PA1; se ainda o presente, substitui o chassi
Construa uma ponte sobre 5	Adaptador de porta 2	Substitua o NPE; se ainda o presente, substitui o chassi	Substitua o PA2; se ainda o presente, substitui o chassi
Construa uma ponte sobre 6	Adaptador de porta 3	Substitua o NPE; se ainda o presente, substitui o chassi	Substitua PA 3; se ainda o presente, substitui o chassi
Construa uma ponte sobre 7	Adaptador de porta 4	Substitua o NPE; se ainda o presente, substitui o chassi	Substitua PA 4; se ainda o presente, substitui o chassi
Ponte 8	Adaptador de porta 5	Substitua o NPE; se ainda o presente, substitui o chassi	Substitua PA 5; se ainda o presente, substitui o chassi
Construa uma ponte sobre 9	Adaptador de porta 6	Substitua o NPE; se ainda o presente, substitui o chassi	Substitua PA 6; se ainda o presente, substitui o chassi

Erro de paridade CPU

Como com todo o computador e dispositivos de rede de comunicação, o NPE é susceptível à ocorrência rara dos erros de paridade na memória de processador. Os erros de paridade podem fazer com que o sistema restaure e podem ser um single event upset transiente (SEU ou erro de software) ou podem ocorrer as épocas múltiplas (referidas frequentemente como erros de hard) devido ao hardware danificado. Para obter mais informações sobre dos SEU, refira o [aumento da disponibilidade NA rede da](#) página. Um erro de paridade CPU é relatado se o CPU detecta um erro de paridade ao alcançar alguns dos esconderijos do processador (L1, L2, ou se cabido, L3).

Estão aqui quatro exemplos deste tipo de erro:

Exemplo 1:

```
Error: SysAD, data cache, fields: data, 1st dword
Physical addr(21:3) 0x195BE88,
Virtual address is imprecise.
```

Imprecise Data Parity Error Imprecise Data Parity Error

O NPE tem um processador R7K com cache não bloqueado. O cache não bloqueado significa quando executa uma instrução para carregar dados em um registro e estes dados não estão no esconderijo L1, as cargas de CPU os dados de um esconderijo de uma mais baixa ordem ou dos dados SDRAM. O CPU não obstrui a execução de umas instruções mais adicionais a menos que houver uma outra falha de cache ou uma outra instrução depender em cima dos dados que estão sendo carregados. Isto pode extremamente acelerar o processador e melhorar o desempenho, mas pode igualmente conduzir aos erros de paridade que são imprecisas. Um erro de paridade impreciso é quando o CPU lê a informação sem obstruir, e determina mais tarde lá era um erro de paridade na linha de cache associada. O processador R7K é incapaz de dizer-nos que especificamente que instrução era executada quando a linha de cache era carregada, e aquela é a razão que nós a chamamos um erro de paridade impreciso.

Mesmo se os sistemas usam o Error Code Correction (ECC), é ainda possível ver um erro de paridade ocasional quando mais do que um único erro ocorreu nos 64 bit dos dados devido a um erro de hard no esconderijo.

Um erro de paridade ocorre quando um valor do bit do sinal está mudado de seu valor original (0 ou 1) ao valor oposto. Este erro pode ocorrer devido a um delicado ou a um erro de paridade difícil.

Os erros de paridade de software ocorrem devido a uma influência externo na memória do dispositivo, que muda o valor do bit a nível atual. Este tipo de problema é transiente e não reoccur. Os erros de paridade difíceis ocorrem quando o valor do bit é mudado pela memória própria devido a dano à memória. Nesse caso, o problema ocorre todas as vezes que a área de memória está usada, assim que significa que o problema pode repetir épocas múltiplas dentro dos dias de um par a uma semana.

Exemplo 2:

```
Error: SysAD, instr cache, fields: data, 1st dword
Physical addr(21:3) 0x000000,
virtual addr 0x6040BF60, vAddr(14:12) 0x3000
virtual address corresponds to main:text, cache word 0
```

	Low Data	High Data	Par	Low Data	High Data	Par
L1 Data:	0:0xAE620068	0x8C830000	0x00	1:0x50400001	0xAC600004	0x01
	2:0xAC800000	0x00000000	0x02	3:0x1600000B	0x00000000	0x01
	Low Data	High Data	Par	Low Data	High Data	Par
DRAM Data:	0:0xAE620068	0x8C830000	0x00	1:0x50400001	0xAC600004	0x01
	2:0xAC800000	0x00000000	0x02	3:0x1600000B	0x00000000	0x01

Exemplo 3:

```
Cache Err Reg = 0xE4588D10
Data reference, Secondary/Sys intf cache, Data field error
Error on 1st doubleword on System interface
No errors in addition to instr error
Data phy addr that caused last parity or bus error: 0x1E84040C
```

Exemplo 4 (NPE-300 e NPE-400 somente):

```
%CERF-3-RECOVER: PC=0x604F136C, Origin=L3 Data ,PhysAddr=0x013CEFD0
```

ou


```
%SYS-2-CERF_ABORT: Reason=0xEE23, PC=0x604629C8, Origin=L3 Data,  
Phys Addr=0x0287A4E8
```

Ambas as mensagens acima são acompanhadas do “de um relatório Cache Error Recovery Function (CERF)” como segue:

```
CERFa[1 ] 05:25:36 MET Tue Jul 9 2002: result=0xEE23; instr_pos=-2; rpl_off=1  
CERFb[1 ] PC =604629C8; ORGN=L3 Data; PRID=00002710; PHYA=0287A4E8  
CERFc[1 ] SREG=3400E105; CAUS=00000400; DEA0=0287A4E8; ECC =00000000  
CERFd[1 ] CERR=E447A4EA; EPC =606361F8; DEA1=02517058; INFO=00000000  
CERFe[1 ] CACHE=28FF78B4 62B36D98 02020684 00000E17 00000030 00000001 61F2934C 3EDA025D  
CERFe[1 ] SDRAM=28FF78B4 62B36D98 02020684 00000E17 00000030 00000001 61F2934C 3EDA025D  
CERFg[1 ] CXT =00000000; XCXT=00000000; BVAD=00000008; PFCL=00000000  
CERFh[1 ] ISeq: 0045182B; 1060000E; 2C4203E9; 92430028; 38420001; 30630005  
CERFi[1 ] o0 $3 ....; beq....; sltiu $2 ....; lbu $3, 0x0028($18); xori $2....; andi $3 ....;*  
CERFj[1 ] ; ; ; 6287A4E8; ; ;  
CERFk[1 ] ResumptionCode= 0x92430028; 0x0000000F; 0x42000018  
CERFl[1 ] Instr's checked=4; diags=0x00000158,0x00040000,3600,1,0  
CERFm[1 ] BaseRegLost later/off: 0/0 times; StoredValueLost: 0 times  
CERFn[1 ] INFO=00000000; CNFG=5061F4BB; ICTL=00000000
```

Initial Register Values

```
CERFs00[1 ] $0=00000000 AT=61A30000 v0=00000001 v1=00000002  
CERFs04[1 ] a0=28FF8728 a1=00003A98 a2=00000000 a3=00000007  
CERFs08[1 ] t0=00000000 t1=3400E101 t2=606381E0 t3=FFFF00FF  
CERFs12[1 ] t4=606381C8 t5=000005D4 t6=00000008 t7=61C50000  
CERFs16[1 ] s0=6189C188 s1=00000000 s2=6287A4C0 s3=00003A98  
CERFs20[1 ] s4=61BD57B0 s5=00000006 s6=00000000 s7=61BD6C60  
CERFs24[1 ] t8=60634788 t9=00000000 k0=621A8374 k1=6063EA40  
CERFs28[1 ] gp=61A33B20 sp=61E28678 s8=00000000 ra=60462CA4
```

1 Cache error exceptions already reported

Você vê os logs acima se o CERF está permitido em um NPE-300 ou o NPE-400 e um erro de paridade ocorrem. Para obter mais informações sobre do CERF, refira a seção das soluções abaixo.

Soluções

O seguinte curso de ação é recomendado quando você encontra tais erros:

1. Monitore o hardware afetado para ver se o mesmo problema acontece outra vez. Se não faz, a seguir era um single event upset transiente (SEU) e você não precisa de tomar nenhuma ação.
2. No evento improvável que o problema reoccur, o **comando cache L3 bypass/disable** é uma opção que possa ajudar a reduzir o impacto da edição. Este comando está somente disponível nas seguintes Plataformas:7200 com NPE-300, NPE-400, ou NSE-1 do Engine de processador7400 com enginer NSE-1 do processadorPorque o NPE-300 não apoia a memória ECC, esta característica é especialmente importante aumentar a Disponibilidade do sistema e segurar estes erros de paridade sem interrupção de serviço. Isto resolve muitos erros de paridade de software. A advertência é que há uma leve batida do desempenho ao sistema quando o esconderijo L3 é desabilitado. A degradação do desempenho está em qualquer lugar entre 1% e 10% segundo a configuração de sistema. A sintaxe para usar este comando é dependente da versão de Cisco IOS Software.O **comando cache L3 disable** pode ser encontrado nos Cisco IOS Software Release 12.3(5a) e Mais Recente. Igualmente estará disponível em 12.1(22)E. Nestas versões, o esconderijo L3 é desabilitado à revelia, assim que nenhuma ação é precisada de aproveitar-se desta

característica. O esconderijo L3 pode ser reenabled com o comando no cache L3 disable. O **comando cache L3 bypass** pode ser encontrado nos Cisco IOS Software Release 12.2(6)S, o 12.2(6)B, o 12.2(8)BC1b, o 12.0(20)SP, o 12.2(6)PB, o 12.2(2)DD2, o 12.0(20)ST3, o 12.0(21)S, o 12.1(11)EC, o 12.2(7)T, o 12.1(13), e o 12.2(7) ou mais atrasado, e o 12.1(11)E com 12.1(21)E. Este comando é desabilitado à revelia. Para permitir o desvio de cache L3, entre no seguinte do modo de configuração: `Router(config)#cache L3 bypass` Para desabilitar o desvio de cache L3, entre no seguinte do modo de configuração: `Router(config)#no cache L3 bypass` A configuração de cache nova não toma o efeito até que o roteador esteja recarregado. Quando as botas do roteador acima, informação de sistema forem indicadas, incluindo a informação sobre o esconderijo L3. Isto é porque o arquivo da partida-configuração não foi processado ainda pelo sistema. Depois que o arquivo da partida-configuração é processado, o esconderijo L3 está contorneado se o **comando cache L3 bypass** está na configuração. Para verificar a configuração de cache L3, você pode emitir o **comando show version**. Se o esconderijo L3 é contorneado, não há nenhuma referência ao esconderijo L3 nas **saídas de versão da mostra**.

3. Uma outra característica que ajude a Disponibilidade do sistema do aumento é o Cache Error Recovery Function (CERF). Quando esta característica for permitida (este é o padrão nos Cisco IOS Software Release os mais atrasados, mas em fevereiro 2004, simplesmente para o NPE-300 e o NPE-400), o Cisco IOS Software faz uma tentativa de resolver o erro de paridade e de manter o processador de causar um crash. Resoluções desta característica em torno de 75% dos determinados tipos de erros de paridade de software. Invocando este comando, o sistema considera a degradação do desempenho menos de 5%. O CERF para o NPE-300 pode ser encontrado nos Cisco IOS Software Release 12.1(15), 12.1(12)EC, 12.0(22)S, 12.2(10)S, 12.2(10)T, 12.2(10), 12.2(2)XB4, 12.2(11)BC1b, e 12.1(5)XM8 ou mais tarde. O CERF para o NPE-400 pode ser encontrado em 12.3(3)B, em 12.2(14)S3, em 12.1(20)E, em 12.1(19)E1, em 12.3(1a), em 12.2(13)T5, 12.2(18)S, 12.3(2)T, em 12.2(18), em 12.3(3), e em 12.3(1)B1 ou em mais tarde. O CERF para o NPE-300 exige a revisão de hardware 4.1 ou mais alto. A fim identificar a versão de hardware de seu NPE-300, use o **comando show c7200**. `Router>show c7200 ... C7206VXR CPU EEPROM: Hardware revision 4.1 Board revision A0 ...` O CERF para o NPE-400 exige o revision 2.1 do processador R7K ou mais altamente. A fim identificar a revisão do processador de seu NPE-400, use o **comando show version**. `Router>show version ... cisco 7206VXR (NPE400) processor with 491520K/32768K bytes of memory. R7000 CPU at 350Mhz, Implementation 39, Rev 3.2, 256KB L2, 4096KB L3 Cache 6 slot VXR midplane, Version 2.1...` **Nota:** É importante recolher todos os arquivos crashinfo (informações de travamento) relevantes a fim determinar a causa de raiz do erro como explicado em [recuperar a informação do arquivo crashinfo \(informações de travamento\)](#).

Se as sugestões acima não resolvem a edição, a seguir substituir o NPE pode ajudar nos casos de ocorrências repetidas dos erros de paridade desde que os erros de paridade difíceis são devido ao hardware danificado. As substituições de hardware são idênticas ao NPE original. Substituir o NPE não garante que nenhum erro de paridade mais adicional ocorrerá desde que os singles event upset (SEU) são inerentes em todo o equipamento de computador com memória.

[Informações Relacionadas](#)

- [Troubleshooting de Travamentos de Roteador](#)
- [Erros de paridade de memória de processador \(PMPEs\)](#)
- [Suporte Técnico - Cisco Systems](#)