

Arquitetura do Cisco 12000 Series Internet Router: Projeto da placa de linha

Índice

[Introdução](#)

[Pré-requisitos](#)

[Requisitos](#)

[Componentes Utilizados](#)

[Convenções](#)

[Principais operações fundamentais](#)

[Determinação de caminho](#)

[Cisco Express Forwarding](#)

[Arquitetura de placa de linha](#)

[Placas de linha do núcleo](#)

[Placas de linha da borda](#)

[Placas de linha da borda canalizada](#)

[Placas de linha do Asynchronous Transfer Mode \(ATM\)](#)

[Placas de linha dos Ethernet](#)

[Placas de linha do pacote dinâmico de transporte \(DPT\)](#)

[Extremidade de placas de linha da venda \(EOS\)](#)

[Instalação da placa de linha](#)

[Informações Relacionadas](#)

[Introdução](#)

Este documento fornece uma visão geral do design de placa de linha do Cisco 12000 Series Internet Router.

[Pré-requisitos](#)

[Requisitos](#)

Não existem requisitos específicos para este documento.

[Componentes Utilizados](#)

As informações neste documento são baseadas no seguinte hardware:

- Cisco 12000 Series Internet Router

As informações neste documento foram criadas a partir de dispositivos em um ambiente de

laboratório específico. Todos os dispositivos utilizados neste documento foram iniciados com uma configuração (padrão) inicial. Se a sua rede estiver ativa, certifique-se de que entende o impacto potencial de qualquer comando.

[Convenções](#)

Para obter mais informações sobre convenções de documento, consulte as [Convenções de dicas técnicas Cisco](#).

[Principais operações fundamentais](#)

O Cisco 12000 Series Internet Router tem verdadeiramente uma arquitetura distribuída que todas as placas de linha (LC) executam uma cópia da imagem do software do [®] do Cisco IOS, e todo o interruptor é feito nos LC. O Cisco Express Forwarding Switching é o ÚNICO trajeto de switching. Não há switching rápida, switching ideal e assim por diante, como em outras plataformas; por exemplo, como na série 7500. Para uma vista geral dos trajetos de switching não-distribuídos disponíveis nas Plataformas diferentes, veja [como escolher o melhor caminho de switching pelo roteador para a sua rede](#).

As funções do encaminhamento de pacote são executadas por cada placa de linha. Uma cópia das tabelas do forwarding computada pelo Gigabit Route Processor (GRP) é distribuída a cada placa de linha no sistema. Cada placa de linha executa a consulta independente de um endereço de destino para cada datagrama recebida em uma cópia local da tabela do forwarding, e a datagrama é comutada através de um Switch Fabric de cross-bar à placa de linha do destino. As funções básicas dos LC são transmissão, resposta de ping, e fragmentação de pacote de informação do Label Switching IP/Multiprotocol (MPLS).

A placa de linha cuida de:

- enfileirando-se, como [primeiramente dentro, primeiramente para fora \(FIFO\)](#) e Modified Deficit Round Robin (MDRR)
- controle de congestionamento - [Weighted Random Early Detection \(WRED\)](#)
- outros recursos, como [Listas de Acesso \(ACLs\)](#) e [Taxa de Acesso Consolidada \(CAR\)](#)
- estatísticas, tal como contabilização de [NetFlow](#) e Cisco Express Forwarding

Antes de ir mais com arquitetura da placa de linha, é importante compreender as operações específicas do Cisco 12000. Eles podem ser divididos nas seguintes categorias:

- Determinação de caminho
- Cisco Express Forwarding
- Qualidade de Serviço (QoS), como Gerenciamento de Congestionamentos

[Determinação de caminho](#)

O processo de determinação do caminho do Cisco 12000 envolve as seguintes atividades:

- Processamento de protocolos de roteamento interno, como EIGRP, IS-IS, OSPF
- Processamento do protocolo de gateway externo, como o Protocolo BGP
- Emissão e resposta às atualizações de roteamento
- Criando e mantendo a tabela de roteamento

- Rotas recursiva de resolução
- Enviando atualizações às tabelas do forwarding

Antes que os 12000 possam enviar todas as datagramas IP, o GRP deve construir uma tabela de roteamento local. Esta tabela de roteamento contém informações do Next Hop do IP Packet de entrada.

O GRP constrói e mantém a tabela de roteamento processando os protocolos de roteamento interiores tais como o Enhanced Interior Gateway Routing Protocol (EIGRP), o Intermediate System-to-Intermediate System (ISIS), o Open Shortest Path First (OSPF), e o Border Gateway Protocol (BGP).

Esta tabela contém todas as entradas e métricas de rotas (por exemplo, comprimento do caminho) necessárias para encaminhar um pacote IP. Adicionalmente, o GRP calcula todas as rotas recursiva que ocorrem quando o apoio é fornecido para um protocolo interno e um protocolo de gateway externo tal como o BGP. O GRP e as placas de linha usam um método novo do Distributed Switching chamado Distributed Cisco Express Forwarding (dCEF). Com este método do Distributed Switching, o encaminhamento de pacote, incluindo a informação precalculated da rota recursiva, é enviado a cada placa de linha.

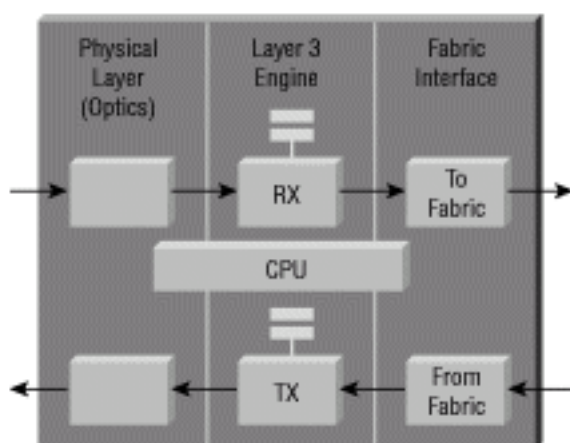
Cisco Express Forwarding

Para saber mais sobre o Cisco Express Forwarding, consulte [Understanding Cisco Express Forwarding on the Cisco 12000 Series Internet Router \(Entendendo o Cisco Express Forwarding no roteador de internet série 12000 da Cisco\)](#).

Arquitetura de placa de linha

Há diferentes tipos de arquitetura de placa de linha que se baseiam no tipo de mecanismo. A figura a seguir mostra um diagrama comum genérico para todos os LCs:

Diagrama da placa de linha



Cada LC pode ser dividido em três seções principal:

- Módulo de interface da camada física (PLIM) - Este é o módulo de hardware que termina a conexão física (dependente de mídias; consequentemente, Asynchronous Transfer Mode (ATM), Pacote sobre SONET (POS), e Fast Ethernet)
- Mecanismo de switching L3 - Este Forwarding Engine prepara realmente pacotes para

transmissão através da tela de switching ao destino LC. Segura as consultas L3, as reescritas, a proteção, o controle de congestionamento, e todo o L3, características de QoS. Cinco tipos de Engine de encaminhamento de pacote existem, a saber, os motores 0, 1, o 2,3 e 4. placas de linha até à data desta escrita são classificados pelo tipo do Engine de encaminhamento de pacote descrito na tabela abaixo.

- Interface de construção - O Fabric Interface ASIC (FIA) prepara os pacotes para transmissão através da tela de switching ao destino LC. Toma de pedidos da concessão da tela, enfileiramento de tela, replicação multicast do por-entalhe, e assim por diante.

A série Cisco 12000 oferece um portfólio extenso de placas, incluindo Core, Edge, Channelized Edge, ATM (Asynchronous Transfer Mode), Ethernet, DPT (Dynamic Packet Transport) e End-of-Sale. Essas placas de linha fornecem alto desempenho, garantia de entrega e serviço de pacote de prioridade, além de OIR (Inserção e remoção on-line) transparente, através da arquitetura de sistema distribuída do Cisco 12000 Series. As tabelas a seguir listam as placas de linha lançadas após dezembro de 2001 com o tipo correspondente de Engine:

Placas de linha do núcleo

Nome da placa de linha	Mecanismo	Chassi apoiado	Versão do IOS	Recursos
Placa de linha ISE POS/SDH de 1 porta OC-48 POS ISE e 1 porta OC-48c/STM-16c	Engine 3 (ISE)	Chassi 10 G Chassi 2,5 G	12.0(21)ST 12.0(21)S	Folha de dados
Placa de linha com 1 porta OC-48 POS e 1 porta OC-48c/STM-16c POS/SDH	Mecanismo 2	Chassi 10 G Chassi 2,5 G	12.0(10)S 12.0(11)ST	Folha de dados
4 portas OC-48 POS Placa de linha 4 portas OC-48c/STM-16c POS/SDH	Mecanismo 4	chassi 10G somente	12.0(15)S 12.0(17)ST	Folha de dados
1 porta OC-192 POS Placa de linha 1 porta OC-192c/STM-64c POS/SDH	Mecanismo 4	chassi 10G somente	12.0(15)S 12.0(17)ST	Folha de dados

Placas de linha da borda

Nome da placa de linha	Mecanismo	Chassi apoiado	Versão do IOS	Recursos
6 portas DS3 Placa de linha de seis portas DS3	Mecanismo 0	Chassi 10 G Chassi 2,5 G	12.0(10)S 12.0(11)ST	Folha de dados
12 portas DS3 Placa de linha de doze portas DS3	Mecanismo 0	Chassi 10 G Chassi 2,5 G	12.0(10)S 12.0(11)ST	Folha de dados

Placa de linha E3 seis portas	Mecanismo 0	Chassi 10 G Chassi 2,5 G	12.0(16)ST 12.0(15)S	Folha de dados (versão pdf)
12 portas E3 Placa de linha 12 portas E3	Mecanismo 0	Chassi 10 G Chassi 2,5 G	12.0(16)ST 12.0(15)S	Folha de dados (versão pdf)
4 portas OC-3 POS Placa de linha de quatro portas OC-3c/STM-1c POS/SDH	Mecanismo 0	Chassi 10 G Chassi 2,5 G	12.0(05)S 12.0(11)ST	
Placa de linha com POS/SDH 8 portas OC-3 POS e 8 portas OC-3c/STM-1c	Mecanismo 2	Chassi 10 G Chassi 2,5 G	12.0(10)S 12.0(11)ST	Folha de dados
Placa de linha com POS/SDH de 16 portas OC-3 POS e 16 portas OC-3c/STM-1c	Mecanismo 2	Chassi 10 G Chassi 2,5 G	12.0(10)S 12.0(11)ST	Folha de dados
16 portas OC-3 POS ISE Dezesesseis portas OC-3c/STM-1c POS/SDH ISE	Engenheiro 3 (ISE)	Chassi 10 G Chassi 2,5 G	12.0(21)ST 12.0(21)S	Folha de dados
Placa de linha com 1 porta OC-12 POS e 1 porta OC-12c/STM-4c POS/SDH	Mecanismo 0	Chassi 10 G Chassi 2,5 G	12.0(10)S 12.0(11)ST	Folha de dados
4 portas OC-12 POS Placa de linha quatro portas OC-12c/STM-4c POS/SDH	Mecanismo 2	Chassi 10 G Chassi 2,5 G	12.0(10)S 12.0(11)ST	Folha de dados
4 portas OC-12 POS ISE Placa de linha quatro portas OC-12c/STM-4c POS/SDH ISE	Engenheiro 3 (ISE)	Chassi 10 G Chassi 2,5 G	12.0(21)ST 12.0(21)S	Folha de dados
Placa de linha ISE POS/SDH de 1 porta OC-48 POS ISE e 1 porta OC-48c/STM-16c	Engenheiro 3 (ISE)	Chassi 10 G Chassi 2,5 G	12.0(21)ST 12.0(21)S	Folha de dados

[Placas de linha da borda canalizada](#)

Nome da placa de linha	Mecanismo	Chassi apoiado	Versão do IOS	Recursos
------------------------	-----------	----------------	---------------	----------

Placa de linha com duas portas CHOC-3 DS1/E1 e duas portas OC-3/STM-1(DS1/E1) canalizadas	Mecanismo 0	Chassi 10 G Chassi 2,5 G	12.0(17)S 12.0(17)S T	Folha de dados
1 porta CHOC-12, DS3 Placa de linha de uma porta canalizada OC-12 (DS3)	Mecanismo 0	Chassi 10 G Chassi 2,5 G	12.0(05)S 12.0(11)S T	Folha de dados
1 porta CHOC-12, OC-3 Placa de linha 1 porta canalizada OC-12/STM-4 (OC-3/STM-1)	Mecanismo 0	Chassi 10 G Chassi 2,5 G	12.0(05)S 12.0(11)S T	Folha de dados
4 portas CHOC-12 ISE Quatro portas canalizadas OC-12/STM-4 (DS3/E3, OC-3c/STM-1c) POS/SDH ISE	Engin e 3 (ISE)	Chassi 10 G Chassi 2,5 G	12.0(21)S T 12.0(21)S	Folha de dados
1 porta CHOC-48 ISE Placa de linha com uma porta canalizada OC-48/STM-16 (DS3/E3, OC-3c/STM-1c, OC-12c/STM-4c) POS/SDH ISE	Engin e 3 (ISE)	Chassi 10 G Chassi 2,5 G	12.0(21)S T 12.0(21)S	Folha de dados
Placa de linha 6 portas canalizado T3 seis portas canalizado T3 (T1)	Mecanismo 0	Chassi 10 G Chassi 2,5 G	12.0(14)S 12.0(14)S T	

[Placas de linha do Asynchronous Transfer Mode \(ATM\)](#)

Nome da placa de linha	Mecanismo	Chassi apoiado	Versão do IOS	Recursos
ATM com OC-3 com 4 portas e quatro portas OC-3c/STM-1c ATM	Mecanismo 0	Chassi 10 G Chassi 2,5 G	12.0(5)S 12.0(11)ST	Folha de dados
1 porta OC-12 ATM Uma porta OC-12c/STM-4c ATM	Mecanismo 0	Chassi 10 G Chassi 2,5 G	12.0(7)S 12.0(11)ST	Folha de dados
Placa de linha com 4 portas OC-12 ATM e 4 portas OC-12c/STM-4c ATM	Mecanismo 2	Chassi 10 G Chassi 2,5 G	12.0(13)S 12.0(14)ST	Folha de dados

[Placas de linha dos Ethernet](#)

Nome da placa de linha	Mecanismo	Chassi apoiado	Versão do IOS	Recursos
FE de 8 portas com placa de linha Ethernet de oito portas ECC	Mecanismo 1	Chassi 10 G Chassi 2,5 G	12.0(16)ST 12.0(10)S	Folha de dados
1 porta GE com ECC Placa de linha Ethernet Gigabit ECC de uma porta	Mecanismo 1	Chassi 10 G Chassi 2,5 G	12.0(16)ST 12.0(10)S	Folha de dados
3 portas GE Placa de linha de três portas Gigabit Ethernet	Mecanismo 2	Chassi 10 G Chassi 2,5 G	12.0(16)ST 12.0(11)S	Folha de dados
Ethernet Gigabit de 10 portas com GE de 10 portas	Motor 4 w/RX/TX + /density	Chassi 10 G Chassi 2,5 G	12.0(22)S 12.0(22)ST	Folha de dados

[Placas de linha do pacote dinâmico de transporte \(DPT\)](#)

Nome da placa de linha	Mecanismo	Chassi apoiado	Versão do IOS	Recursos
2 Portas OC-12 DPT Duas portas OC-12c/STM-4c DPT	Mecanismo 1	Chassi 10 G Chassi 2,5 G	12.0(10)S 12.0(11)ST	Anúncio de folha de dados
1 porta OC-48c DPT 1 porta OC-48c/STM-16c DPT	Mecanismo 2	Chassi 10 G Chassi 2,5 G	12.0(16)ST 12.0(15)S	Anúncio de folha de dados

[Extremidade de placas de linha da venda \(EOS\)](#)

As seguintes placas de ingresso não são mais vendidas. Elas estão listadas aqui somente para referência.

Nome da placa de linha	Mecanismo	Chassi apoiado	Versão do IOS
cartão do porta um OC-192c/STM-64c POS/Enabler do cartão 1-Port OC-192c/ STM 64c Habilitador	Mecanismo 2	Chassi 10 G Chassi 2,5 G	12.0(10)S 12.0(11)ST

Você pode obter todas as fichas técnicas disponíveis, na página [Product Literature](#) (Documentação dos produtos).

Nota: As placas de linha do Engine 3 são capazes de executar características da borda na linha taxa. Quanto maior o Layer 3 Engine, mais pacotes são comutados no hardware.

As únicas coisas que diferenciam realmente uma placa de linha de outra são o módulo de interface da camada física (PLIM) e o Engine de encaminhamento de camada 3. As placas de linha variam por PLIM somente dentro do mesmo Forwarding Engine L3. PLIMs têm componentes dependentes de mídia por exemplo, o PLIM de ATM (Modo de transferência assíncrono) tem uma SAR (Segmentação e remontagem), e o PLIM de GigE tem um MAC ASIC (Circuito integrado específico do aplicativo de controle de acesso de mídia) mas a o caminho do pacote ao longo de todos os PLIMs é bem similar. Este documento se concentra na PLIM de Packet Over SONET(Pacotes sobre SONET) (POS), mas quando aplicável, são feitas observações sobre as diferenças úteis.

A fim determinar o tipo de Engine da camada 3 de uma placa de linha, o Cisco IOS Software Release 12.0(9)S adicionou tipo do motor "L3" à saída do **comando show diag**, como ilustrado abaixo:

```
SLOT 1 (RP/LC 1 ): 1 Port Packet Over SONET OC-12c/STM-4c Single Mode
  MAIN: type 34, 800-2529-02 rev C0 dev 16777215
        HW config: 0x00 SW key: FF-FF-FF
  PCA:  73-2184-04 rev D0 ver 3
        HW version 1.1 S/N CAB0242ADZM
  MBUS: MBUS Agent (1) 73-2146-07 rev B0 dev 0
        HW version 1.2 S/N CAB0236A4LE
        Test hist: 0xFF RMA#: FF-FF-FF RMA hist: 0xFF
  DIAG: Test count: 0xFFFFFFFF Test results: 0xFFFFFFFF
  L3 Engine: 0 - OC12 (622 Mbps)
  !--- Engine 0 card. MBUS Agent Software version 01.40 (RAM) (ROM version is 02.02) Using CAN
Bus A ROM Monitor version 10.00 Fabric Downloader version used 13.01 (ROM version is 13.01)
Primary clock is CSC 1 Board is analyzed Board State is Line Card Enabled (IOS RUN ) Insertion
time: 00:00:11 (2w1d ago) DRAM size: 268435456 bytes FrFab SDRAM size: 67108864 bytes ToFab
SDRAM size: 67108864 bytes 0 crashes since restart
```

Há um comando de atalho que pode ser usado para obter o mesmo resultado, mas apenas com as informações úteis:

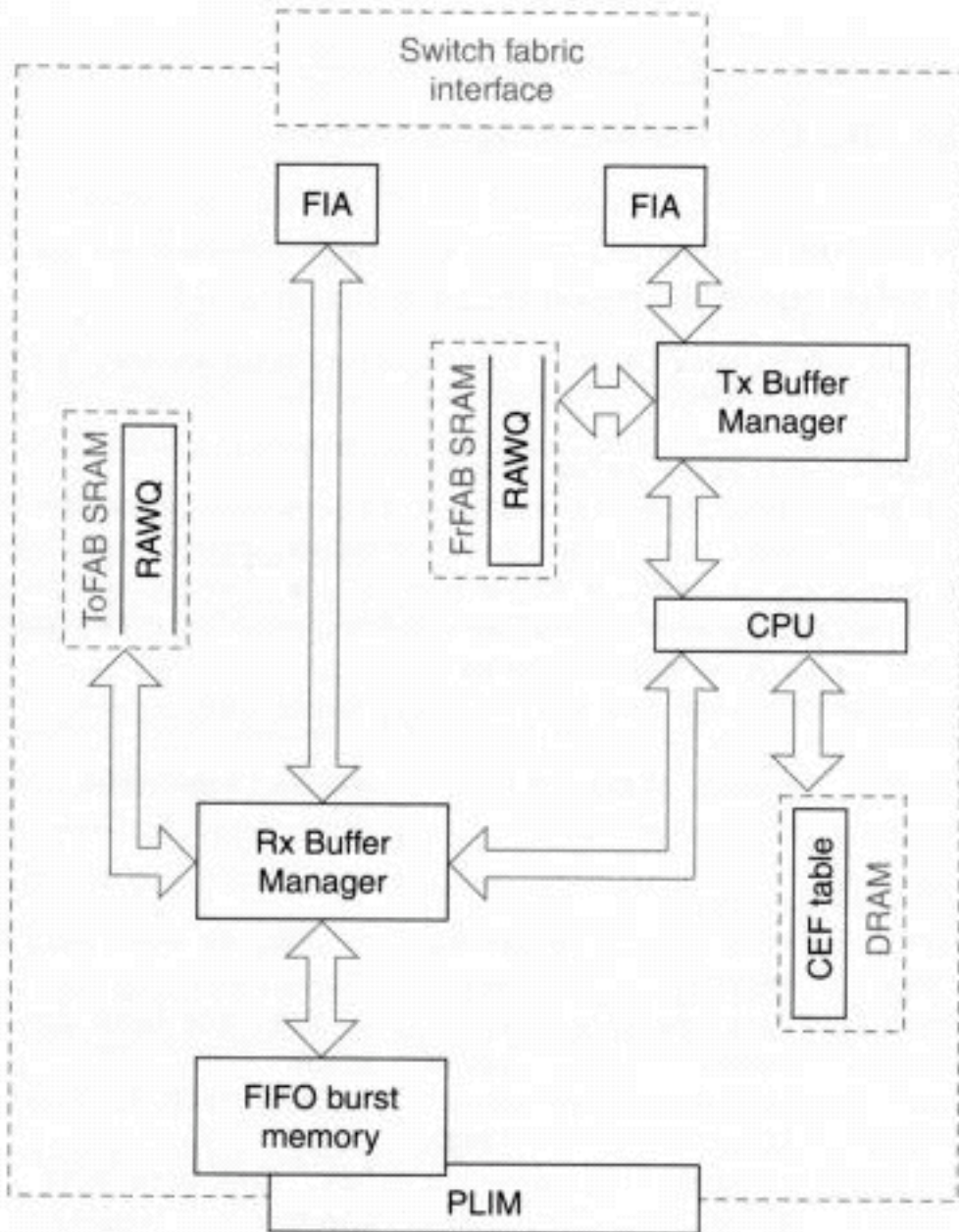
```
Router#show diag | i (SLOT | Engine)

...
SLOT 1 (RP/LC 1 ): 1 port ATM Over SONET OC12c/STM-4c Multi Mode
  L3 Engine: 0 - OC12 (622 Mbps)
SLOT 3 (RP/LC 3 ): 3 Port Gigabit Ethernet
  L3 Engine: 2 - Backbone OC48 (2.5 Gbps)
...
```

Cisco oferece agora cinco tipos de Engine de L3:

- **Motor 0 - OC12/BMA:** A consulta IP/MPLS é efetuada no software por um CPU R5K. Este mecanismo usa o Buffer Management ASIC (BMA) herdado que gerencia buffers e segmentos de pacote e monta novamente os pacotes para transmissão pelo Switch Fabric. O BMA de recebimento é responsável por receber os pacotes de PLIM, segmentar os pacotes em células de tamanho fixo e apresentá-los ao FIA (ASIC de Interface de Tela) para transmissão em uma tela de switching. O BMA de transmissão, com a ajuda do FIA, realiza a remontagem das células que chegam do Switch Fabric em pacotes e transferem os pacotes ao PLIM para transmissão a partir da caixa. A maioria das características nesta placa de linha são executadas no software.

- **Motor 1 - Salsa/BMA48 (TTM48):** Este segundo motor foi melhorado. Primeiramente, um ASIC novo foi desenvolvido a fim executar a consulta IP no hardware. Este novo ASIC é chamado de Salsa. Apenas a regravagem de Media Access Control (MAC) é feita no software nesse mecanismo. O BMA foi promovido igualmente para obter mais largura de banda. É chamado agora o BMA48. Não há suporte a MDRR ou WRED para este mecanismo. Os motores da transmissão do motor 0 e do motor 1 são mostrados com seus componentes-chave na figura abaixo: **Engine de encaminhamento de pacote do motor 0 e do motor 1**

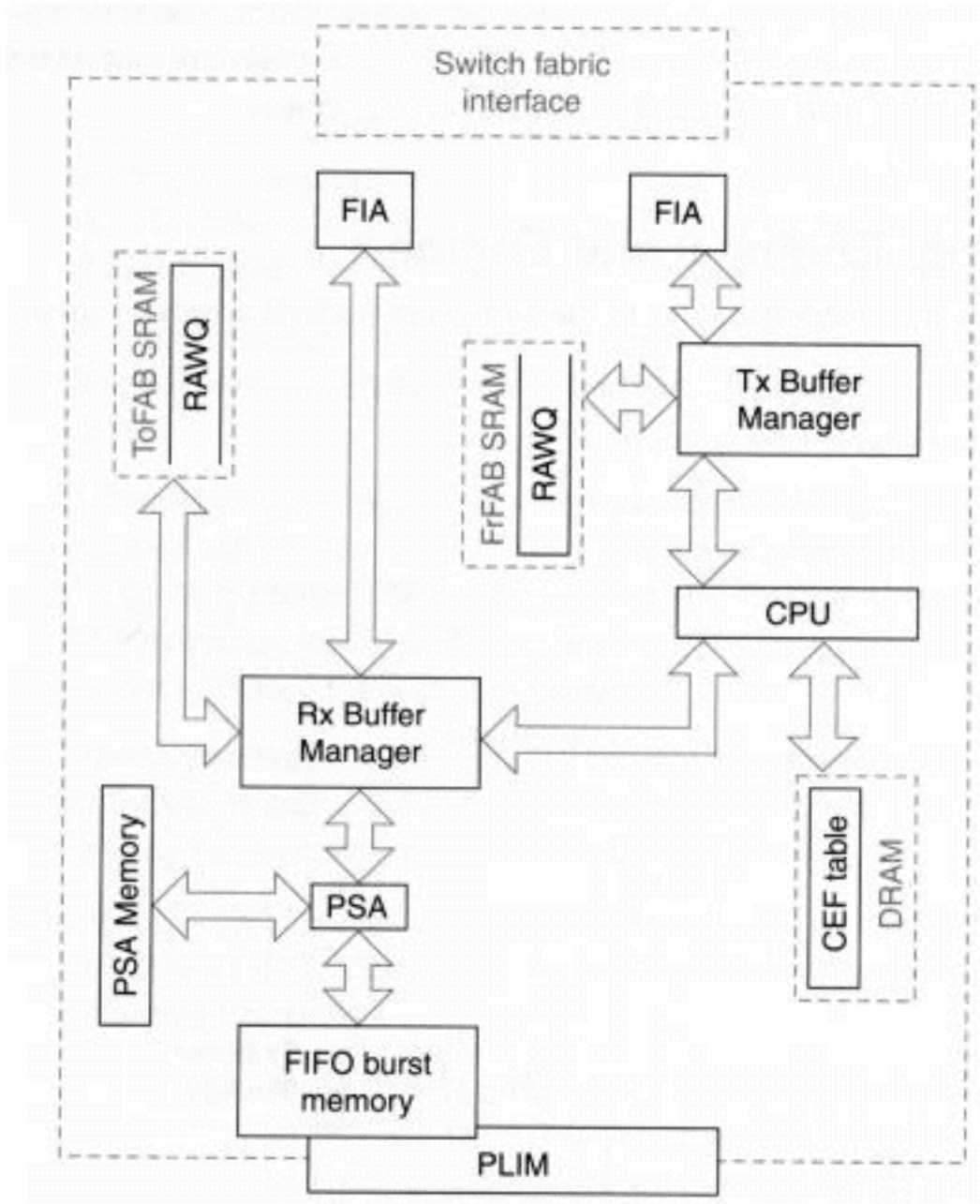


- **Engine 2 - PSA/TBM/RBM (Perf48):** Um ASIC novo está presente nestes LC para melhorar a maneira que a consulta IP/MPLS é feita. O ASIC de switching de pacotes (PSA) executa uma consulta de hardware e a reescrita dos pacotes de etiquetas e de IP. Por esse motivo, o PSA usa uma cópia local destilada da tabela FIB (**mostra IP PSA a.b.c.d**). **Todo o** packet switching em um engine 2 LC é feito no hardware pelo PSA. A CPU e o LC são interrompidos para uma decisão de encaminhamento de pacote apenas se um recurso estiver configurado na placa de linha que não é suportada pelo PSA. Esta tabela PSA é armazenada na memória externa que está somente atual no Engine 2 LC.

```
Router#exec slot 11 show controller psa mem
===== Line Card (Slot 11) =====
PLU SDRAM: Size 0x4000000, Banks 4
```

TLU SDRAM: Size 0x4000000, Banks 4
PSA SSRAM: Size 0x100000

A memória de pacotes foi aumentada à revelia ao 256 MB e pode alcançar o 512 MB. Há também os novos gerenciadores de Buffer ASICs Rx e TX (chamados de RBM e TBM, respectivamente), que são uma chave para o suporte com base em hardware para as características de CoS (Classe de Serviço) neste LC: O WRED e o MDRR são executados no hardware. O CAR não está disponível, mas um subconjunto de CAR conhecido como o Per Interface Rate Control (PIRC) pode ser configurado pelo contrário. Até à data do Cisco IOS Software Release 12.0(14)S, o Netflow exemplificado é apoiado em placas de linha do Pacote sobre SONET (POS) do Engine 2. O recurso Sampled NetFlow (Fluxo de Rede Exemplificado) permite examinar um de “x” pacotes IP sendo encaminhados para roteadores, possibilitando que o usuário defina o intervalo “x” com um valor entre o mínimo e o máximo. Exemplos de pacotes são considerados no cache de fluxo NetFlow do roteador. Esses pacotes de amostra diminuem substancialmente a necessidade de utilização da CPU para os pacotes NetFlow, permitindo que a maioria dos pacotes seja comutada mais rápido pois eles não precisam passar pelo processamento adicional de NetFlow. Veja o [Netflow exemplificado](#) para mais informações. Até à data do Cisco IOS Software Release 12.0(16)S, o Netflow exemplificado é apoiado em placas de linha do Gigabit Ethernet 3-Port. Até à data do Cisco IOS Software Release 12.0(18)S, o Netflow exemplificado e o Access Control Lists (ACLs) 128 no PSA podem agora ser configurados ao mesmo tempo em placas de linha do Pacote sobre SONET (POS) do Engine 2. Tudo é comutado com o PSA, à exceção de algumas características que têm que ir ao CPU local do LC: a saída CAR, pacotes com as Listas de acesso aplicadas se não cabem nas restrições de PSA, opções/tráfego do NON-trânsito, pacotes de transmissão múltipla, pacotes do IPv6, e assim por diante. A saída CAR foi substituída pelo Distributed Traffic Shaping (DTS) até à data do Cisco IOS Software Release 12.0(16)S. Mais informação está disponível no [Distributed Traffic Shaping para placas de linha no Cisco 12000 Series Internet Router](#). O apoio para ACL foi mudado no hardware em cartões do Engine 2. Se você não quer os configurar, você deve adicionar a linha **nenhuns psum difíceis da lista de acesso** a sua configuração. Está abaixo um diagrama de um Forwarding Engine do Engine 2 e de seus componentes-chave: **Engine de encaminhamento de pacote do Engine 2**



- **Engine 3** - Motor da borda: Este é um mecanismo de arquitetura completamente nova de camada 3. Igualmente tem a largura de banda OC48, mas integra alguns ASIC novos a fim melhorar a velocidade da transmissão com todo o QoS e recursos ACL. As placas de linha do Engine 3 são capazes de executar características da borda na linha taxa.
- **Motor 4** - Backbone OC192: Essas LCs mais recentes não são suportadas em 12008 e 12012 Series Routers. Eles dão suporte à taxa de linha do OC192.
- **Motor 4+** - Mesmos que o motor 4, salvo que apoiam muito mais características na linha taxa.

[Instalação da placa de linha](#)

Estão abaixo os links relativos à instalação e à configuração dos LC e o apoio LC para o chassi diferente:

- [Notas de instalação e de configuração da placa de linha do Cisco 12000](#)

Para obter mais informações sobre dos tipos de memória nas placas de linha, veja a [memória atual nas placas de linha](#).

Informações Relacionadas

- [Arquitetura do Cisco 12000 Series Internet Router - Chassi](#)
- [Arquitetura do Cisco 12000 Series Internet Router - Switch Fabric](#)
- [Arquitetura do Cisco 12000 Series Internet Router – Processador de Roteador](#)
- [Arquitetura do Cisco 12000 Series Internet Router - Detalhes de Memória](#)
- [Arquitetura do Cisco 12000 Series Internet Router - Barramento de Manutenção, Fontes de Alimentação e Ventiladores e Placas de Alarme](#)
- [Arquitetura do Cisco 12000 Series Internet Router - Visão Geral do Software](#)
- [Arquitetura do roteador de Internet da série Cisco 12000 – switching de pacote de informações](#)
- [Compreendendo o Cisco Express Forwarding \(CEF\)](#)
- [Suporte Técnico e Documentação - Cisco Systems](#)