

Árvore de falha e erro de paridade do Cisco 12000 Series Internet Router

Índice

[Introdução](#)

[Antes de Começar](#)

[Convenções](#)

[Pré-requisitos](#)

[Componentes Utilizados](#)

[Visão geral](#)

[Análise de árvore de falha de erro de paridade do GRP \(Gigabit Route Processor\)](#)

[Análise de árvore de falha de erro de paridade da placa de linha](#)

[Erros de paridade/ECC no Gigabit Route Processor do Cisco 12000 Series](#)

[Erros de bit único \(SBEs\)](#)

[Erros de Multibits \(MBEs\)](#)

[Erros de paridade de memória do processador \(PMPE\)](#)

[Mensagem de erro %GRP-3-PARITYERR](#)

[%PRP-3-SBE DATA: \[hex\] ruim calc do \[hex\] do \[hex\] ECC rec do \[hex\] dos dados](#)

[Erros de paridade/ECC nas placas de linha do Cisco 12000 Series](#)

[Erros SDRAM ECC](#)

[Exceções de paridade de cache](#)

[Mensagens de erro da placa de linha com base no mecanismo 0](#)

[Mensagens de erro de placa de linha baseadas em Engine 1](#)

[Mensagens de erro da placa de linha com base em Engine 2](#)

[Mensagens de Erro da placa de linha do motor 3-based](#)

[Mensagens de erro de placa de linha baseadas em Engine 4/4+](#)

[Mensagens de Erro da placa de linha do motor 5/5+-based](#)

[Mensagens de Erro da placa de linha do motor 6-based](#)

[Mensagens de Erro dos TERMAS](#)

[Erros de paridade nos Cisco 12000 Series Switching Fabric Cards](#)

[Informações Relacionadas](#)

[Introdução](#)

Este documento explica as etapas para solucionar e isolar uma peça ou componente defeituoso do Cisco 12000 Series Internet Router após a detecção de uma série de mensagens de erro de paridade.

Nota: Este documento não cobre a causa dos erros de paridade. [Se estiver interessado em uma definição mais concisa sobre os erros de paridade \(também conhecidos como Single Event](#)

[Upsets - SEUs\) e sua possível causa, recomendamos a leitura dos documentos associados em Aumentando a Disponibilidade de Rede.](#)

Antes de Começar

Convenções

Para obter mais informações sobre convenções de documento, consulte as [Convenções de dicas técnicas Cisco](#).

Pré-requisitos

Antes de continuar com esta leitura, recomendamos que você leia os seguintes documentos:

- [Erros de paridade de memória de processador \(PMPEs\)](#)
- [Troubleshooting de Travamentos de Roteador](#)

Componentes Utilizados

As informações neste documento são baseadas nas versões de software e hardware abaixo.

- Cisco 12000 Series Internet Router
- Todas as versões do software de Cisco IOS®

As informações neste documento foram criadas a partir de dispositivos em um ambiente de laboratório específico. Todos os dispositivos utilizados neste documento foram iniciados com uma configuração (padrão) inicial. Se você estiver trabalhando em uma rede ativa, certifique-se de que entende o impacto potencial de qualquer comando antes de utilizá-lo.

Visão geral

A maioria dos processadores de rota Cisco 12000 Series Internet Router e das placas de linha incluem a funcionalidade ECC (Correção de Código de Erro). Há, contudo, algumas placas existentes no campo que não têm a potencialidade de ECC. A funcionalidade de ECC cobre somente RAM ou a memória de ram dinâmica síncrona (SDRAM) nos cartões. O restante não é protegido por ECC.

Está aqui uma comparação da funcionalidade de ECC para as placas de linha usadas com o Cisco 12000:

- Todo o Engine 2 e cartões mais atrasados têm a funcionalidade de ECC.
- Placas do tipo Engine 1 alteradas para ECC depois de FCS.
- Placas Engine 0 não têm a funcionalidade ECC.
- É possível atualizar algumas placas com produtos similares que integrem a funcionalidade do ECC.

A tabela abaixo lista os produtos que têm a funcionalidade ECC:

Produtos NON-ECC	Produtos ECC
GRP(=)	GRP-B(=)

GE-SX/LH-SC(=)	GE-GBIC-SC-B(=)
GE-GBIC-SC-A(=)	GE-GBIC-SC-B(=)
8FE-FX-SC(=)	8FE-FX-SC-B(=)
8FE-TX-RF45(=)	8FE-TX-RJ45-B(=)
6DS3-SMB(=)	6DS3-SMB-B(=)
12DS3-SBM(=)	12DS3-SMB-B(=)
OC12/SRP-MM-SC(=)	OC12/SRP-IR-SC-B(=)
OC12/SRP-MM-SC(=)	OC12/SRP-mm-SC-B(=)
OC12/SRP-mm-SC-B(=)	OC12/SRP-LR-SC-B(=)

Nota: - B e o ECC são independentes. -B significa que o produto é a segunda e principal revisão solicitada da placa. Em alguns casos, esta foi a revisão para ECC.

Cisco oferece um [plano de migração tecnológica](#) (TMP) que permita que você promova uma placa NON-ECC a uma placa nova ECC. Um crédito será aplicado à compra da nova placa ECC em troca da placa não-ECC.

[Análise de árvore de falha de erro de paridade do GRP \(Gigabit Route Processor\)](#)

O fluxograma abaixo ajuda a determinar qual componente do Roteador de Internet do Cisco 12000 Series é responsável pelas mensagens de erro de paridade/ECC (correção de código de erro) no GRP (processador de rota de gigabit).

Nota: Capture e grave a saída e os logs do console do tecnologia-**apoio da mostra**, e recolha todos os [arquivos crashinfo \(informações de travamento\)](#) durante eventos de erro de paridade/ecc.

[Análise de árvore de falha de erro de paridade da placa de linha](#)

O fluxograma abaixo ajuda a determinar qual componente de um roteador de Internet do Cisco 12000 Series é responsável pelas mensagens de erro de paridade/ECC (Error Code Correction).

Nota: Sempre que uma placa de linha experimenta um evento de erro de paridade/ecc, recolha tanta informação como possível (veja [ruídos da placa do Troubleshooting no Cisco 12000 Series Internet Router](#) para detalhes).

O roteador de Internet Cisco série 12000 recupera-se de erros de paridade em outras memórias de cartão de linha (SDRAM e SRAM) sem travar.

[Erros de paridade/ECC no Gigabit Route Processor do Cisco 12000 Series](#)

Os dados com paridade inválida podem ser relatados por diversos dos dispositivos da verificação de paridade para alguns lidos ou escrever a operação no Cisco 12000 Series Internet Router.

O GRP-B e o PRP usam a detecção ECC da correção de erro de bit único e do erro de vários bits

à memória compartilhada (SDRAM). Um erro de bit único no SDRAM é corrigido automaticamente e o sistema continua a funcionar normalmente.

Erros de bit único (SBEs)

O PRP e o GRP-B têm o controlador aumentado do ram dinâmica (DRAM) que apoia o ECC. Conseqüentemente, podem corrigir erros de um bit e erros de vários bits do relatório. A correção de um erro de bit único é semelhante a:

```
%Tiger-3-SBE: Single bit error detected and corrected at <address>
```

Os SBEs são corrigidos pelo Circuito de Correção de Erro e não afetam a funcionalidade do GRP-B ou PRP. Nenhuma ação está exigida para erros de um bit, a menos que acontecerem frequentemente. Nesse caso, é recomendável substituir a placa de processador.

Erros de Multibits (MBEs)

A detecção de um erro de vários bits é relatada com uma exceção de erro de barramento ou uma exceção de erro de paridade de cache CPU.

Erros de paridade de memória do processador (PMPE)

R. A mensagem de erro de paridade da memória do processador será reportada se a CPU detectar um erro de paridade ao acessar o cache externo do processador (L3 no GRP) por meio do barramento SysAD ou uma das memórias de cache interno da CPU (L1 ou L2). A tabela 1 alista exemplos das mensagens que seriam imprimidas - para fora para cada tipo de erro de paridade de cache:

Tabela 1: Local de Erro de Paridade de Cache

Localização do erro de paridade	Mensagem de erro
Cache de instrução L1	Erro: Principal, cache de instr, campos: dados
Cache de dados L1	Erro: Principal, cache de dados, campos: dados
Esconderijo da instrução L2	Erro: SysAD, cache de instr, campos: dados
Esconderijo dos dados L2	Erro: SysAD, cache de dados, campos: dados
Esconderijo da instrução L3	Erro: SysAD, cache de instr, campos: 1st dword
Esconderijo dos dados L3	Erro: SysAD, cache de dados, campos: 1st dword

Exemplo:

A primeira linha da mensagem de erro indica o local do erro de paridade, que pode ser qualquer um listado na Tabela 1. Nesse exemplo, o local é o cache de instruções L3.

```
Error: SysAD, instr cache, fields: data, 1st dword
```

```
Physical addr(21:3) 0x000000,  
virtual addr 0x6040BF60, vAddr(14:12) 0x3000  
virtual address corresponds to main:text, cache word 0  
      Low Data      High Data  Par  Low Data      High Data  Par  
L1 Data:  0:0xAE620068 0x8C830000 0x00 1:0x50400001 0xAC600004 0x01  
          2:0xAC800000 0x00000000 0x02 3:0x1600000B 0x00000000 0x01  
      Low Data      High Data  Par  Low Data      High Data  Par  
DRAM Data: 0:0xAE620068 0x8C830000 0x00 1:0x50400001 0xAC600004 0x01  
          2:0xAC800000 0x00000000 0x02 3:0x1600000B 0x00000000 0x01
```

A saída da versão da mostra deve ser similar a esta:

```
...System was restarted by processor memory parity error at PC 0x602310D0,  
address 0x0 at 03:18:21 GMT Sun Oct 27 2002 ...
```

Da saída do contexto da mostra, você pode ver que o sistema esteve reiniciado por uma exceção da paridade de cache:

```
Router#show context slot 11  
CRASH INFO: Slot 11, Index 1, Crash at 19:08:07 CST Thu Nov 14 2002  
  
VERSION:  
GS Software (GSR-P-M), Version 12.0(22)S1, EARLY DEPLOYMENT RELEASE SOFTWARE (fcl)  
TAC Support: http://www.cisco.com/tac  
Compiled Mon 16-Sep-02 17:36 by nmasa  
Card Type: Route Processor, S/N  
  
LC uptime was 0 minutes.  
System exception: sig=20, code=0xE42F3E4B, context=0x52CF3D44  
System restarted by a Cache Parity Exception  
STACK TRACE:  
-Traceback= 5020453C 500E5E24 5010E6DC 5015F89C 501E9F6C 501E9F58  
...
```

Substitua o GRP ou o PRP após uma segunda falha.

[Mensagem de erro %GRP-3-PARITYERR](#)

A seguinte mensagem poderá aparecer na saída do console:

```
Router#show context slot 11  
CRASH INFO: Slot 11, Index 1, Crash at 19:08:07 CST Thu Nov 14 2002  
  
VERSION:  
GS Software (GSR-P-M), Version 12.0(22)S1, EARLY DEPLOYMENT RELEASE SOFTWARE (fcl)  
TAC Support: http://www.cisco.com/tac  
Compiled Mon 16-Sep-02 17:36 by nmasa  
Card Type: Route Processor, S/N  
  
LC uptime was 0 minutes.  
System exception: sig=20, code=0xE42F3E4B, context=0x52CF3D44  
System restarted by a Cache Parity Exception  
STACK TRACE:  
-Traceback= 5020453C 500E5E24 5010E6DC 5015F89C 501E9F6C 501E9F58  
...
```

Esta mensagem significa que um erro de paridade foi detectado pelo hardware de interface de construção no GRP. O número hexa indica o vetor de interrupção de erro. Isso normalmente indica um problema de hardware no GRP que relata o erro (nesse caso, slot 7). O GRP defeituoso deverá ser substituído na segunda ocorrência de um problema semelhante.

[%PRP-3-SBE DATA: \[hex\] ruim calc do \[hex\] do \[hex\] ECC rec do \[hex\] dos dados](#)

Indicadores deste Mensagem de Erro quando o roteador receber dados com uma paridade inválida.

Os dados com paridade inválida são relatados por diversos dos dispositivos da verificação de paridade para alguns lidos ou escrevem a operação executada no Cisco 12000 Series Internet Router.

O PRP usa a detecção ECC da correção de erro de bit único e do erro de vários bits para compartilhar da memória (SDRAM). Um erro de bit único no SDRAM é corrigido automaticamente e o sistema continua a funcionar normalmente.

Os erros de um bit (SBE) são corrigidos pelos circuitos de correção de erro (ECC) e não afetam a funcionalidade do PRP. Nenhuma ação está exigida para erros de um bit a menos que acontecerem frequentemente.

Se o erro acontece frequentemente, é aconselhável substituir a placa de processador.

[Erros de paridade/ECC nas placas de linha do Cisco 12000 Series](#)

[Erros SDRAM ECC](#)

- Erros do ECC (Código de Correção de Erros de Bit Único) da SDRAM Um erro de bit único é um bit único de dados que está incorreto em uma leitura de palavras da memória. Para SBEs, o erro pode ser corrigido sem interrupção das operações. Os erros de um bit são detectados e os dados corrigidos são apresentados. Por exemplo, os erros de um bit são relatados como

```
segue no motor 4/4+:Router#show context slot 11
```

```
CRASH INFO: Slot 11, Index 1, Crash at 19:08:07 CST Thu Nov 14 2002
```

```
VERSION:
```

```
GS Software (GSR-P-M), Version 12.0(22)S1, EARLY DEPLOYMENT RELEASE SOFTWARE (fc1)
```

```
TAC Support: http://www.cisco.com/tac
```

```
Compiled Mon 16-Sep-02 17:36 by nmasa
```

```
Card Type: Route Processor, S/N
```

```
LC uptime was 0 minutes.
```

```
System exception: sig=20, code=0xE42F3E4B, context=0x52CF3D44
```

```
System restarted by a Cache Parity Exception
```

```
STACK TRACE:
```

```
-Traceback= 5020453C 500E5E24 5010E6DC 5015F89C 501E9F6C 501E9F58
```

```
...
```

Os SBEs são corrigidos pelo Circuito de Correção de Erro e não afetam a funcionalidade da placa. Nenhuma ação está exigida para erros de um bit, a menos que ocorrerem frequentemente. Nesse caso, é recomendável substituir a placa de linha.

- Erros SDRAM Multi-bit ECC Um erro de vários bits é quando mais de um bit está incorreto na mesma palavra. Para MBEs, o erro é detectado e a placa de linha trava. A ocorrência de SBEs e MBEs é muito rara. Aqui está um exemplo da mensagem impressa no console em

```
resposta a um erro de ECC de vários bits no SDRAM:Router#show context slot 11
```

```
CRASH INFO: Slot 11, Index 1, Crash at 19:08:07 CST Thu Nov 14 2002
```

```
VERSION:
```

```
GS Software (GSR-P-M), Version 12.0(22)S1, EARLY DEPLOYMENT RELEASE SOFTWARE (fc1)
```

```
TAC Support: http://www.cisco.com/tac
```

Compiled Mon 16-Sep-02 17:36 by nmasa
Card Type: Route Processor, S/N

LC uptime was 0 minutes.

System exception: sig=20, code=0xE42F3E4B, context=0x52CF3D44

System restarted by a Cache Parity Exception

STACK TRACE:

-Traceback= 5020453C 500E5E24 5010E6DC 5015F89C 501E9F6C 501E9F58

...

MBEs não podem ser corrigidos por ECC e causam travamento da placa de linha. A placa de ingresso será então recarregada e trazida de volta à operação normal pelo processador de rotas. Os diagnósticos de campo podem ser usados para verificar MBEs na memória da placa de linha. Os MBE são detectados por diagnósticos de campo como erros de memória. Abaixo há um exemplo de placa que apresentou um erro multibits no TX SDRAM que falhou no diagnóstico de campo: FDIAG_STAT_IN_PROGRESS(5): test #12 TX SDRAM Marching Pattern

FD 5> RIM:

FD 5> TX Registers

FD 5> INT_CAUSE_REG = 0x00000680

FD 5> Unexpected L3FE Interrupt occurred.

FD 5> ERROR: TX BMA Asic Interrupt Occured

FD 5> *** 0-INT: External Interrupt ***

FDIAG_STAT_DONE_FAIL(5) test_num 12, error_code 1

Field Diagnostic: ****TEST FAILURE**** slot 5: last test run 12,

TX SDRAM Marching Pattern, error 1

Field Diag eeprom values: run 5 fail mode 1 (TEST FAILURE) slot 5

last test failed was 12, error code 1 Se você tem um QOC48 ou uma placa de linha OC192, refira este [Field Notice: QOC48/OC192 SBE/MBE](#). Caso contrário, é necessário substituir a placa de linha depois de uma segunda falha.

Exceções de paridade de cache

Verifique o valor do campo sig= na saída show context slot [slot#]:

Router#show context slot 4

CRASH INFO: Slot 4, Index 1, Crash at 04:28:56 EDT Tue Apr 20 1999

VERSION:

GS Software (GLC1-LC-M), Version 11.2(15)GS1a, EARLY DEPLOYMENT RELEASE

SOFTWARE (fcl)

Compiled Mon 28-Dec-98 14:53 by tamb

Card Type: 1 Port Packet Over SONET OC-12c/STM-4c, S/N CAB020500AL

System exception: **SIG=20**, code=0xA414EF5A,

context=0x40337424

System restarted by a **Cache Parity Exception**

Alguns cartões basearam no Forwarding Engine do motor 1 são susceptíveis às edições da corrupção do cache interno ao operar-se na tensão e em condições de temperatura muito específicas.

A característica da recuperação de erro do esconderijo (CERF) é uns recursos de software nas placas de linha Engine1 que detectem e corrijam erros de paridade de cache por erros de nivelamento do esconderijo externo CPU, e em refrescar a linha de cache do DRAM. Este recurso fornece inteligência ao algoritmo de gerenciamento do cache da CPU que habilita a CPU a se recuperar de um erro de paridade na memória cache, evitando o travamento da placa de linha sem prejudicar o desempenho.

Nota: CERF está ativado por padrão. A atividade deste código de correção de erros do software

(ECC) pode ser monitorada pelo comando **show controller cerf**. Para desativar o recurso, utilize o comando de configuração global no service cerf.

Veja o [Field Notice: Erro de paridade de cache no cartão GSR 1GE](#) para a informação adicional.

Para determinar no que Forwarding Engine a placa de linha é baseada, veja [como posso eu determinar o que a placa de Engine está sendo executado na caixa?](#) do Cisco 12000 Series Internet Router: Documento com perguntas freqüentes.

Se a placa de linha é baseada no motor 1, a ação alternativa é promover o Cisco IOS Software a uma liberação que contenha a característica da recuperação de erro do esconderijo (CERF). Esse recurso esteve primeiro disponível no Cisco IOS Software versão 12.0(21)S3. Se ainda está causando um crash pela exceção da paridade de cache, a seguir a placa de linha precisa de ser substituída.

Se a placa de linha é baseada em um outro tipo de Engine, você deve substituir a placa de linha na segunda ocorrência de um impacto similar.

[Mensagens de erro da placa de linha com base no mecanismo 0](#)

Você pode ver o seguinte mensagem nos logs do console:

```
Router#show context slot 4
      CRASH INFO: Slot 4, Index 1, Crash at 04:28:56 EDT Tue Apr 20 1999

VERSION:
GS Software (GLC1-LC-M), Version 11.2(15)GS1a, EARLY DEPLOYMENT RELEASE
SOFTWARE (fcl)
Compiled Mon 28-Dec-98 14:53 by tamb
Card Type: 1 Port Packet Over SONET OC-12c/STM-4c, S/N CAB020500AL
System exception: SIG=20, code=0xA414EF5A,
context=0x40337424
System restarted by a Cache Parity Exception
```

Este os relatórios da mensagem um DRAM do CPU escrevem o erro de paridade. L3FE significa mecanismo de encaminhamento de Camada 3. A placa de linha deve ser substituída na segunda ocorrência de um problema similar.

[Mensagens de erro de placa de linha baseadas em Engine 1](#)

Aqui temos algumas mensagens de erro que você pode encontrar:

- Nos registros de uma placa de ingresso Gigabit: de uma portaRouter#show context slot 4
CRASH INFO: Slot 4, Index 1, Crash at 04:28:56 EDT Tue Apr 20 1999

```
VERSION:
GS Software (GLC1-LC-M), Version 11.2(15)GS1a, EARLY DEPLOYMENT RELEASE
SOFTWARE (fcl)
Compiled Mon 28-Dec-98 14:53 by tamb
Card Type: 1 Port Packet Over SONET OC-12c/STM-4c, S/N CAB020500AL
System exception: SIG=20, code=0xA414EF5A,
context=0x40337424
System restarted by a Cache Parity Exception
```

Para umas placas mais novas, um reparo foi substituir o TX GigaTranslator ASIC com um Field Programmable Gate Array (FPGA). Na segunda ocorrência de uma edição similar, a placa deve ser substituída.

- Na saída do console:Router#**show context slot 4**

CRASH INFO: Slot 4, Index 1, Crash at 04:28:56 EDT Tue Apr 20 1999

VERSION:

GS Software (GLC1-LC-M), Version 11.2(15)GS1a, EARLY DEPLOYMENT RELEASE
SOFTWARE (fcl)

Compiled Mon 28-Dec-98 14:53 by tamb

Card Type: 1 Port Packet Over SONET OC-12c/STM-4c, S/N CAB020500AL

System exception: **SIG=20**, code=0xA414EF5A,
context=0x40337424

System restarted by a **Cache Parity Exception**

Estas mensagens podem ser rachadas nas seguintes peças:%LC-3-ECC: Salsa ECC - Há um erro no L3FE ASIC da placa de linha.%LC-3-L3FEERR - Há um erro no registro L3FE ASIC da placa de linha. Informações.%MEM_ECC-3-SBE - Um erro corrigível do único-bit foi detectado no lido do DRAM. O comando **show memory ecc** pode ser usado para despejar os erros de um bit registrados até aqui. Este é o mesmo que o Mensagem de Erro %MEM_ECC-3-SBE_LIMIT.%MEM_ECC-3-SYNDROME_SBE - A síndrome de 8 bits para o erro de um bit detectado. Esse valor não indica as posições exatas dos bits em erro, mas pode ser utilizado para aproximar suas posições. Isso é igual à mensagem de erro %MEM_ECC-3-SYNDROME_SBE_LIMIT.Basicamente, a placa de linha relatou um erro de um bit e corrigiu-o automaticamente. Nenhuma ação necessária de sua parte, a menos que isso ocorra com frequência. Nesse caso, é recomendável substituir a placa de linha.%LC-3-SWECC_DATA - Indica que um evento do esconderijo esteve corrigido no LC no SLOT 0 pelo código de correção de erros do software (SWECC).

- Uma outra mensagem que você poderá encontrar é:Router#**show context slot 4**

CRASH INFO: Slot 4, Index 1, Crash at 04:28:56 EDT Tue Apr 20 1999

VERSION:

GS Software (GLC1-LC-M), Version 11.2(15)GS1a, EARLY DEPLOYMENT RELEASE
SOFTWARE (fcl)

Compiled Mon 28-Dec-98 14:53 by tamb

Card Type: 1 Port Packet Over SONET OC-12c/STM-4c, S/N CAB020500AL

System exception: **SIG=20**, code=0xA414EF5A,
context=0x40337424

System restarted by a **Cache Parity Exception**

Esta mensagem significa que um erro incorrigível de bit simples [erro de hardware] foi detectado em uma leitura de CPU da DRAM. O comando **show memory ecc** despeja os erros de um bit registrados até aqui e indica locais de endereço detectados do erro de hard.Monitore o sistema usando o comando **show memory ecc** e substitua o DRAM se há ocorrências demais destes erros.

[Mensagens de erro da placa de linha com base em Engine 2](#)

Você pode ver o seguinte erro na saída do console:

Router#**show context slot 4**

CRASH INFO: Slot 4, Index 1, Crash at 04:28:56 EDT Tue Apr 20 1999

VERSION:

GS Software (GLC1-LC-M), Version 11.2(15)GS1a, EARLY DEPLOYMENT RELEASE
SOFTWARE (fcl)

Compiled Mon 28-Dec-98 14:53 by tamb

Card Type: 1 Port Packet Over SONET OC-12c/STM-4c, S/N CAB020500AL

System exception: **SIG=20**, code=0xA414EF5A,
context=0x40337424

System restarted by a **Cache Parity Exception**

Isto significa que o ASIC de switching de pacote (PSA) SDRAM protegido ECC identificou um erro corrigível do um-bit. Nenhuma ação está exigida de sua parte, a menos que estas mensagens ocorrerem frequentemente. Nesse caso, é recomendável substituir a placa de linha.

Mensagens de Erro da placa de linha do motor 3-based

Você pode ver estes erros nas saídas do console:

```
Router#show context slot 4
    CRASH INFO: Slot 4, Index 1, Crash at 04:28:56 EDT Tue Apr 20 1999

VERSION:
GS Software (GLC1-LC-M), Version 11.2(15)GS1a, EARLY DEPLOYMENT RELEASE
    SOFTWARE (fcl)
Compiled Mon 28-Dec-98 14:53 by tamb
Card Type: 1 Port Packet Over SONET OC-12c/STM-4c, S/N CAB020500AL
System exception: SIG=20, code=0xA414EF5A,
context=0x40337424
System restarted by a Cache Parity Exception
```

Mensagens de erro de placa de linha baseadas em Engine 4/4+

- Você pode encontrar as seguintes mensagens em placas de linhas baseadas no Engine

```
4/4:Router#show context slot 4
    CRASH INFO: Slot 4, Index 1, Crash at 04:28:56 EDT Tue Apr 20 1999

VERSION:
GS Software (GLC1-LC-M), Version 11.2(15)GS1a, EARLY DEPLOYMENT RELEASE
    SOFTWARE (fcl)
Compiled Mon 28-Dec-98 14:53 by tamb
Card Type: 1 Port Packet Over SONET OC-12c/STM-4c, S/N CAB020500AL
System exception: SIG=20, code=0xA414EF5A,
context=0x40337424
System restarted by a Cache Parity Exception
```

```
OURouter#show context slot 4
    CRASH INFO: Slot 4, Index 1, Crash at 04:28:56 EDT Tue Apr 20 1999

VERSION:
GS Software (GLC1-LC-M), Version 11.2(15)GS1a, EARLY DEPLOYMENT RELEASE
    SOFTWARE (fcl)
Compiled Mon 28-Dec-98 14:53 by tamb
Card Type: 1 Port Packet Over SONET OC-12c/STM-4c, S/N CAB020500AL
System exception: SIG=20, code=0xA414EF5A,
context=0x40337424
System restarted by a Cache Parity Exception
```

```
OURouter#show context slot 4
    CRASH INFO: Slot 4, Index 1, Crash at 04:28:56 EDT Tue Apr 20 1999

VERSION:
GS Software (GLC1-LC-M), Version 11.2(15)GS1a, EARLY DEPLOYMENT RELEASE
    SOFTWARE (fcl)
Compiled Mon 28-Dec-98 14:53 by tamb
Card Type: 1 Port Packet Over SONET OC-12c/STM-4c, S/N CAB020500AL
System exception: SIG=20, code=0xA414EF5A,
context=0x40337424
System restarted by a Cache Parity Exception
```

Os sintomas para esta edição incluem:O Cisco Express Forwarding nesta placa de linha fica desativadoAs portas associadas ficam o Up/UpA placa de linha pode ser reinicializada

automaticamente. Se a placa de linha não restaura, a ação alternativa é executar o **comando microcode reload <slot>**. Esta mensagem nem sempre indica um problema de hardware com o módulo RX192. Alguns bugs do Cisco IOS Software podem produzir essa mensagem de erro como um efeito colateral. Se essa mensagem aparecer apenas uma vez, continue monitorando a placa. O dispositivo será reinicializado. Se o problema persistir, a placa será reinicializada automaticamente. Entre em contato com o representante de Suporte técnico Cisco para obter ajuda se essa mensagem persistir.

- Os eventos SBE podem ser verificados no E4/E4+ com o comando `show controllers mcc192`

```
ECC:LC-Slot4#show controllers mcc192 ecc
MCC192 SDRAM ECC Counters
      SBE = 0x0,           MBE = 0x0
TX192 SDRAM ECC Counters
      SBE = 0x0,           MBE = 0x0
```

Isto relata na memória RX e TX.

Mensagens de Erro da placa de linha do motor 5/5+-based

Você pode ver estes erros nas saídas do console:

```
LC-Slot4#show controllers mcc192 ecc
MCC192 SDRAM ECC Counters
      SBE = 0x0,           MBE = 0x0
TX192 SDRAM ECC Counters
      SBE = 0x0,           MBE = 0x0
```

Mensagens de Erro da placa de linha do motor 6-based

Você pode ver estes erros nas saídas do console:

```
LC-Slot4#show controllers mcc192 ecc
MCC192 SDRAM ECC Counters
      SBE = 0x0,           MBE = 0x0
TX192 SDRAM ECC Counters
      SBE = 0x0,           MBE = 0x0
```

Mensagens de Erro dos TERMAS

Você pode ver estes erros nas saídas do console:

```
LC-Slot4#show controllers mcc192 ecc
MCC192 SDRAM ECC Counters
      SBE = 0x0,           MBE = 0x0
TX192 SDRAM ECC Counters
      SBE = 0x0,           MBE = 0x0
```

Erros de paridade nos Cisco 12000 Series Switching Fabric Cards

Todas as mensagens de erro de paridade relacionadas às placas de tela de switching são explicadas em detalhes em [Hardware Troubleshooting for the Cisco 12000 Series Internet Router \(Solução de problemas de hardware do roteador de Internet da série Cisco 12000\)](#). Essas mensagens incluem (lista não exaustiva):

```
LC-Slot4#show controllers mcc192 ecc
MCC192 SDRAM ECC Counters
      SBE = 0x0,           MBE = 0x0
```

TX192 SDRAM ECC Counters

SBE = 0x0,

MBE = 0x0

[Informações Relacionadas](#)

- [Troubleshooting de Travamentos de Roteador](#)
- [Erros de paridade de memória de processador \(PMPEs\)](#)
- [Página de suporte aos Cisco 12000 Series Internet Routers](#)
- [Suporte Técnico - Cisco Systems](#)