

Árvore de falha de erro de paridade de ESR PRE1 10000

Índice

[Introdução](#)

[Pré-requisitos](#)

[Requisitos](#)

[Componentes Utilizados](#)

[Convenções](#)

[Análise de árvore de falha de erro de paridade do processador de rota PRE1](#)

[Paridade PRE1/Detecção de ECC](#)

[Erros de paridade/ECC no processador de roteador ESR do Cisco 10000 Series](#)

[Análise da árvore de falha de ECC rápido do pacote PRE1](#)

[Informações Relacionadas](#)

[Introdução](#)

Este documento descreve os passos necessário para solucionar o problema e isolar as partes ou componentes de um Cisco 10000 Series Edge Services Router (ESR) e do Performance Routing Engine (PRE1) que estão falhando, ao identificar uma variedade de mensagens de erro de paridade.

[Pré-requisitos](#)

[Requisitos](#)

A Cisco recomenda que você tenha conhecimento destes tópicos:

- [Erros de paridade de memória de processador \(PMPEs\)](#)
- [Troubleshooting de Travamentos de Roteador](#)

[Componentes Utilizados](#)

As informações neste documento são baseadas nas versões de software e hardware abaixo.

- Edge Services Routers do Cisco 10000 Series (ESR) que usa o Performance Routing Engine (PRE1)
- Todas as versões do software de Cisco IOS®

Nota: Esse documento não se aplica ao roteador de Internet do Cisco 10720 Series.

As informações neste documento foram criadas a partir de dispositivos em um ambiente de

laboratório específico. Todos os dispositivos utilizados neste documento foram iniciados com uma configuração (padrão) inicial. Se a sua rede estiver ativa, certifique-se de que entende o impacto potencial de qualquer comando.

[Convenções](#)

Consulte as [Convenções de Dicas Técnicas da Cisco](#) para obter mais informações sobre convenções de documentos.

[Análise de árvore de falha de erro de paridade do processador de rota PRE1](#)

O Cisco 10000 Series ESR PRE1 consiste em duas placas de circuito: o route processor (RP) e o cartão do Forwarding Processor (FP). O fluxograma abaixo ajuda a determinar qual componente de um Cisco 10000 Series ESR PRE1 é responsável pelas mensagens de erro de paridade/ECC (Error Code Correction) no processador da rota.

Nota: Capture e grave a saída e os logs do console do tecnologia-**apoio da mostra**, e recolha todos os arquivos do [crashinfo](#) e do pxf_crashinfo durante eventos de erro de paridade/ecc.

[Paridade PRE1/Deteção de ECC](#)

O seguinte diagrama descreve a parte da arquitetura PRE1 RP que pode passar por erros de paridade/ECC.

O PRE1 RP usa Correção de Erro de Bit Único e Deteção de Erro de Vários Bits, ECC (Correção de Código de Erro) de memória compartilhada (SDRAM). Um erro de bit único no SDRAM é corrigido automaticamente e o sistema continua a funcionar normalmente.

Um erro de vários bits no SDRAM é um evento fatal, que faça com que uma exceção de erro do cache ou um erro de barramento ocorram. O restante da memória e dos barramentos no sistema usam deteção de paridade de bit único. Erros de bit único em 1 e 3 no diagrama acima são fatais e fazem com que o roteador seja reinicializado.

[Erros de paridade/ECC no processador de roteador ESR do Cisco 10000 Series](#)

Os dados com paridade inválida podem ser relatados por diversos dos dispositivos da verificação de paridade para alguns lidos ou escrever a operação no Cisco 10000 Series ESR usando o PRE1.

O seguinte é uma descrição dos vários Mensagens de Erro RP relatados em um Cisco 10000 Series ESR com um PRE1 instalado:

- Erro sdram GT64120BA mensagem de erro a seguir é relatada quando um controlador de sistema GT64120B detecta um erro de ECC de vários bits ao ler SDRAM:

```
%ERR-1-GT64120 (PCI-0): Fatal error, Memory parity error (external) GT=0xB4000000,
cause=0x0100E283, mask=0x0ED01F00, real_cause=0x00000200 bus_err_high=0x00000000,
bus_err_low=0x00000000, addr_decode_err=0x00000470 %ERR-1-FATAL: Fatal error interrupt,
```

reloading RP FPGA status 0x00000004 EPC 0x6084116C Error EPC 0xBFC00C54 BadVA 0xD6E8B233
Status 0x3400FF03 Substitua a SDRAM após uma segunda falha. Se a falha persiste, substitua o PRE1.

- Erro de paridade mestre do sistema GT64120B lidoAlcançar qualquer um do PCI constrói uma ponte sobre disparadores que um erro de paridade no mestre leu. A seguir, está um exemplo de uma mensagem de erro de paridade:

```
%ERR-1-GT64120 (PCI0):Fatal error, Parity error on master read GT=B4000000,  
cause=0x0110E083, mask=0x0ED01F00, real_cause=0x00100000 Bus_err_high=0x00000000,  
bus_err_low=0x00000000, addr_decode_err=0x00000470 %ERR-1-SERR: PCI bus system/parity error  
%ERR-1-FATAL: Fatal error interrupt, No reloading Err_stat=0x81, err_enable=0xFF,  
mgmt_event=0x40 Substituir o PRE1 ao detectar esses erros.
```

- Erro de paridade CPUUm mensagem de erro de paridade CPU está relatado se o CPU detecta um erro de paridade ao alcançar o esconderijo externo do processador (L3 no PRE1) através de seu barramento do SysAD, ou qualquer um das memórias de cache interno CPU (L1 ou L2). A Tabela 1 mostra exemplos das mensagens que seriam impressas para cada tipo de erro de paridade de cache:**Tabela 1: Local de erro de paridade CPU**Use a tabela 1 para identificar o lugar do erro de paridade relatado ao console do Cisco 10000 Series ESR.

Exemplo 1:

A primeira linha da mensagem de erro indica o local do erro de paridade, que pode ser qualquer um listado na Tabela 1. Neste exemplo, o lugar é o esconderijo dos dados L3.

```
Error: SysAD, data cache, fields: data, 1st dword Physical addr(21:3) 0x195BE88, Virtual address  
is imprecise. Imprecise Data Parity Error Imprecise Data Parity Error
```

Substitua o PRE1 após uma segunda falha.

Exemplo 2:

A primeira linha da mensagem de erro indica o local do erro de paridade, que pode ser qualquer um listado na Tabela 1. Nesse exemplo, o local é o cache de instruções L3.

```
Error: SysAD, instr cache, fields: data, 1st dword Physical addr(21:3) 0x000000, virtual addr  
0x6040BF60, vAddr(14:12) 0x3000 virtual address corresponds to main:text, cache word 0 Low Data  
High Data Par Low Data High Data Par L1 Data: 0:0xAE620068 0x8C830000 0x00 1:0x50400001  
0xAC600004 0x01 2:0xAC800000 0x00000000 0x02 3:0x1600000B 0x00000000 0x01 Low Data High Data Par  
Low Data High Data Par DRAM Data: 0:0xAE620068 0x8C830000 0x00 1:0x50400001 0xAC600004 0x01  
2:0xAC800000 0x00000000 0x02 3:0x1600000B 0x00000000 0x01
```

Como no exemplo 1, substitua o PRE1 após uma segunda falha.

- Cause um crash devido ao erro de paridade:Mar 14 10:32:01.029 UTC: %C10K_TOASTER-3-ERROR: TCAM0 has parity error
Mar 14 10:32:01.033 UTC: %C10KEVENTMGR-1-MINOR_FAULT: PXF DMA ToasterFault
Mar 14 10:32:01.033 UTC: %C10KEVENTMGR-1-MINOR_REOCCURRING: PXF DMAToaster Fault Os erros de paridade TCAM devem ser esperada com base nos cálculos conhecidos MTBF. O Mensagem de Erro é simplesmente um problema de hardware transiente.

[Análise da árvore de falha de ECC rápido do pacote PRE1](#)

A placa de circuito do FP (Forwarding Processor) é a placa superior da unidade PRE1. A placa FP contém três circuitos integrados do aplicativo específicos (ASIC), uma única interface de placa mãe ASIC, e a rede do Parallel Express Forwarding dois (PXF) que processa ASIC. Cada ASIC

tem o acesso aos sistemas da memória externa.

O diagrama a seguir ajuda você a determinar qual componente de um ESR PRE1 FP do Cisco 10000 Series é responsável pelas mensagens de erro de ECC.

Erros de ASIC SDRAM ECC da interface de placa mãe

- Erros do código de correção do erro do bit da interface de placa mãe ASIC SDRAM únicos (ECC)O ASIC do painel traseiro da interface possui acesso à SDRAM protegido por ECC. Os erros de bit único são detectados e os dados corrigidos são apresentados. Os erros de bit único são relatados como segue:

```
%C10KEVENTMGR-1-MINOR_FAULT: PXF DMA Single Bit SDRAM Error %C10KEVENTMGR-1-SBE_DEBUG:  
Address: 0x01003C00, Who: 0x02, Data With ECC: 0x6E453363 2843ADAC D4 10769E 9773870C, Data  
w/o ECC: 0x6E453363 2843ADAC D410769E 9773870C
```

- Os erros de bit único são contados e podem ser exibidos usando o comando `show hardware pxf dma counters` do software Cisco IOS. A ação não é exigida geralmente para erros de bit único; contudo, repetido ou frequente exemplos dos erros de bit único são causa para a substituição do PRE1.
- Erros de ECC dos vários bits da interface de placa mãe ASIC SDRAMQuando detectados, os erros de vários bits do ASIC SDRAM da Interface da Placa-mãe fazem com que o microcódigo de Processamento de Rede PXF seja recarregado, criando um arquivo `pxf_crashinfo` no bootflash. A rede PXF que processa o reload do microcódigo faz com que a interface de placa mãe ASIC re-seja inicializada, eficazmente esfregando o erro de vários bits do SDRAM. A seguir, um exemplo da mensagem impressa no console em resposta a um erro Multi-bit ECC na Interface da placa-mãe ASIC SDRAM:

```
%C10KEVENTMGR-1-MAJOR_FAULT: PXF DMA Multi-bit SDRAM Error, Restarting PXF Downloading  
Microcode: file=system:pxf/c10k-1-ucode.3.1.0, version=3.1.0, description=Release Software  
created Tue 11-Sep-01 19:25
```

 Substitua o PRE1 após uma segunda falha.

Rede PXF processando erros ECC da memória da coluna ASIC

Os dois ASICs de processamento de rede PXF têm acesso à memória da coluna SDRAM protegida por ECC ou à memória da coluna externa (XCM).

- Erros ECC de bit único XCM ASIC de Processamento de Redes PXFOs erros de bit únicos são detectados e os dados corrigidos são apresentados. Erros de bit únicos são contados e a contagem de erro de bit único XCM ASIC de processamento de rede PXF pode ser exibida usando o comando `show hardware pxf xcm`. Quando os envoltórios do contador de erro de bit único, erros de bit único são relatados e o RP esfrega o endereço do primeiro erro de bit único que foi detectado pelo PXF Network Processing ASIC. O seguinte é um exemplo de uma mensagem relatada quando um erro de bit único é relatado:

```
%TOASTER-2-FAULT: T0 XCM1  
SDRAM-A: ECC Single bit error counter has wrapped
```

 O número do torradeira (PXF Network Processing ASIC) e a interface `sdr` na mensagem acima refletem a relação XCM onde o erro de bit único do contador envolvido foi detectado. A ação não é exigida geralmente para envoltórios do contador de erro de bit único; contudo, repetido ou frequente exemplos destes erros são causa para a substituição do PRE1.
- Erros ECC multibits XCM ASIC de processamento de rede PXF Erros ECC de múltiplos bits XCM não podem ser corrigidos. Nos sistemas com PRE1 redundantes, os erros de vários bits XCM causam um impacto e um failover PRE. Nos sistemas com um único PRE1, a detecção de erros de vários bits XCM força um reload do microcódigo do PXF Network Processing

ASIC. O reload do microcódigo reinitializa todas as memórias de XCM do PXF Network Processing ASIC, esfregando eficazmente a falha dos vários bits ECC da memória. As seguintes mensagens aparecem no registro e no arquivo pxf_crashinfo/crashinfo:%TOASTER-2-FAULT: T0 XCM1 SDRAM-A: Multi-bit ECC error
%C10KEVENTMGR-1-MAJOR_FAULT: PXF DMA Toaster Fault, Restarting PXF
Downloading Microcode: file=system:pxf/c10k-1-ucode.102.3.0.0, version=102.3.0.0,

Quando isto acontece, a mensagem de erro especifica o torradeira (T0 ou T1), o número apropriado XCM (1 a 4), e a interface sdram (A ou B) que encontrou o erro de ECC dos vários bits. Substitua o PRE1 após uma segunda falha.

[Informações Relacionadas](#)

- [Troubleshooting de Travamentos de Roteador](#)
- [Erros de paridade de memória de processador \(PMPEs\)](#)
- [Troubleshooting de hardware para o Series Internet Router do Cisco 10000 \(ESR\)](#)
- [Suporte de Produto](#)
- [Suporte de tecnologia](#)
- [Suporte Técnico e Documentação - Cisco Systems](#)