

# Especificação de design de alta velocidade da interface serial (HSSI)

---

Data: abril 12, 1993  
3.0 da revisão

Liberação precedente:  
Revisão 2.11  
março 16, 1990

Primeira liberação: Outubro de 1989  
Problema de adendo #1: Janeiro de 1991

Copyright© 1989-1993 pelo Cisco Systems, pelo Inc. e pelo T3plus Networking, Inc.

## Observação

O Cisco Systems, incorporado e os trabalhos em rede de T3plus, Incorporated não fazem nenhuma representação com respeito a e não justificam alguma da informação na especificação, mas equipam tais de boa fé e ao melhor de seus conhecimento e capacidade. Sem restringir a generalidade do precedente, a Cisco Systems e a T3plus Networking não fazem representações nem garantias quanto à adequação para uma finalidade específica, nem quanto ao uso das informações no sentido de que ele possa vir a infringir patentes ou outros direitos de qualquer pessoa. O receptor renuncia a qualquer reclamação que possa ter contra a Cisco Systems ou T3plus Networking, referente ao uso que o receptor faça das informações ou dos produtos aqui mencionados.

A permissão é concedida para reproduzir e distribuir esta especificação desde que:

1. Os nomes cisco Systems, Inc. e T3plus Networking, Inc. aparecem como autores,
2. uma cópia desse aviso aparece em todas as cópias,
3. o conteúdo deste documento não é alterado nem modificado.

O conteúdo deste documento não poderá ser alterado ou modificado sem a expressa autorização por escrito da Cisco Systems e da T3plus Networking. Pretende-se que este documento servirá como uma especificação de interface serial de alta velocidade e evoluirá em um padrão para indústria. Com essa intenção, espera-se que esta especificação possa ser revisada no futuro para refletir requisitos adicionais ou adoção de padrões locais ou internacionais à medida que evoluírem. O Cisco Systems e os trabalhos em rede de T3plus reservam o direito de alterar ou alterar esta especificação ou o equipamento que se relaciona à qualquer hora sem aviso prévio e sem responsabilidade.

Para receber cópias atualizadas dessa especificação, é aconselhável solicitar a sua adição na lista de distribuição da Especificação HSSI da Cisco Systems ou da T3plus Networking.

## Autores em conjunto

John T. Chapman  
Engenheiro Sênior de Design de Hardware  
Cisco Systems, Inc.  
Tasman drive 375 do leste  
SÃO JOSÉ, CA 95134  
[jchapman@cisco.com](mailto:jchapman@cisco.com)  
TEL: FAX do (408) 526-7651: (408) 527-1709

Mitri Halabi  
Engenheiro Sênior de Design de Hardware  
T3plus Networking, Inc.  
2840 San Tomas Expressway  
Santa Clara, CA 95051  
[mitri@t3plus.com](mailto:mitri@t3plus.com)  
TEL: FAX do (408) 727-4545: (408) 727-5151

## Introdução

### Resumo

Este documento especifica a interface de camada física que existe entre um DTE, como, por exemplo, um roteador de alta velocidade ou dispositivo de dados similar, e um DCE, como o DS3 (44.736 Mbps) ou SONET STS-1 (51,84 Mbps) DSU. As extensões futuras a esta especificação podem incluir o apoio para taxas até SONET STS-3 (155.52 Mbps).

Este documento é especificação compatível com a especificação de design HSSI, escrita por John T. Chapman e Mitri Halabi, revisão 2.11 datado de março 16, 1990 e problema de adendo #1 datado de janeiro 23, 1991.

O HSSI está sendo ratificado atualmente pelos padrões Americanos Intitute. A especificação de camada física será EIA/TIA-613 e a especificação de camada elétrica será EIA/TIA-612. Estas especificações devem tornar-se disponíveis em 1993 meados de. A notação foi incluída aqui onde há umas diferenças conhecidas entre as duas especificações.

### Organização de documentos

- Esta seção, [introdução](#), introduz o HSSI e relaciona-o a outras especificações.
- A próxima seção, [termos e definição](#), fornece as definições usadas no documento.
- A terceira seção, [especificação elétrica](#), define as especificações elétricas, incluindo nomes do sinal, definições, características, operação, e cronometrar.
- A seção quatro, [especificação física](#), descreve as propriedades física que incluem tipos de conector, tipos de cabo, e atribuições de pin.
- O apêndice A, [diagramas de temporização](#), relaciona graficamente relacionamentos da cronometragem.
- O apêndice B, [convenções de circuito diferencial](#), define graficamente convenções de polaridade.
- O C do apêndice, [imunidade a ruídos](#), tem uma análise detalhada da imunidade a ruídos ECL.

## Comparação com padrões existentes

Essa especificação é diferente das séries de padrões ANSI/EIA, EIA-232-D, EIA-422-A, EIA-423-A, EIA-449 e EIA-530 porque ela:

- suporta taxas de bits seriais até 52 Mbps
- usa níveis de transmissão da lógica acoplada de emissor (ECL)
- permite que os sinais de cronometragem tenham gaps, isto é, sejam descontínuos
- usa um protocolo de sinal de controle simplificado
- usa um protocolo de sinal de loopback mais detalhado
- usa um conector diferente

## Termos e definições

Essa especificação atende às seguintes definições:

### **Loopback analógico**

Um laço de retorno em um ou outro sentido que é associado com a linha lateral de uma parte do equipamento DCE.

### **Afirmação**

(Lado Positivo) de um sinal dado esteja em  $V_{oh}$  potencial quando (- lado) do mesmo sinal esteja no potencial  $V_{ol}$ . (referência: a seção de [especificação elétrica](#) e o [apêndice B: Seção das convenções de circuito diferencial](#)).

### **Não-declarado**

O (lado+) de um determinado sinal estará em no possível  $V_{ol}$  enquanto o (lado-) do mesmo sinal estará no possível  $V_{oh}$ .

### **Data Communications Channel**

O meio de transmissão e o equipamento de interferência envolvido na transferência de informações entre DCEs. Nesta especificação, o Data Communications Channel é suposto para estar completo - duplex.

### **DCE: Data Communications Equipment**

Os dispositivos e as conexões de uma rede de comunicação que conecta o canal de comunicação de dados ao dispositivo final (DTE). Isso será usado para descrever o CSU/DSU.

### **Loopback digital**

Um laço de retorno em um ou outro sentido que é associado com a porta DTE de uma parte do equipamento DCE.

### **DS3: Nível 3 de sinal digital**

Igualmente sabido como o T3. Equivalente na largura de banda a 28 T1's. A taxa de bit é 44.736 Mbps. DSU: Unidade de serviço dos dados. Fornece ao DTE acesso a recursos de telecomunicações digitais.

### **DTE: Equipamento de terminal de dados**

A parte de uma estação de dados que serve como origem, destino ou ambos de dados e que fornece função de controle de comunicação de dados de acordo com os protocolos. Isso será usado para descrever um roteador ou dispositivo semelhante.

### **Pulso de disparo aberto**

Um fluxo de tempo em uma taxa nominal de bit que possa ser impulso de relógio faltantes em intervalos arbitrários para comprimentos arbitrários do tempo.

### **OC-N**

O sinal óptico resultante de uma conversão óptica de um sinal STS-N.

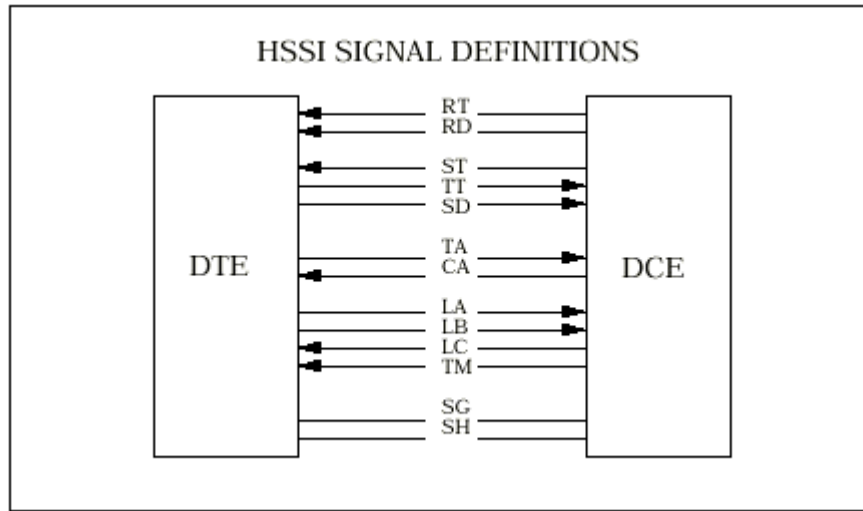
## SONET: Rede ótica síncrona

Um padrão ANSI/CCITT para estandardizar o uso de sistemas de comunicação ótica.

### STS-N: Nível n do sinal de transporte síncrono, onde $n = 1,3,9,12,18,24,36,48$

O STS-1 é o sinal lógico básico para o SONET com uma taxa de 51,84 Mbps. STS-N são obtidos por sinais N STS-1 de intercalação de byte juntamente com uma taxa de N vezes 51,84 Mbps.

## Especificação elétrica



### Definições de sinal

#### RT: Temporização de recebimento do *DCE*

RT é um relógio gapped com uma taxa de bits máxima de 52 Mbps e fornece informações sobre cronometragem do elemento de sinal a RD.

#### RD: Receba dados do *DCE*

Os sinais de dados gerados pelo DCE, em resposta aos sinais de linha do canal de dados recebidos de uma estação de dados remota, são transferidos nesse circuito para o DTE. O RD está sincronizado com o RT.

#### ST: Envie o sincronismo do *DCE*

ST é um relógio com gaps com uma taxa de bits máxima de 52 Mbps e fornece informações sobre cronometragem do elemento de sinal de transmissão ao DTE.

#### TT: Cronometragem terminal ao *DCE*

O TT fornece informações sobre cronometragem do elemento de sinal de transmissão ao DCE. TT é o sinal ST ecoado para o DCE pelo DTE. Apenas o DTE deve colocar o TT em buffer; o TT não deve estar bloqueado com nenhum outro sinal.

#### SD: Envie dados ao *DCE*

Os sinais de dados originados pelo DTE, para serem transmitidos pelo canal de dados a uma estação de dados distante. O SD está sincronizado com o TT.

#### TA: equipamento de terminal de dados disponível ao *DCE*

O TA será declarado pelo DTE, independentemente do CA, quando o DTE estiver preparado tanto para enviar quanto para receber dados de e para o DCE. A transmissão de dados válida não deve começar até que CA esteja afirmado igualmente pelo DCE. Se o Data Communications Channel exige um padrão de dados da manutenção de atividade quando o DTE está desligado, a seguir o DCE fornecerá este teste padrão quando o TA for não declarado.

#### **CA: Data Communications Equipment disponível do DCE**

CA estará afirmado pelo DCE, independentemente do TA, quando o DCE é preparado a envia e recebe dados a e do DTE. Indica que o DCE obteve um canal de comunicação de dados válido. A transmissão de dados não deve começar até que o TA esteja afirmado igualmente pelo DTE.

Dado que o Data Communications Channel é inválido a menos que o TA e CA forem afirmados, a seguir pode ser boa prática da aplicação bloquear o fluxo de dados recebido com o TA e o CA no DTE e no DCE.

Deve-se igualmente reconhecer que quando CA é não declarado pelo DCE, o DCE está em um estado desconhecido, e que os pulsos de disparo ST e RT podem ser ausentes e não podem ser considerados pelo DTE como válidos.

#### **LA: Circuito à DCE do laço de retorno**

#### **LB: Circuito B a DCE do laço de retorno**

O LA e o LB são afirmados pelo DTE para fazer com que o DCE e seu Data Communications Channel associado forneçam um de três modos loopback de diagnóstico. Especificamente, LB = 0, LA = 0: nenhum LB de loopback = 1, LA = 1: LB de loopback DTE local = 0, LA = 1: LB de loopback da linha local = 1, LA = 0: laço de retorno da linha remota

O A1 representa a afirmação, e um 0 representam não-declarado. Todos os laços de retorno são loopback de payload. Consequentemente, se o fluxo de dados HSSI é multiplexado sobre somente parte de ao Data Communications Channel, a seguir, como um mínimo, simplesmente aquela parte do Data Communications Channel precisa de ser loopbacked.

Um DTE local (? ?) o laço de retorno digital ocorre na porta DTE do DCE, e é usado para testar o link entre o DTE e o DCE. Uma linha local (? o laço de retorno do analógico?) ocorre na porta da linha lateral do DCE, e é usado para testar a funcionalidade de DCE. Uma linha remota (? o laço de retorno do analógico?) ocorre na linha porta do DCE remoto, e é usado para testar a funcionalidade do Data Communications Channel. Há três loopbacks iniciados nessa seqüência. O DCE remoto é testado pelo comando remoto dos loopbacks locais. Note que o LA e o LB são superconjuntos direto dos sinais LL (loopback local) e RL EIA (loopback remoto).

O DCE local continua a reforçar CA durante todos os três modos de circuito de retorno. Se o DCE local é incapaz de apoiar um modo loopback particular, a seguir pode eleger a CA não-declarado quando o LA ou o LB forem afirmados pelo DTE, O DCE remoto CA não-declarado quando o loopback remoto é de fato. Se o DCE remoto pode detectar um loopback local no DCE local, a seguir o DCE remoto não-declarado seu CA; se não o DCE remoto afirmará seu CA quando há um loopback local no DCE local.

O DCE implementa o loopback apenas para o DTE de comando. Os dados recebidos do canal de comunicações de dados são ignorados. Envie dados ao Data Communications Channel é enchido com o qualquer um o DTE comandante? s envia o fluxo de dados, ou com um padrão de dados da manutenção de atividade, segundo o Data Communications Channel? exigências do específico s.

Não há sinal explícito de status do hardware para indicar que o DCE entrou no modo de loopback. O DTE espera uma quantidade de tempo apropriada após ter afirmado o LA e o LB antes de supor o laço de retorno para ser válido. A quantidade de tempo apropriada é relativa à aplicação, e não é parte de esta especificação.

O modo de loopback aplica-se aos sinais de cronometragem e de dados. Por isso, no enlace DTE-DCE, o mesmo sinal de cronometragem poderia atravessar o enlace três vezes, primeiro como o ST, em seguida como o TT e finalmente como o RT.

### **LC: C do circuito do laço de retorno do DCE**

O LC é um sinal de solicitação de loopback opcional do DCE ao DTE, pedir que o DTE forneça um caminho de loopback ao DCE. Mais especificamente, o DTE ajustaria o TT=RT e o SD=RD. O ST não seria usado, e não podia ser confiável como em uma fonte de tempo válida nestas circunstâncias.

Isso permitiria que os diagnósticos de gerenciamento de rede DCE/DSU testassem a interface DCE/DTE independentemente do DTE. Segue a filosofia HSSI de que tanto o DCE quanto o DTE são correspondentes independentes inteligentes e de que o DCE é capaz de manter o próprio canal de comunicação de dados e ser responsável por ele.

Caso o DTE e o DCE afirmarem solicitações de loopback, o DTE será dado a preferência.

Note que o LC é opcional e não esteve incluído no padrão ANSI.

### **TM: Modo de teste do DCE**

O modo de teste está afirmado pelo DCE quando reage de um modo de teste causado por um ou outro loopback locais ou remotos. Este sinal é opcional. O TM foi adicionado pelo ANSI e não era parte da especificação do hssi original.

### **SG: Sinal terra**

O SG é conectada à base de circuito no ambas as extremidades. O SG garante que os níveis de sinal de transmissão permaneçam dentro do intervalo de entrada no modo comum dos receptores.

### **SH: Direção da proteção**

O protetor encapsula o cabo para propósitos de EMI e não está implicitamente planejado para transportar correntes de retorno de sinal. O protetor é conectado à terra de frame DTE diretamente, e pode escolher uma de duas opções na terra de frame DCE.

A primeira opção é conectar o protetor diretamente à base da estrutura DCE.

A segunda opção é conectar o protetor à terra de frame do DCE através de uma combinação paralela de uns 470 ohms, +/-10%, wattresistor de 1/2, de 0.1 F, +/- 10%, volt dos 50 pés, capacitor cerâmico monolítico, e uns 0.01 F, +/- 10%, volt dos 50 pés, capacitor cerâmico monolítico.

A rede R-C-C deve estar localizada o mais perto possível da junção blindagem/chassi. Porque o protetor é terminado diretamente ao DTE e ao chassi do DCE, o protetor não é dado uma atribuição de pin dentro do conector. A continuidade de blindagem entre os cabos de conexão é mantida pelo invólucro do conector.

Na prática, a primeira opção é usada geralmente.

## Características elétricas

Todos os sinais são equilibrados, conduzidos diferencialmente, e recebidos a níveis padrão ECL. A tensão de alimentação negativa de ECL, Vee, pode ser -5.2 Vdc +/- 10% ou -5.0 Vdc +/- 10% em qualquer uma das extremidades. Tempos de elevação e tempos de queda são medidos em níveis de limite de 20% a 80%. As características elétricas do transmissor hssi e do receptor são dadas na tabela de receptor de hssi e na tabela de transmissor hssi, ambo são apresentadas abaixo.

HSSI RECEIVER	
Receiver Type	ECL 10KH differential line receiver (MC10H115, MC10H116, MC10H125, or equivalent)
Maximum Signal Level	1.0 volts peak-to-peak differential
Minimum Signal Level	150 mvolts peak-to-peak differential
Common Mode Range	-2.85 volts dc to -0.8 volts dc (-0.5 volts max)
Differential Termination	110 ohms (carbon composition)
Common Mode Termination	750 ohms common-mode (optional)
Values apply over a temperature range of 0 to 75 degrees Celcius, and have been adjusted for the broader Vee range	

HSSI TRANSMITTER				
Driver Type	ECL 10KH with differential outputs (MC10H109, MC10H124, or equivalent)			
Signal Levels	minimum	typical	maximum	units
Voh:	-1.02	-0.90	-0.73	Vdc
Vol:	-1.96	-1.75	-1.59	Vdc
Vdiff:	0.59	0.85	1.21	Vdc
Trise:	0.50	-	2.30	ns
Tfall:	0.50	-	2.30	ns
Transmission Rate	52 Mbps maximum			
Signal Type	electrically balanced with Non Return to Zero encoding			
Termination	330 ohms low inductance resistors from each side to Vee			
Values apply over a temperature range of 0 to 75 degrees Celcius, and have been adjusted for the broader Vee range				

Além do que as características elétricas 10KH ECL alistadas nesta especificação, a interoperação com 100K ECL é igualmente possível e será permitida na especificação ANSI.

## Operação de failsafe

Caso o cabo de interface não estiver atual, os receptores de ECL diferenciais devem optar um estado conhecido. Para garantir isto, é necessário ao usar o 10H115 ou o 10H116 para adicionar 1.5 um kohm, 1%, resistor pull-up ao (- lado) do receptor, e um kohm 1.5, 1%, resistor pull-down ao (Lado Positivo) do receptor.

Isto permite que os 150 mvolts apropriados mínimos sejam desenvolvidos através dos 110 resistores de ohm e criará uma terminação longitudinal de 750 ohms. O estado padrão de todos os sinais de interface é deasserted.

Não é necessário usar resistores externos ao usar o 10H125 desde que tem uma rede de bias interna que force para output o baixo estado quando as entradas são deixadas a flutuação.

A interface não deve estar danificada por uma conexão de circuito aberto ou de curto-circuito em qualquer combinação de pinos.

## Cronometragem

A cronometragem de origem é definida como ondas de cronometragem geradas em um transmissor. O sincronismo do destino é definido como o incidente das formas de onda de cronometragem em um receptor. Larguras de pulso são medidas entre 50% de pontos da amplitude final de pulso. A margem principal do pulso de sincronização deve ser definida como limite entre a negação e a asserção. A borda precedente do pulso de sincronização deve ser definida como o limite entre asserção e negação.

O link HSSI, de um ponto de vista da especificação e da aplicação, deve ser considerado como um flip-flop ECL para flip-flop o link. Enquanto os dados saem da porta hssi, devem ser reclocked fora de um flip-flop ECL e diretamente no driver de linha. No receptor, passando uma vez através da linha receptor, os dados devem imediatamente outra vez ser reclocked em um flip-flop ECL. Os sinais de controle não exigem o uso de um flip-flop.

A largura mínima do pulso de sincronização de origem positivo de RT, TT e ST deve ser de 7,7 ns. Isto permite uma tolerância de ciclo de serviço de origem de +/- 10%. Este valor é obtido de:

$$10\% = \frac{(9.61\text{ns} - 7.7\text{ns})}{19.23\text{ns}} \times 100\%$$

em que:

$$19.23 \text{ ns} = 1 / (52 \text{ Mbps})$$

$$9.61 \text{ ns} = 19.23 \text{ ns} * 1/2 \text{ cycle}$$

Os dados mudarão a seu estado novo dentro +/- de 3 ns da vanguarda do pulso de cronometragem de origem.

A largura mínima do pulso de sincronização de destino positivo de RT, TT e ST deve ser de 6,7 ns. Os dados mudarão a seu estado novo dentro +/- 5 ns da vanguarda do pulso do destino. Esses números permitem elementos de distorção de transmissão de 1.0 ns de distorção de largura de pulso e 2.0 ns de desvio entre tempo e dados. Isso deixa 1,7 ns para o tempo de configuração do receptor.

Os dados serão considerados válidos na ponta da trilha. Então, os transmissores cronometram os dados na borda precedente, e os receptores cronometram dados na borda posterior. Isso permite uma janela de aceitação para erro de desvio de dados do relógio.

O atraso da porta ST à porta TT dentro do DTE será menos do que os 50 pés ns. O DCE deve poder tolerar um atraso pelo menos de 200 ns entre sua porta ST e sua porta TT. Isto permite um atraso de 150 ns para 15 medidores do cabo (o retardo de round trip)

Para facilitar várias aplicações do bit/multiplexador do byte/quadro DCE, o RT e o ST podem ser abertos para permitir o supressão dos pulsos de enquadramento e para permitir o limite de largura de banda do HSSI.

O intervalo descontínuo máximo não foi especificado. Contudo, os origens do relógio ST e RT estão esperados ser geralmente contínuos quando o TA e CA são afirmados. Um intervalo de



lacuna é medido como a quantidade de tempo entre duas extremidades consecutivas de relógio da mesma inclinação.

A taxa de transferência de dados instantânea deve nunca exceder o 52 Mbps.

A definição de dados válidos depende do aplicativo e não está sujeita ao aplicativo. É consistente com HSSI sendo uma especificação da camada 1 e, portanto, não tem conhecimento da validade dos dados.

CA e o TA são assíncronos de se. Após a asserção de CA, os sinais ST, RT e RD não serão considerados válidos por pelo menos 40 ns. Na declaração de TA, os sinais TT e SD não serão considerados válidos por pelo menos 40 ns. Isso é planejado para permitir o tempo de configuração suficiente para a finalização de recebimento.

O TA não deve ser confirmado até pelo menos um pulso do relógio, depois que o último bit de dados no SD tiver sido transmitido. Isso não se aplica a CA, pois os dados são transparentes para DCE.

## Especificação física

O cabo que conecta o DCE e o DTE consiste em 25 pares trançados com um protetor total de folha metálica/trance. Os dois conectores do cabo são machos. O DTE e o DCE possuem receptáculos fêmea. As dimensões são dadas nos medidores (m) e pés (ft).

Note que embora o cabo HSSI use o mesmo conector que a especificação SCSI-2, as impedâncias do cabo do HSSI e os cabos SCSI-2 são diferente. Os cabos SCSI-2 podem ser tão baixos quanto 70 ohms, visto que os cabos HSSI são especificados em 110 ohms. Em consequência, os cabos feitos às especificações SCSI-2 não podem trabalhar corretamente com HSSI. As incompatibilidades serão mais aparentes com comprimentos mais longos dos cabos.

O cabo é descrito completamente na tabela de especificação elétrica de cabo hssi, na tabela de especificação física de cabo hssi, e na tabela de pinout de conector hssi, que são apresentadas abaixo.

HSSI CABLE ELECTRICAL SPECIFICATION		
length:		
nominal:	2 m	6 ft
maximum:	15 m	50 ft
maximum DCR at 20 C:	23 ohms/km	70ohms/1000ft
differential impedance at 50 MHz:		
(95% or more pairs) nominal:	110 ohms	(+/- 11 ohms)
maximum:	110 ohms	(+/- 15 ohms)
signal attenuation at 50 MHz:	0.28 dB/m	0.085 dB/ft
propagation delay,		
maximum: (65% of c)	5.18 ns/m	1.58 ns/ft
delta:	0.13 ns/m	0.04 ns/ft
mutual capacitance within pair,		
minimum:	34 pF/m	10.5 pF/ft
(95% or more pairs) nominal:	41 pF/m	12.5 pF/ft (+/- 10%)
maximum:	48 pF/m	15.0 pF/ft
capacitance, pair to shield,		
maximum:	78 pF/m	24 pF/ft
delta:	2.6 pF/m	0.8 pF/ft

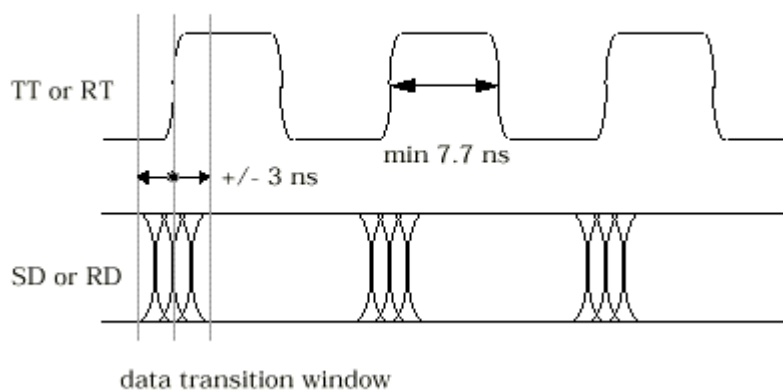
HSSI CABLE PHYSICAL SPECIFICATION	
cable type:	multi-conductor cable, consisting of 25 twisted pairs cabled together with an overall double shield and PVC jacket
gauge:	28 AWG, 7 strands of 36 AWG, tinned annealed copper, nominal 0.015 in. diameter
insulation:	polyethylene or polypropylene; 0.24 mm, .0095 in. nominal wall thickness; 0.86 mm +/- 0.025 mm, .034 in. +/- 0.001 in. outside diameter
foil shield:	0.051 mm, 0.002 in. nominal aluminum/polyester/aluminum laminated tape spiral wrapped around the cable core with a 25% minimum overlap
braid shield:	braided 36 AWG, tinned plated copper in accordance with 80% minimum coverage
jacket:	75 degrees C flexible polyvinylchloride
jacket wall:	0.51 mm, 0.020 in. minimum thickness
dielectric strength:	1000 VAC for 1 minute
outside diameter:	10.41 mm +/- 0.18 mm, 0.405 in. +/- 0.015 in.
agency compliance:	CL2, UL Subject 13, NEC 725-51(c) + 53(e)
manufacturer p/n:	QUINTEC (Madison Cable 4084) ICONTEC RTF-40-25P-2 (Berktek, C&M) or equivalent
connector, plug type:	2 row, 50 pin, shielded tab connectors AMP plug part number 749111-4 or equivalent AMP shell part number 749193-2 or equivalent
connector, receptacle type:	2 row, 50 pin, receptical header with rails and latch blocks. AMP part number 749075-5, 749903-5 or equivalent

HSSI CONNECTOR PINOUT				
Signal Name		Direction DTE - DCE	Pin # (+side)	Pin # (-side)
SG	Signal Ground	---	1	26
RT	Receive Timing	<--	2	27
CA	DCE Available	<--	3	28
RD	Receive Data	<--	4	29
LC	Loopback circuit C	<--	5	30
ST	Send Timing	<--	6	31
SG	Signal Ground	---	7	32
TA	DTE Available	-->	8	33
TT	Terminal Timing	-->	9	34
LA	Loopback circuit A	-->	10	35
SD	Send Data	-->	11	36
LB	Loopback circuit B	-->	12	37
SG	Signal Ground	---	13	38
	5 ancillary to DCE (reserved)	-->	14 - 18	39 - 43
SG	Signal Ground	---	19	44
	4 ancillary from DCE (reserved)	<--	20 - 23	45 - 48
TM	Test Mode	<--	24	49

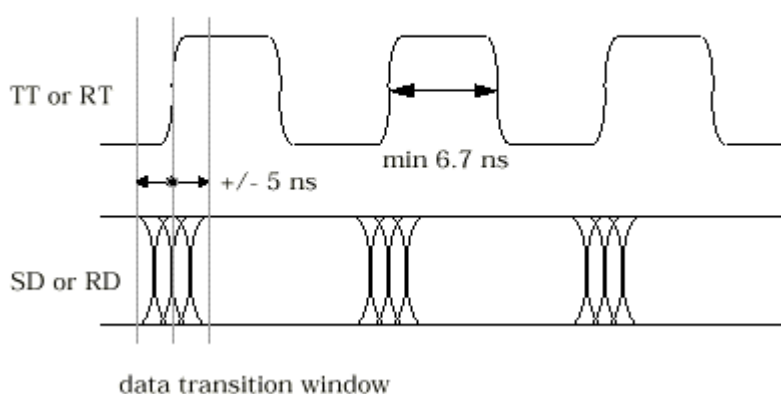
Pin pairs 5&30, 14&30 to 18&43, and 20&45 to 23&48 are reserved for future use. To allow future backward compatibility, no signals or receivers of any kind should be connected to these pins.

## Apêndice A: Diagramas de temporização

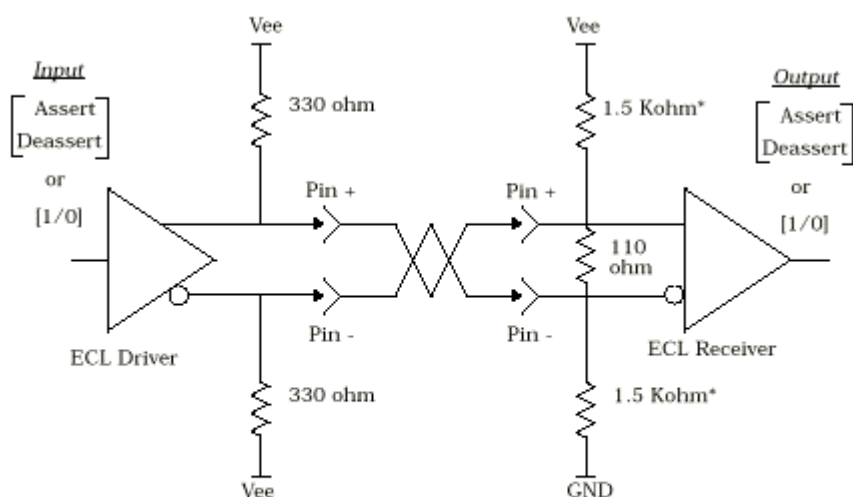
### Source Timing



### Destination Timing



## Apêndice B: Convenções de circuito diferencial



\* optional

## Apêndice C: Imunidade a ruídos

Este apêndice calcula a imunidade a ruído dessa interface. Os 150 mvolts normais especificados de imunidade a ruído para 10KH ECL não são aplicáveis aqui porque as entradas diferenciais não utilizam Vbb de polarização de ECL interno.

As margens de ruído do modo comum (NMcm) e do modo diferencial (NMdiff) para os receptores de linha diferencial 10H115 e 10H116 são:

- 

$$\text{NMcm+} = \text{Vcm\_max} - \text{Voh\_max}$$

$$= -0.50 \text{ Vdc} - (-0.81 \text{ Vdc})$$

$$= 310 \text{ mVdc}$$

$$\text{NMcm-} = \text{Vol\_min} - \text{Vcm\_min}$$

$$= -1.95 \text{ Vdc} - (-2.85 \text{ Vdc})$$

$$= 900 \text{ mVdc}$$

$$\text{NMdiff} = \text{Vod\_min} * \text{length}$$

$$* \text{attenuation/length}$$

$$- \text{Vid\_min}$$

$$= 590 \text{ mv}$$

$$/[10^{((50 \text{ ft} * .085 \text{ dB/ft})/20)}]$$

$$- 150 \text{ mv}$$

$$= 361 \text{ mv}$$

in dB:

$$= 20 \log [(361+150)/150]$$

$$= 10.6 \text{ dB}$$

As tensões estão em 25 graus Célisio. Vcm\_max foi escolhido para ser 100 mv abaixo do ponto de saturação Vih = -0,4 volts.

O receptor diferencial 10H125 tem uma alimentação de +5 Vdc e pode lidar com uma maior excursão positiva em sua entrada. O desempenho da margem de ruído do 10H125 é:

- 

$$\text{NMcm+} = \text{Vcm\_max} - \text{Voh\_max}$$

$$= 1.19 \text{ Vdc} - (-0.81 \text{ Vdc})$$

$$= 2000 \text{ mVdc}$$

NMcm- e NMdiff são o mesmo para todas as peças. Para permitir o uso de todos os receptores, o

pior caso de ruído de modo comum no receptor deve estar limitado a 310 mVdc.

Interprete o intervalo de modo comum,  $V_{cm\_max}$  a  $V_{cm\_min}$ , como o intervalo máximo das voltagens absolutas que podem ser aplicadas ao receptor? entrada s, independente da tensão diferencial aplicada. A faixa de tensão de sinal,  $V_{oh\_max}$  to  $V_{ol\_min}$ , representa a faixa máxima de tensões absolutas que o transmissor produzirá. A diferença entre essas duas faixas representa as margens comuns de ruído de modo,  $NM_{cm+}$  e  $NM_{cm-}$ , em que  $NM_{cm+}$  é a excursão máxima para ruído de modo comum de adição, e  $NM_{cm-}$  é a excursão máxima para o ruído de modo comum de subtração.

Com cinco terras do twisted pair do pé dos 50 pés, a quantidade de corrente de loop de aterramento exigida para usar-se acima da margem de ruído do modo comum é:

- 

$$\begin{aligned} I_{ground} &= NM_{cm+} \\ &/ (cable\_resistance/5 \text{ pairs}) \\ &= (310 \text{ mVdc}) \\ &/ (70 \text{ mohms/foot} \\ &x 50 \text{ feet} / 10 \text{ wires}) \\ &= 0.9 \text{ amps dc} \end{aligned}$$

Este valor de corrente nunca deveria estar presente sob condições normais de operação.

O ruído do modo comum terá um efeito insignificante na margem de ruído diferencial,  $V_{df\_app}$ . Em vez disso, o  $V_{df\_app}$  seria afetado pelo ruído sendo introduzido por um lado dos trilhos de energia no transmissor. O ECL  $V_{cc}$  tem uma taxa de rejeição de fonte de alimentação (PSRR) de 0 DB quando o  $V_{ee}$  ECL tiver um PSRR na ordem de DB 38. Portanto, para reduzir o ruído diferencial,  $V_{cc}$  é aterrado e  $V_{ee}$  é conectado a uma fonte de alimentação negativa.