

회로 에뮬레이션 가상 회로의 ATM 셀 속도 계산

목차

[소개](#)

[사전 요구 사항](#)

[요구 사항](#)

[사용되는 구성 요소](#)

[표기 규칙](#)

[AAL1을 사용하는 ATM 셀 형식 이해](#)

[포인터 바이트 이해](#)

[부분 채우기 이해](#)

[셀 속도 변경의 샘플 시나리오](#)

[예 1:비정형 CES를 사용한 표준 구성](#)

[예 2:부분 채우기 또는 CAS가 없는 정형 CES](#)

[예 3:부분 채우기가 있는 정형 CES](#)

[예 4:부분 채우기 및 CAS가 포함된 정형 CES](#)

[관련 정보](#)

소개

Campus ATM 스위치의 show ces circuit interface cbr 명령은 CBR(Constant Bit Rate) 인터페이스의 CES(Circuit Emulation Service) 연결에 대한 자세한 회로 정보를 표시합니다. 다음 샘플 출력에 표시된 것과 같이 셀 속도 및 비트 전송률이 표시됩니다.

```
Switch#show ces circuit interface cbr 0/0/1 1
Circuit:Name CBR0/0/1:1, Circuit-state ADMIN_UP / Interface CBR0/0/1,
Circuit_id 1, Port-Type T1, Port-State UP
Port Clocking network-derived, aall Clocking Method CESIWF_AAL1_CLOCK_SYNC
Channel in use on this port: 1-24
Channels used by this circuit: 1-12
Cell-Rate: 2043, Bit-Rate 768000
cas OFF, cell_header 0x4100 (vci = 1040)
Configured CDV 2000 usecs, Measured CDV unavailable
De-jitter: UnderFlow unavailable, OverFlow unavaliabile
ErrTolerance 8, idleCircuitdetect OFF, onHookIdleCode 0x0
state: VcActive, maxQueueDepth 42, startDequeueDepth 25
Partial Fill: 47, Structured Data Transfer 288
Active SoftVC
Src:atm addr 47.0091.8100.0000.0061.705a.cd01.4000.0c80.0034.10 vpi 0, vci 1040
Dst:atm addr 47.0091.8100.0000.0060.5c71.2001.4000.0c80.1034.10
```

계산된 셀 속도는 회로에 대해 구성된 타임 슬롯 수와 부분 채우기 및 채널 관련 신호 처리(CAS) 옵션이 활성화되었는지 여부에 따라 달라집니다.

이 문서에서는 CES를 지원하는 CBR에서 표시되는 셀 속도를 계산하는 데 사용하는 수식을 설명합니다. 이 작업은 먼저 ATM Adaptation Layer 1(AAL1)을 사용하는 ATM 셀의 형식과 정형 CES가 있

는 1바이트보다 큰 블록 크기를 설명하는 방법으로 수행됩니다.

사전 요구 사항

요구 사항

이 문서에 대한 특정 요건이 없습니다.

사용되는 구성 요소

이 문서는 특정 소프트웨어 및 하드웨어 버전으로 한정되지 않습니다.

표기 규칙

문서 규칙에 대한 자세한 내용은 [Cisco 기술 팁 표기 규칙을 참고하십시오](#).

AAL1을 사용하는 ATM 셀 형식 이해

CES는 CBR 서비스 클래스 및 AAL1을 사용하여 T1 또는 E1 같은 상수 비트 속도 연결을 에뮬레이션합니다. ITU-T 권장 사항 I.363.1은 AAL1을 정의합니다.

AAL 하위 레이어 "robs"에서 AAL1을 사용하는 ATM 셀이며, AAL1 헤더에 대해 셀의 48바이트 페이로드 필드에서 바이트 단위로 가져옵니다. 이 도난 바이트는 두 개의 하위 필드로 구성됩니다. 시퀀스 번호(SN) 필드 및 시퀀스 번호 보호(SNP) 필드. 그 결과 각 하위 필드는 ATM의 비동기 특성을 동기 레이어 1에 적응하는 타임스탬프, 시퀀스 번호 및 기타 비트를 제공하는 자체 하위 필드로 구성됩니다. ATM 네트워크는 이러한 비트를 사용하여 셀 지연 변화, 셀 삽입 오류 및 셀 손실 문제를 해결합니다.

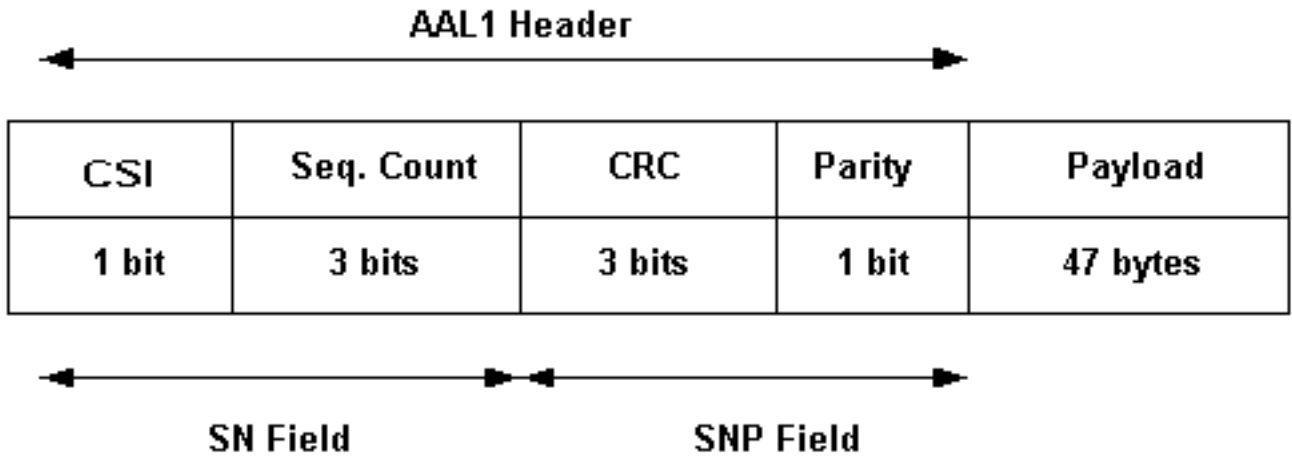
AAL1은 두 가지 모드로 데이터를 전송합니다.

- Structured(구조화) - 하나 이상의 T1 또는 E1 DS-0(digital signal level 0) 시간 슬롯을 ATM 영구 가상 회로(PVC)에 매핑합니다. 각 DS-0 타임 슬롯 또는 채널은 64kbps 속도로 CBR 데이터를 전송할 수 있는 단일 Nx64 회로를 나타냅니다. 예를 들어, 많은 비디오 코덱은 Nx64kbps 속도로 작동합니다. 구조적 모드에서는 각 비디오 코덱에 T1 대역폭의 하위 집합을 포함하도록 구성할 수 있습니다.
- Unstructured(비정형)—전체 T1 또는 E1 대역폭 또는 모든 DS-0 타임 슬롯을 ATM PVC에 매핑합니다.

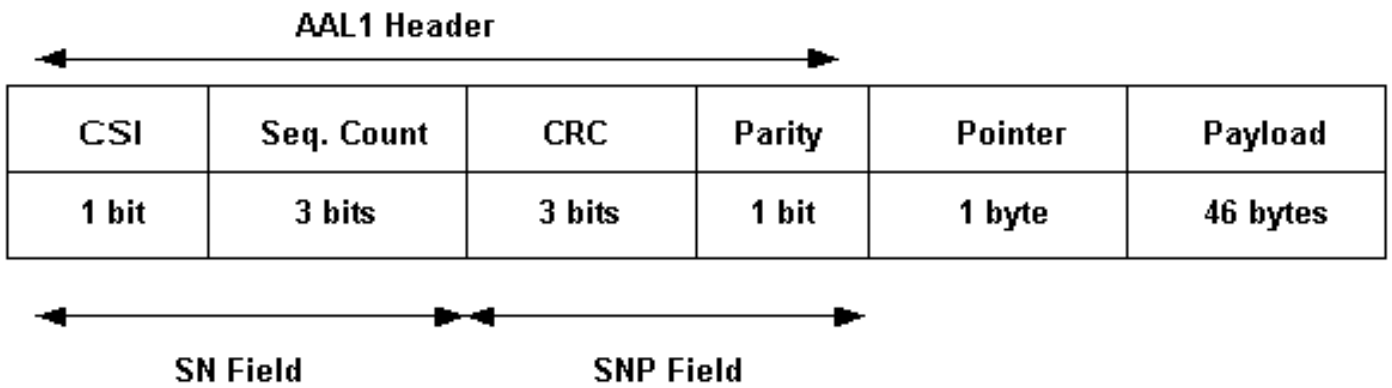
두 모드 모두 AAL1 헤더 바이트를 사용합니다. 또한 정형 모드에서는 블록 크기에 따라 포인터 바이트로 사용하기 위해 다른 바이트도 빼앗습니다. 이 내용은 다음 섹션에서 설명합니다.

다음 다이어그램은 구조화되지 않은 AAL1 셀과 정형 AAL1 셀의 차이를 보여줍니다.

비정형 PDU(Protocol Data Unit) 형식



정형 PDU 형식



참고: 페이로드 필드의 블록 크기가 1바이트보다 큰 경우 포인터 바이트가 사용됩니다.

필드	설명
시퀀스 번호 필드	
CSI(Co nvergen ce Sublaye r Indicati on)	PDU에 따라 다음 두 가지 정보 집합 중 하나를 전달합니다. <ul style="list-style-type: none"> • 홀수 번호 PDU - 타이밍 정보, 특히 동기식 SRTS(잔존 타임스탬프)의 4비트를 전달합니다. 홀수 PDU에 하나의 비트를 사용하면 단일 타임스탬프를 전달하는 데 8개의 PDU가 필요합니다. 이 정보는 공통 ATM 네트워크 클럭과 함께 수신기 측에서 원래 클럭 시퀀스를 재구성할 수 있습니다. SRTS를 사용하지 않으면 이 필드의 값이 0으로 설정됩니다. • 짝수 번호 PDU - 프레임이 정형 또는 비정형 상태인지 여부를 나타냅니다. 구조화된 경우 Cisco는 페이로드 필드 내의 블록 크기가 1바이트보다 큰 경우 8개 셀마다 오버헤드를 추가로 바이트로 요구합니다. 이 바이트는 포인터 바이트라고 합니다.
시퀀스 수	Modulo-8 카운터를 지원하여 잘못된 순차, 잘못된 삽입 및 누락된 ATM 셀을 식별합니다.

시퀀스 번호 보호 필드	
CRC(cyclic redundancy check)-3	CSI 및 시퀀스 수 필드에 전달되는 중요한 시기 및 순서 정보를 보호합니다.
패리티	AAL1 헤더의 비트 오류에 대한 추가 보호 기능을 제공합니다. 헤더의 처음 7비트, 즉 CSI, 시퀀스 수 및 CRC-3을 다룹니다.

포인터 바이트 이해

정형 AAL1은 고정 길이 데이터 블록을 사용합니다. 각 블록은 VC(Virtual Circuit) 내에서 여러 사용자 음성 채널을 지원하는 몇 개의 8진수로 구성됩니다. AAL1 블록이 18진보다 크기 때문에 구조화된 서비스에서는 페이로드 포인터가 필요합니다.

블록 내의 Nx64kbps 데이터의 실제 레이아웃은 신호 유형에 따라 달라집니다.

- 공통 채널 신호 처리 — 신호 없이 Nx64를 인코딩하려면 각 타임 로트에서 8진수 1개를 수집한 다음 순서대로 그룹화합니다.
- 채널 관련 신호 처리 - 각 AAL1 블록은 두 개의 섹션으로 구분됩니다. 첫 번째는 Nx64kbps 페이로드를 전달하는 반면 두 번째는 시그널링 비트를 전달합니다. 구조체의 페이로드 부분은 하나의 멀티프레임 길이로, DS-1의 경우 Nx24 8진수, E1의 경우 Nx16 8입니다.

포인터 바이트와 채널 관련 신호 처리가 있는 정형 모드를 모두 사용하면 CES 셀/초 수식에 영향을 미칩니다. 따라서 이는 ATM PVC를 통해 특정 kbps의 트래픽을 전송하는 데 필요한 셀 수에 영향을 미칩니다.

참고: 비정형 모드에서는 매핑 기능이 AAL1 레이어와 T1 또는 E1 CBR 포트 간에 모든 비트를 매핑합니다.

부분 채우기 이해

디지털 음성 샘플은 일반적으로 1바이트입니다. 그러나 많은 음성 코덱에서는 대역폭을 적게 사용합니다. 자세한 내용은 [Voice over IP - Per Call Bandwidth Consumption](#)을 참조하십시오. 음성 샘플과 같이 ATM 셀을 채울 수 있는 충분한 바이트의 수집은 전송 끝에서 셀 페이로드 어셈블리 지연을 유발합니다. ATM Forum의 CES 권장 사항을 사용하면 IWF(CES interworking function)라고 하는 소스 ATM 인터페이스가 부분적으로 채워진 셀만 전송하고 그러한 지연을 줄이기 위해 사용되지 않는 바이트 위치에 더미 오켓을 사용할 수 있습니다.

`ces circuit {id} timeslots {slot ids} partial-fill {bytes}` 명령을 실행하여 부분적으로 채워진 각 셀의 바이트 수를 설정합니다. 다음 섹션의 예제 시나리오에서 볼 수 있듯이 부분 채우기는 더 높은 셀 전송률을 희생하여 지연을 줄입니다.

셀 속도 변경의 샘플 시나리오

이 문서에서 설명한 개념을 이해했으므로 이 섹션에서는 T1 시간 로트 수를 기준으로 비트 전송률에 따라 부분 채우기 및 CAS가 셀 전송률에 미치는 영향을 보여 줍니다. 예제 시나리오를 읽어보면

다음 사항을 고려하십시오.

- 셀 속도는 필수 사용자 8진수 비율을 셀당 전달된 사용자 8진수 수로 나눈 값입니다. 즉, 셀 속도는 일반적으로 전체 53바이트가 아니라 셀당 47바이트를 사용하는 수식으로 계산됩니다.
- AAL1은 AAL1 헤더에 대한 48바이트 페이로드 부분으로부터 더 많은 바이트를 이동합니다. 헤더의 형식은 ITU-T 권장 사항 I.363.1을 참조하십시오.
- 연속 셀 8개를 순환하는 동안 블록 크기가 18진수 이상이고 셀당 페이로드 바이트가 46바이트인 경우 구조화된 CES는 AAL1 구조 포인터에 대해 다른 바이트를 도입합니다.
- 부분 채우기는 CES IWF가 1진수 음성 샘플의 전체 수를 기다리지 않고 부분 채워진 셀을 보내 전송 지연을 줄인다는 것을 의미합니다.

참고: 예제 시나리오에 설명된 모든 공식은 ATM Forum 웹 사이트에서 무료로 다운로드할 수 있는 [CES v2 추천](#) 에서 직접 가져옵니다.

이 예제 시나리오에서는 4포트 T1 CES 포트 어댑터 모듈(PAM) 및 Cisco IOS® 소프트웨어 릴리스 12.0(16)과 함께 LightStream 1010 ATM 스위치를 사용합니다. 이러한 공식에서 PCR은 최고 셀 속도를 나타내고 CLP는 셀 손실 우선 순위를 나타냅니다.

예 1:비정형 CES를 사용한 표준 구성

T1 수식:

- $PCR(CLP=0+1) = \text{초당 } 1544\text{kbits 사용자 데이터} = \text{초당 } 4107\text{셀}$
- $\text{초당 } 4107\text{셀} > (1.544 \times 106\text{비트} + 130\text{ppm}) / (\text{AAL1 } 8\text{비트/셀} \times 8\text{비트/8텍스트})$

E1 수식:

- $PCR(CLP=0+1) = 2048\text{kbit/s 사용자 데이터} = \text{초당 } 5447\text{셀}$
- $\text{초당 } 5,447\text{셀} > (2.048 \times 106\text{비트} + 50\text{ppm}) / (47\text{개의 AAL1 } 8\text{진수/셀} \times 8\text{비트/8텍스트})$

이 예에서는 CES PAM이 실제로 위 공식을 사용하고 전체 T1에 대해 초당 셀 비율인 4107을 사용하는 것을 보여줍니다.

```
ls1010-2#show ces circuit interface cbr 3/0/3 0
Circuit: Name example1, Circuit-state ADMIN_UP / oper-state UP Interface
CBR3/0/3, Circuit_id 0, Port-Type T1, Port-State UP
Port Clocking network-derived, aal1 Clocking Method CESIWF_AAL1_CLOCK_SYNC
Channel in use on this port: 1-24
Channels used by this circuit: 1-24
Cell-Rate: 4107, Bit-Rate 1544000
cas OFF, cell_header 0xC100 (vci = 3088)
Configured CDV 2000 usecs, Measured CDV unavailable
De-jitter: UnderFlow 240436, OverFlow 0
ErrTolerance 8, idleCircuitdetect OFF, onHookIdleCode 0x0
state: VcAlarm, maxQueueDepth 823, startDequeueDepth 435
Partial Fill: 47, Structured Data Transfer 0
HardPVC
src: CBR3/0/3 vpi 0, vci 3088
Dst: ATM2/0/0 vpi 0, vci 100
interface CBR3/0/3
  no ip address
  no ip directed-broadcast
  ces circuit 0 circuit-name example1
  ces pvc 0 interface ATM2/0/0 vpi 0 vci 100
```

참고: 구조화되지 않은 모드가 명시적으로 구성되어 있지만, 이 모드가 기본값이므로 `ces al1 service structured` 명령이 실행 중인 컨피그레이션에 나타나지 않습니다.

예 2:부분 채우기 또는 CAS가 없는 정형 CES

수식:

- $(8000 \times N) / 46.875$

N은 64kbps의 타임 슬롯 수입입니다.

이 예에서는 10 Nx64 kbps의 타임 슬롯을 사용하는 정형 CES 회로가 구성됩니다.계산된 셀 속도를 확인합니다. $8000 \times 10 / 46.875 = 1707$ 이며, 이 스위치는 1708까지 추가로 라운드됩니다.

```
ls1010-2(config-if)#ces aal1 service structured
Changing to Structured deletes Unstructured circuit 0 proceed? [confirm]
ls1010-2(config-if)#ces circuit 1 timeslots 1-5,11-15 circuit-name example2
ls1010-2#show ces circuit interface cbr 3/0/3 1
Circuit: Name example2, Circuit-state ADMIN_UP / oper-state DOWN Interface
CBR3/0/3, Circuit_id 1, Port-Type T1, Port-State UP
Port Clocking network-derived, aal1 Clocking Method CESIWF_AAL1_CLOCK_SYNC
Channel in use on this port: 1-5,11-15
Channels used by this circuit: 1-5,11-15
Cell-Rate: 1708, Bit-Rate 640000
cas OFF, cell_header 0xC100 (vci = 3088)
Configured CDV 2000 usecs, Measured CDV unavailable
De-jitter: UnderFlow unavailable, Overflow unavaliabile
ErrTolerance 8, idleCircuitdetect OFF, onHookIdleCode 0x0
state: VcInactive, maxQueueDepth 0, startDequeueDepth 0
Partial Fill: 47, Structured Data Transfer 10
Passive SoftVC
Src: atm addr 47.0091.8100.0000.0060.3e5a.8f01.4000.0c81.803c.10 vpi 0, vci 3088
Dst: atm addr default
```

예 3:부분 채우기가 있는 정형 CES

수식:

- $(8000 \times N) / K$

K는 셀당 채워진 8진수 수로, 부분 셀 값입니다.

예 2와 동일한 회로를 유지하고 부분 채우기 값을 20으로 변경하면 비트 속도는 동일하게 유지되며 셀 속도는 1708에서 4002로 크게 증가합니다.이 이유는 부분 채우기가 47바이트가 아닌 20바이트의 페이로드(일반적으로 음성 샘플)만 누적될 때 CES 하드웨어가 셀을 생성한다는 의미입니다.

```
ls1010-2(config-if)#ces circuit 1 timeslots 1-5,11-15 partial-fill ?
<20-47> Number of octets in each AAL1 Cell
ls1010-2(config-if)#ces circuit 1 timeslots 1-5,11-15 partial-fill 20
ls1010-2#show ces circuit interface cbr 3/0/3 1
Circuit: Name example2, Circuit-state ADMIN_UP / oper-state DOWN Interface
CBR3/0/3, Circuit_id 1, Port-Type T1, Port-State UP
Port Clocking network-derived, aal1 Clocking Method CESIWF_AAL1_CLOCK_SYNC
Channel in use on this port: 1-5,11-15
Channels used by this circuit: 1-5,11-15
Cell-Rate: 4002, Bit-Rate 640000
cas OFF, cell_header 0xC100 (vci = 3088)
Configured CDV 2000 usecs, Measured CDV unavailable
De-jitter: UnderFlow unavailable, Overflow unavaliabile
ErrTolerance 8, idleCircuitdetect OFF, onHookIdleCode 0x0
state: VcInactive, maxQueueDepth 0, startDequeueDepth 0
```

```
Partial Fill: 20, Structured Data Transfer 10
Passive SoftVC
Src: atm addr 47.0091.8100.0000.0060.3e5a.8f01.4000.0c81.803c.10 vpi 0, vci 3088
Dst: atm addr default
```

예 4:부분 채우기 및 CAS가 포함된 정형 CES

부분 셀 채우기, N = 짝수, K = 채워진 AAL1 사용자 8자의 수는 다음과 같습니다.

- $8000 \times [NX49/48] / K$

E1 및 J2 프레임에 대한 공식이 포함된 다른 공식은 [CES v2 권장 사항](#) 섹션 5.1을 참조하십시오.

참고: CAS를 활성화하기 전에 `ces dsx1 signalmode robbedbit` 명령을 실행하여 ABCD 신호 비트 전달을 위해 소위 도난 비트 신호 처리를 활성화합니다.

```
ls1010-2(config-if)#ces circuit 1 cas
CAS requires: dsx1 signalmode robbedbit on CBR3/0/3
ls1010-2(config-if)#ces dsx1 signalmode robbedbit
ls1010-2#show ces circuit interface cbr 3/0/3 1
Circuit: Name example2, Circuit-state ADMIN_UP / oper-state DOWN Interface
CBR3/0/3, Circuit_id 1, Port-Type T1, Port-State UP
Port Clocking network-derived, aal1 Clocking Method CESIWF_AAL1_CLOCK_SYNC
Channel in use on this port: 1-5,11-15
Channels used by this circuit: 1-5,11-15
Cell-Rate: 4096, Bit-Rate 64000
cas ON, cell_header 0xC100 (vci = 3088)
Configured CDV 2000 usecs, Measured CDV unavailable
De-jitter: UnderFlow unavailable, OverFlow unavailable
ErrTolerance 8, idleCircuitdetect OFF, onHookIdleCode 0x0
state: VcInactive, maxQueueDepth 0, startDequeueDepth 0
Partial Fill: 20, Structured Data Transfer 245
Passive SoftVC
Src: atm addr 47.0091.8100.0000.0060.3e5a.8f01.4000.0c81.803c.10 vpi 0, vci 3088
Dst: atm addr default
```

관련 정보

- [ATM 기술 지원 페이지](#)
- [기술 지원 및 문서 - Cisco Systems](#)