



概要

- [Cisco Nexus 3550-T スイッチの概要 \(1 ページ\)](#)
- [Cisco Nexus 3550-T スイッチのハードウェア アーキテクチャ \(2 ページ\)](#)

Cisco Nexus 3550-T スイッチの概要

CiscoNexus 3550-T プログラマブル スイッチ プラットフォームは、独自の低遅延設計を備えた top-of-rack イーサネット スイッチ および アプリケーション プラットフォーム です。包括的な レイヤ 2 および レイヤ 3 スイッチング 機能を提供します。このデバイスは柔軟な FPGA デバイスを中心に構築されており、カスタム アプリケーション 向けの完全なファームウェア 開発環境だけでなく、長期的な機能強化、アップグレード、および修正を提供します。

図 1: Cisco Nexus 3550-T Triton



Nexus 3550-T のハードウェア プラットフォームの仕様は次のとおりです。

- 48 ポート SFP28 (Small Form-Factor Pluggable 28) 構成 (SFP+ および SFP との下位互換性)
- デュアル冗長ホットスワップ PSU とデュアルホットスワップファン。
- Xilinx Virtex Ultrascale Plus VU35P Field Programmable Gate Array (FPGA) を「-3」スピードグレードで使用して構築します。チップには、8 GB の高帯域幅メモリ (HBM) が搭載されています。
- 100MB/s/1GB/s (RJ45) および 1GB (SFP+) ベースの管理ポートを備えた x86 ベースの管理プロセッサ。

- FPGA への 25 G 速度をサポートするハードウェア（電子機器）。

容易な管理

Cisco Nexus 3550-T プログラマブル ネットワーク プラットフォームは、コンソールポート、マイクロ USB ポート、および 1 G RJ45 ポートを備え、これらは管理インターフェイスとして使用できます。Cisco Nexus 3550-T プラットフォームは、低遅延 FPGA 構成のニーズに対応するように設計されたコマンドライン インターフェイス (CLI) を使用します。

すべての Cisco Nexus 3550-T プログラマブル ネットワーク プラットフォームには、標準的なエンタープライズ管理機能と展開機能が備わっています。その中には、自動設定 (DHCP 利用)、SNMP、TACACS+ 認証、オンボードの Python プログラム、BASH シェル、時系列ロギングなどがあります。

詳細を確認するには <https://www.cisco.com/c/en/us/td/docs/dcn/nexus3550/3550-t/sw/101x/configuration/cisco-nexus-3550t-configuration-guide.html> を参照してください。

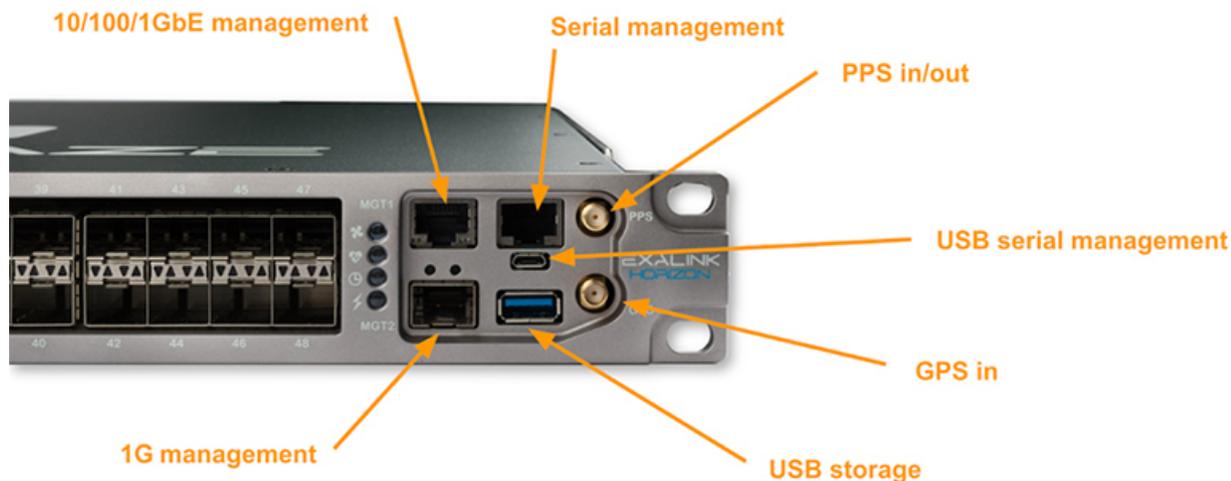
Cisco Nexus 3550-T スイッチのハードウェア アーキテクチャ

Cisco Nexus 3550-T の FPGA は、[Xilinx Virtex UltraScale+ HBM xcvu35p-fsvh2892-3-e](#) です。

Nexus 3550-T プラットフォームの X86 プロセッサは、サードパーティの System on Module (SoM) に組み込まれた Intel Atom C3708 SoC です。CPU は 8 コア、16MB のキャッシュで 1.7Ghz で動作します。SoM には 16GB の DDR4 メモリがあり、システムは 128GB の不揮発性ストレージを備えた M.2 NVMe SSD ドライブから起動します。スペア (未実装) M.2 ドライブベイが利用可能です。

Nexus 3550-T プラットフォームのブロック図を以下に示します。

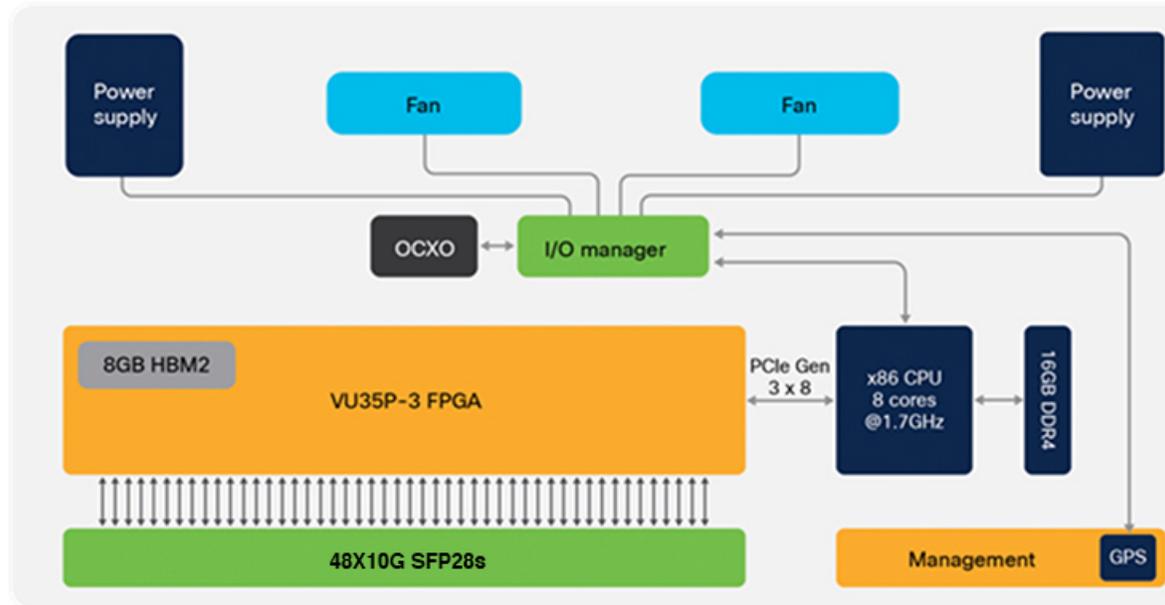
図 2: Cisco Nexus 3550-T ハードウェア アーキテクチャ



機能

Cisco Nexus 3550-T プログラマブル ネットワーク プラットフォームは、動的に再構成可能な FPGA（Field Programmable Gate Array）を中心に構築された固定フォームファクタを持ち、10G 対応で x86（Intel® Atom® プロセッサ、8 コア、最大 1.7 GHz）管理 CPU と連動する 48 個のポートを提供します。48 個のポートはすべて、「-3」スピードグレードの Xilinx Virtex UltraScale Plus VU35P FPGA に直接接続されています。FPGA には、8 GB の高帯域幅メモリ（HBM）が搭載されています。Cisco Nexus 3550-T のハードウェアアーキテクチャを次の図 2 に示します。

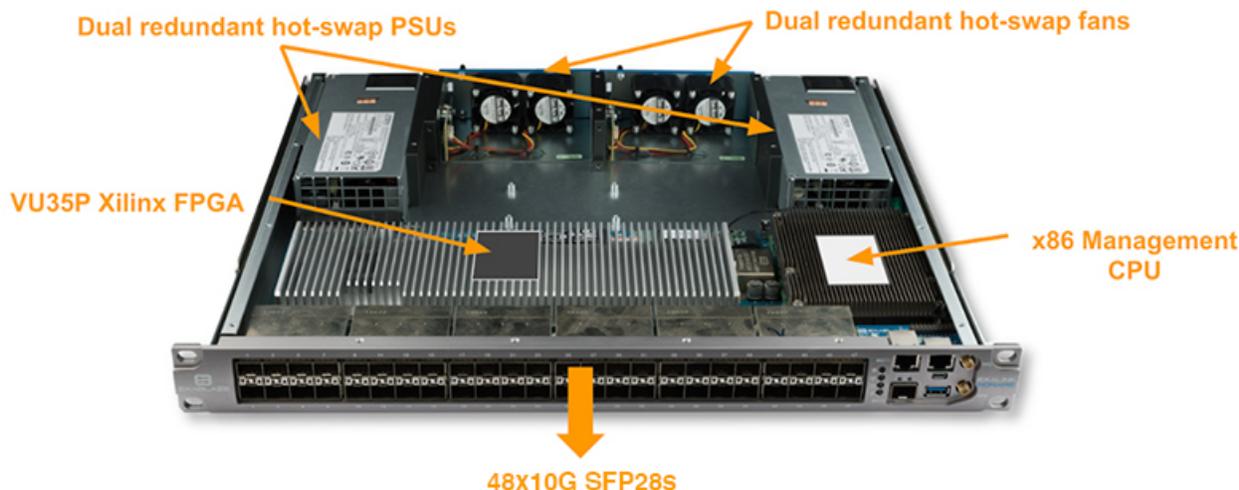
図 3: Cisco Nexus 3550-T プログラマブル ネットワーク プラットフォーム データ シート



Cisco Nexus 3550-T プログラマブル ネットワーク プラットフォーム ハードウェア アーキテクチャ

Cisco Nexus 3550-T プラットフォームには、Xilinx Virtex Ultrascale Plus FPGA (XCVU35P-3e)、48 個の 10G 対応 SFP ポート、および Intel Atom CPU が搭載されています。ファームウェア開発キットはシスコから入手可能で、FPGA 開発機能を持つユーザーは、Cisco Nexus 3550-T の XCVU35P-3e FPGA にカスタム FPGA 機能を実装できます。

図 4: Cisco Nexus 3550-T プログラマブルスイッチ プラットフォーム アーキテクチャ



FPGA モジュールは、複数のファームウェアパーソナリティのホストを実行できます。現在、次のファームウェアバージョンが利用可能です。

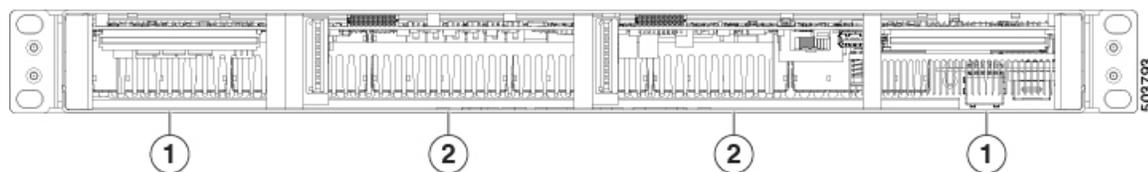
- **10G レイヤー 3 スイッチ ファームウェア**：このファームウェアでは、デバイスは 48 ポートの低遅延レイヤー 3 スイッチとして動作します。

初期の 10G レイヤー 3 スイッチの機能

- 標準規格インターフェース：SNMP / TACACS+ / Syslog / JSON-RPC API
- レイヤー 2 スイッチング機能：MAC 学習、VLAN タギング / トランキンク、LLDP、IGMP & STP
- レイヤー 3 スイッチング機能：IP ルーティング、BGP、OSPF、および PIM
- レイヤー 4 スイッチング機能：静的 NAT / PAT

次の図は、シャーシの取り付け時またはモジュールの交換時に使用するファン側のシャーシ機能を示しています。

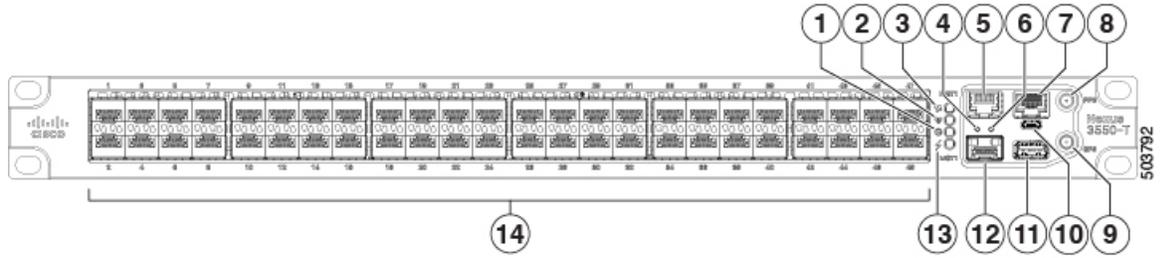
図 5: Cisco Nexus 3550-T シャーシのファン側の表示



1	ファン モジュール (1 および 1)	2	AC 電源 (2 および 2)
---	---------------------	---	-----------------

次の図は、シャーシの取り付け時またはモジュールの交換時に使用するポート側のシャーシ機能を示しています。

図 6 : Cisco Nexus 3550-T シャーシのポート側の表示



1	管理ポート、コンソールポート、および USB ポート	2	48 個の固定 Small Form-Factor Pluggable (SFP) ポート
---	----------------------------	---	---

詳細を確認するには <https://www.cisco.com/c/en/us/td/docs/dcn/nexus3550/3550-t/sw/101x/configuration/cisco-nexus-3550t-configuration-guide.html> を参照してください。

翻訳について

このドキュメントは、米国シスコ発行ドキュメントの参考和訳です。リンク情報につきましては、日本語版掲載時点で、英語版にアップデートがあり、リンク先のページが移動/変更されている場合がありますことをご了承ください。あくまでも参考和訳となりますので、正式な内容については米国サイトのドキュメントを参照ください。