

# UCS M7およびM8プラットフォームの高度なメモリ機能とトラブルシューティング

## 内容

---

[はじめに](#)

[前提条件](#)

[要件](#)

[使用するコンポーネント](#)

[バックグラウンド情報](#)

[メモリエラーの概要](#)

[Cisco UCS M7/M8メモリRAS機能](#)

[システムレベルECC](#)

[Virtual Lock-Step\(VLS\)/Adaptive Double Device Data Correction\(ADDC\)スペアリング](#)

[オンダイECC](#)

[エラーチェックとスクラブ\(ECS\)](#)

[ポストパッケージ修復\(PPR\)](#)

[PMIC\(Power Management Integrated Circuit\)](#)

[ログ分析](#)

[テクニカルサポートで確認するファイル](#)

[RAS障害のトラブルシューティング](#)

[重要なバグ](#)

---

## はじめに

このドキュメントでは、UCS M7およびM8世代サーバで導入された新しいメモリ機能と、メモリエラーの理解およびトラブルシューティング手順について説明します。

## 前提条件

### 要件

次のトピックに関する知識を身に付けておくことをお勧めします。

- UCSの基本的な知識。
- メモリアーキテクチャの基本知識。

### 使用するコンポーネント

このドキュメントの情報は、次のソフトウェアとハードウェアのバージョンに基づいています。

- UCSファミリサーバM7およびM8

- UCS マネージャ
- Cisco インテグレーテッド マネージメント コントローラ ( CIMC )
- Cisco Intersightマネージドモード(IMM)

このドキュメントの情報は、特定のラボ環境にあるデバイスに基づいて作成されたものです。このドキュメントで使用するすべてのデバイスは、クリアな（デフォルト）設定で作業を開始しています。本稼働中のネットワークでは、各コマンドによって起こる可能性がある影響を十分確認してください。

## バックグラウンド情報

### メモリエラーの概要

メモリエラーは、最新のサーバで最も一般的なタイプのエラーの1つです。メモリの場所を読み取ろうとしたときに、読み取った値が最後に書き込まれた値と一致しない場合に、エラーが検出されることがよくあります。

メモリエラーはソフトまたはハードです。一部のエラーは修正可能ですが、1回のメモリアクセスで複数のソフトエラーまたはハードエラーが同時に発生すると、修正不可能になる場合があります。

## Cisco UCS M7/M8メモリRAS機能

Cisco UCS M7およびM8サーバには、堅牢なRAS機能セットが搭載されています（詳細は次を参照）。これにより、メモリエラーがパフォーマンスやシステムの稼働時間に与える影響を最小限に抑えることができます。

### システムレベルECC

すべてのCisco UCS M7サーバは、1つのx4 DRAMチップに限定されたエラーを修正できるECCコードを備えたメモリモジュールを使用し、最大2つのデバイスでダブルビットエラーを検出します。これは、旧世代のサーバと同様に、システムレベルのECCと呼ばれるようになりました

### Virtual Lock-Step(VLS)/Adaptive Double Device Data Correction(ADDDC)スペアリング

ADDDCスペアリングは、同じ領域に存在する場合、連続する2つのDRAM障害を修正できます。この機能は、修正可能なエラーを追跡し、障害のあるビットをスペアコピー（「スペア」）して「バディ」キャッシュラインに動的にマッピングします。このメカニズムを使用すると、修正可能なエラーを軽減できます。このエラーを処理しないと、修正不可能になる可能性があります。この機能は、Virtual Lockstep(VLS)を使用して、同じメモリチャネル内のキャッシュラインバディペアを、バンクVLSを使用するDRAMバンクレベルまたはランクVLSを使用するDRAMデバイスレベルのいずれかで割り当てます。

## オンダイECC

オンダイECCは、DDR5の新機能です。この機能はデフォルトで有効になっています。すべてのシングルビットエラー（ハードおよびソフト）は、データがホストに送信される前にDRAMによって修正されます。ただし、この修正されたデータはDRAMには書き戻されません。エラーチェックとスクラブ(ECS)は、メモリ内のシングルビットエラーをスクラブして修正するために使用される機能です。

## エラーチェックとスクラブ(ECS)

ECSは、各DRAMダイを定期的（24時間ごと）にスクラブしてバックグラウンドでエラーをチェックし、アレイにデータを書き戻してエラーを修正し、スクラブ中に検出されたエラーの数を提供します。この機能はデフォルトで有効になっています。

## ポストパッケージ修復(PPR)

ポストパッケージ修復は、DRAMデバイス内の不良セルまたは不良ローを交換するためにスペアローを使用する機能です。

ソフトPPR（再構成可能）、ハードPPR（永続的）、およびランタイムPPRの3つのタイプがあります。

- Intel CPUを搭載したCisco UCS M7サーバは、「ハード」PPRをサポートします。これは永続的な修復であり、前回のランタイム中に収集されたエラーデータに基づいて、またはEMT中に行エラーが発生した場合に、リブート中に実行されます。
- 通常、修理はウォームリセットまたはコールドリセット、あるいはACサイクルの間に行われます。
- UCS M8では、3種類のPPRすべてがサポートされています。ハードPPRはデフォルトで有効になっています。これに対して、ランタイムPPRは無効です。
- ランタイムPPRは、システムの動作中に、稼働時間に影響を与えることなく修復を実行できます。
- ハードPPRとランタイムPPRの両方が有効になっている場合は、すべてのPPR機能が使用されます。「ハードPPR」が無効で「ランタイムPPR」が有効な場合、システムはデフォルトで「ソフトPPR」に設定されます。
- PPRは修正可能なエラーと密接に関連しており、各修正可能なエラーはPPRが有効な場合にSELレコードを生成します。

## PMIC(Power Management Integrated Circuit)

DIMM上のPMICは、DDR5メモリモジュールの主要機能です。この統合により、電源管理機能がマザーボードからメモリモジュール自体に移り、いくつかの重要な利点が提供されます。

DDR5メモリの場合は、PMICエラー処理が有効になります。

- PMICエラーは、ランタイムおよびブート後の両方でCELLレコードを生成します。
- メモリトレーニング中にメモリチャネルでPMIC障害が検出された場合、該当するDIMMが

マップアウトされ、メモリが低下した状態でシステムのブートが継続されます

## ログ分析

### テクニカルサポートで確認するファイル

UCSM\_X\_TechSupport > sam\_techsupportinfoに、DIMMおよびメモリアレイに関する情報が記載されています。

サーバおよびシャーシに関するテクニカル サポート

CIMCX\_TechSupport\temp\CIMCX\_TechSupport.txt -> サーバXに関する一般的なテクニカルサポート情報

CIMCX\_TechSupport\obfl\obfl-log -> OBFLログは、サーバXのステータスとブートに関する継続的なログを提供します。

CIMCX\_TechSupport\var\log\sel -> サーバXのSELログ

プラットフォーム/バージョンに基づいて、テクニカルサポートバンドル内のファイルに移動します。

RAS:ECS ( エラーチェックとスクラブ ) CEエラーの場所すべてのスクラブで実行時に収集されるetc

/nv/etc/BIOS/bt/DDR5\_CISCO\_ECS

DIMMでCEおよびUCEエラーにヒットした場合、AMTは次回のブート時に自動的に実行されます。

nv/etc/BIOS/bt/MrcOutです。

AMT\_TEST\_PATTERN:

ADV\_MT\_SAMSUNG製

AMT\_RESULT : 成功しました。

PMICエラー : /nv/etc/DIMM-PMIC.txt

M8サーバの内容 :-

nv/etc/BIOS/bt >MrcOut

これらのファイルには、BIOS レベルで見たメモリに関する情報が記載されています。

これらの情報は、DIMM状態レポートテーブルで再度相互参照できます。

AMDサーバの例 :-

nv/etc/BIOS/bt >MrcOut

このパケットには、次のものが含まれています。

- BIOS/バージョン、ビルド日時
- PSPファームウェアバージョン
- DIMMの有無とステータス ( DIMMの有無を示します )
- DIMM構成の詳細。

2025/08/14 13:44:34

BIOS ID : C245M8.4.3.6b.0 Built 04/28/2025 14:15:22

=====

PSP Firmware Versions

=====

ABL Version: 100E8012

PSP: 0.29.0.9B

PFMW (SMU): 4.71.126.0

SEV: 1.1.37.28

PHY: 0.1.38.0

MPIO: 1.0.2D.C4

TF MPDMA: 0.47.3.0

PM MPDMA: 0.47.46.0

GMI: AB.1.27.0

RIB: 2.0.8.39

SEC: D.E.90.71

PMU: 0.0.90.4E

EMCR: 0.0.E0.4E

uCode B1: 0xA101154

DIMM Status:

Memory	DIMM Status
Channel	
P1_A	01
P1_B	01
P1_C	01
P1_D	01
P1_E	01
P1_F	00
P1_G	01
P1_H	01
P1_I	01
P1_J	01
P1_K	01
P1_L	00
P2_A	01
P2_B	01
P2_C	01
P2_D	01
P2_E	01
P2_F	00
P2_G	01
P2_H	01

```
| P2_I | 01 |
| P2_J | 01 |
| P2_K | 01 |
| P2_L | 00 |
=====|
```

#### DIMM Configuration:

```
=====
MbistTest = Disabled
MbistAggressor = Disabled
MbistPerBitSlaveDieReport = Enabled
DramTempControlledRefreshEn = Disabled
UserTimingMode = Disabled
UserTimingValue = Disabled
MemBusFreqLimit = Disabled
EnablePowerDown = Disabled
DramDoubleRefreshRate = Disabled
PmuTrainMode = 0x0000
EccSymbolSize = 0x0000
UEccRetry = Disabled
IgnoreSpdChecksum = Disabled
EnableBankGroupSwapAlt = Disabled
EnableBankGroupSwap = Disabled
DdrRouteBalancedTee = Disabled
DttsCmdThrotEn = Disabled
DttsCmdThrotCyc = Disabled
=====
```

Enhanced Memory Context Restore : APOB\_SAVED

2025/08/14 13:44:34

#### MCA出力ファイルインベントリ :-

このファイルには、すべての銀行（銀行、銀行、銀行）のMCAレジスタに関する情報が含まれています。

（UCEエラーが検出されたとき）

```
--- START OF MCA FILE ---
Timestamp H:M:S 13:44:15 D:M:Y 14:8:2025
```

--- Note ---

The legacy MCA registers include:

MCA\_CTL - Enables error reporting via machine check exception.

MCA\_STATUS - Logs information associated with errors.

MCA\_ADDR - Logs address information associated with errors. The use of AMD Secure Memory Encryption may

MCA\_MISC0 - Logs miscellaneous information associated with errors.

The MCA Extension registers include:

MCA\_CONFIG - Provide configuration capabilities for this MCA bank.

MCA\_IPID - Provides information on the block associated with this MCA bank.

MCA\_SYND - Logs physical location information associated with a logged error.  
MCA\_DESTATUS - Logs status information associated with a deferred error.  
MCA\_DEADDR - Logs address information associated with a deferred error.  
MCA\_MISC[1:4] - Provides additional threshold counters within an MCA bank.  
MCA\_TRANSYND - Logs location information associated with a transparent error.  
MCA\_TRANSADDR - Logs address information associated with a transparent error.

LS - Load-Store Unit -> Bank 0  
IF - Instruction Fetch Unit -> Bank 1  
L2 - L2 Cache Unit -> Bank 2  
DE - Decode Unit -> Bank 3  
Empty/Unused bank -> Bank 4  
EX - Execution Unit -> Bank 5  
FP - Floating Point Unit -> Bank 6  
L3 - L3 Cache Unit -> Bank 7 to 14  
MP5 - Microprocessor5 Management Controller -> Bank 15  
PB - Parameter Block -> Bank 16  
PCS-GMI - GMI Controller -> Bank 17 to 18  
KPx-GMI - High Speed Interface Unit(GMI) -> Bank 19 to 20  
UMC - Unified Memory Controller -> Bank 21 to 22  
CS - Coherent Station -> Bank 23 to 24  
NBIO - NorthBridge IO Unit -> Bank 25  
PCIE - PCIe Root port -> Bank 26 to 27  
PIE - Power Management, Interrupts, Etc -> Bank 28  
SMU - System Management Controller Unit -> Bank 29  
PCS\_XGMI - XGMI Controller -> Bank 30  
KPx\_SERDES - High Speed Interface Unit(XGMI)-> Bank 31  
Empty/Unused bank -> Bank 32 to 63

Total BankNumber = 32  
MC Global Capability Value = 120  
MC Global Status Value = 0  
MC Global Control Value = 0  
Number of processor = 64

ProcNum BankNum Socket CCD CCX Core Thread MCA Bank Status MCA Bank Address MCA Configuration MCA IPID

Timestamp H:M:S 13:44:32 D:M:Y 14:8:2025  
--- END OF MCA FILE ---

SelログのPMIC障害の例 : -

DIMMでランタイムPMIC障害が発生すると、次に示すようにSELログが生成され、ホストがオフになります。

- 2024-06-11 20:26:36 IST ◆Warning System Software event: Memory sensor, Memory Failed (PMIC Fault detected and isolated) was asserted, DIMM socket 1, Channel A, CPU 2. was asserted

2024-06-11 20:26:36 IST      ⚠ Warning      System Software event: Memory sensor, Memory Failed (PMIC Fault detected and isolated) was asserted, DIMM socket 1, Channel A, CPU 2. was asserted

障害のあるDIMMは、次のホスト電源投入時にBIOSによってマッピングされます。次のSELがあります

2024-06-12 08:30:23 IST

✖ Critical

CPU1 DIMM A1 Memory Failed (PMIC Fault detected and isolated) was asserted

次のようにエラーが発生します。

2024 Jun 11 23:33:...	critical	EQUIPMENT_INOPERABLE	[F1968][critical][equipment-inoperable][sys/rack-unit-1/board/memory] DIMM_P1_A1_PMIC :Memory Failed (PMIC Fault detected and isolated) was asserted
-----------------------	----------	----------------------	--

2025 Sep 23 23:50:14 UTC	<span style="color: red;">✖</span> Critical	EQUIPMENT_INOPERABLE	[F1968][critical][equipment-inoperable][sys/rack-unit-1/board/memory] DIMM_P1_B1_PMIC :Memory Failed (PMIC Fault detected and isolated) was asserted
2025 Sep 23 23:50:15 UTC	<span style="color: blue;">i</span> Informational	EQUIPMENT_INOPERABLE	[F1968][cleared][equipment-inoperable][sys/rack-unit-1/board/memory] DIMM_P1_B1_PMIC :Memory Failed (PMIC Fault detected and isolated) was deasserted

## RAS障害のトラブルシューティング

通常、UCS Managerでは、これらの障害はRASイベントとして表示されます。

Slot ID	: 6	Chassis ID	: 3
Product Name	: Cisco UCS X210c M7 2 Socket Compute Node	PID	: UCSX-210C-M7
Vendor	: Cisco Systems Inc	Serial	: [REDACTED]
Revision	: 0		
Manufacturing Date	: 2024-11-28		
Asset Tag	:		
Name	: [REDACTED]		
User Label	: [REDACTED]		
Unique Identifier	: 96cd0997-71b6-4975-0000-000025b5f30c		
Service Profile	: [REDACTED]		
Health LED	: <span style="color: red;">✖</span> Critical		
Oper Qualifier Reason	: DDR5_P2_H1_ECC:Sensor Threshold Crossed; DDR5_P2_G2_ECC:Sensor Threshold Crossed;		
Locator LED	: <input checked="" type="radio"/>	FP Buttons	: <span style="color: red;">✖</span> Locked

Summary

The screenshot shows the UCSM interface under the 'Faults' tab. On the left, a filter sidebar is open, showing various severity levels: Show All, Critical (selected), Major, Minor, Warning, Info, Condition, Cleared, Soaking, and Suppressed. The main table lists one fault entry:

Severity	Code	ID	Affected object	Cause	Last Transition	Description
<span style="color: red;">✖</span>	F1236	54090700	sys/chassis-1/bla...	health-led-amber...	2025-05-14T15:43	sys/chassis-1/bla...

Below the table, the 'Details' section is expanded, showing the following properties:

Summary		Properties	
Severity	: <span style="color: red;">✖</span> Critical/None	Affected object	: sys/chassis-1/blade-7/health-led
Last Transition	: 2025-05-14T15:43:18Z	Description	: sys/chassis-1/blade-7/health-led shows error. Reason DDR5_P1_E1_ECC:Sensor Threshold Crossed;
Actions		ID	: 54090700      Type : equipment
Acknowledge Fault		Cause	: health-led-amber-blinking      Created at : 2025-05-14T15:25:12Z
		Code	: F1236      Number of Occurrences : 3
		Original severity	: Critical
		Previous severity	: Cleared      Highest severity : Critical

すべてのメモリエラーカウンタをリセットするUCSM CLIコマンド

UCS-A#スコープサーバx/y

UCS-A /chassis/server # reset-all-memory-errors

UCS-A /chassis/server\* # commit

SPDデータをクリアするには、次の手順を実行します。

サーバの電源をオフにします。

次に、UCSM CLIから次のコマンドを実行します。

UCS-A# connect cimc x/y

UCS-A /chassis/server # reset-all-memory-errors

UCS-A /chassis/server\* # commit

## 重要なバグ

1. Cisco Bug ID [CSCwo62396](#)

2. Cisco Bug ID [CSCwq33148](#)

3. Cisco Bug ID [CSCwh73760](#)

## 翻訳について

シスコは世界中のユーザにそれぞれの言語でサポート コンテンツを提供するために、機械と人による翻訳を組み合わせて、本ドキュメントを翻訳しています。ただし、最高度の機械翻訳であっても、専門家による翻訳のような正確性は確保されません。シスコは、これら翻訳の正確性について法的責任を負いません。原典である英語版（リンクからアクセス可能）もあわせて参照することを推奨します。