

Cisco serie 12000 Internet Router Architecture: Struttura scheda di linea

Sommario

[Introduzione](#)

[Prerequisiti](#)

[Requisiti](#)

[Componenti usati](#)

[Convenzioni](#)

[Operazioni principali fondamentali](#)

[Determinazione del percorso](#)

[Cisco Express Forwarding](#)

[Architettura della scheda di linea](#)

[Schede di linea core](#)

[Schede di linea perimetrali](#)

[Schede di linea per bordi canalizzati](#)

[Schede di linea ATM \(Asynchronous Transfer Mode\)](#)

[Schede di linea Ethernet](#)

[Schede di linea DPT \(Dynamic Packet Transport\)](#)

[Schede di linea fine vendita \(EOS\)](#)

[Installazione scheda di linea](#)

[Informazioni correlate](#)

[Introduzione](#)

Questo documento offre una panoramica del design delle schede di linea dei router Internet della serie 12000.

[Prerequisiti](#)

[Requisiti](#)

Nessun requisito specifico previsto per questo documento.

[Componenti usati](#)

Le informazioni fornite in questo documento si basano sui seguenti componenti hardware:

- Cisco serie 12000 Internet Router

Le informazioni discusse in questo documento fanno riferimento a dispositivi usati in uno specifico

ambiente di emulazione. Su tutti i dispositivi menzionati nel documento la configurazione è stata ripristinata ai valori predefiniti. Se la rete è operativa, valutare attentamente eventuali conseguenze derivanti dall'uso dei comandi.

Convenzioni

Per ulteriori informazioni sulle convenzioni usate, consultare il documento [Cisco sulle convenzioni nei suggerimenti tecnici](#).

Operazioni principali fondamentali

Cisco serie 12000 Internet Router ha un'architettura realmente distribuita in quanto tutte le schede di linea (LC) eseguono una copia dell'immagine software Cisco IOS® e tutta la commutazione viene eseguita sui LC. La commutazione Cisco Express Forwarding è l'UNICO percorso di commutazione. Non vi sono commutazione veloce, commutazione ottimale e così via, come si trova su altre piattaforme come la serie 7500. Per una panoramica dei percorsi di switching non distribuiti disponibili nelle diverse piattaforme, vedere [Come scegliere il percorso di switching del router migliore per la rete](#).

Le funzioni di inoltro dei pacchetti vengono eseguite da ciascuna scheda di linea. Una copia delle tabelle di inoltro calcolate dal Gigabit Route Processor (GRP) viene distribuita a ciascuna scheda di linea del sistema. Ogni scheda di linea esegue una ricerca indipendente di un indirizzo di destinazione per ogni datagramma ricevuto su una copia locale della tabella di inoltro e il datagramma viene commutato attraverso una struttura di switch crossbar alla scheda di linea di destinazione. Le funzioni di base dei LC sono l'inoltro MPLS (IP/Multiprotocol Label Switching), la risposta ping e la frammentazione dei pacchetti.

La scheda di linea si occupa di:

- in coda, ad esempio [FIFO \(First In, First Out\)](#) e MDRR (Modified Deficit Round Robin)
- controllo congestione - [WRED \(Weighted Random Early Detection\)](#)
- altre funzionalità, quali [Access Lists \(ACLs\)](#) e [Committed Access Rate \(CAR\)](#)
- statistiche, ad esempio l'accounting [NetFlow](#) e Cisco Express Forwarding

Prima di procedere con l'architettura delle schede di linea, è importante comprendere le funzionalità specifiche di Cisco 12000. Possono essere suddivisi nelle seguenti categorie:

- Determinazione del percorso
- Cisco Express Forwarding
- Quality of Service (QoS), ad esempio la gestione delle congestioni

Determinazione del percorso

Il processo di determinazione del percorso per Cisco 12000 prevede le seguenti attività:

- Elaborazione dei protocolli di routing interno come Enhanced Interior Gateway Routing Protocol (EIGRP), Intermediate System-to-Intermediate System (IS-IS), Open Shortest Path First (OSPF)
- Elaborazione del protocollo gateway esterno, ad esempio Border Gateway Protocol (BGP)
- Emissione e risposta agli aggiornamenti del routing

- Creazione e gestione della tabella di routing
- Risoluzione route ricorsive
- Invio degli aggiornamenti alle tabelle di inoltra

Prima che il router 12000 possa inoltrare qualsiasi datagramma IP, il GRP deve creare una tabella di routing locale. Questa tabella di routing contiene le informazioni dell'hop successivo per il pacchetto IP in ingresso.

Il GRP crea e gestisce la tabella di routing elaborando i protocolli di routing interno, ad esempio Enhanced Interior Gateway Routing Protocol (EIGRP), Intermediate System-to-Intermediate System (ISIS), Open Shortest Path First (OSPF) e Border Gateway Protocol (BGP).

Questa tabella contiene tutte le voci e le metriche delle route (ad esempio, la lunghezza del percorso) necessarie per inoltrare un pacchetto IP. Inoltre, il GRP calcola tutte le route ricorsive che si verificano quando viene fornito il supporto sia per un protocollo interno che per un protocollo gateway esterno come BGP. Il GRP e le schede di linea utilizzano un nuovo metodo di commutazione distribuita denominato Distributed Cisco Express Forwarding (dCEF). Con questo metodo di switching distribuito, l'inoltra dei pacchetti, incluse le informazioni precalcolate sull'indirizzamento ricorsivo, viene inviato a ciascuna scheda di linea.

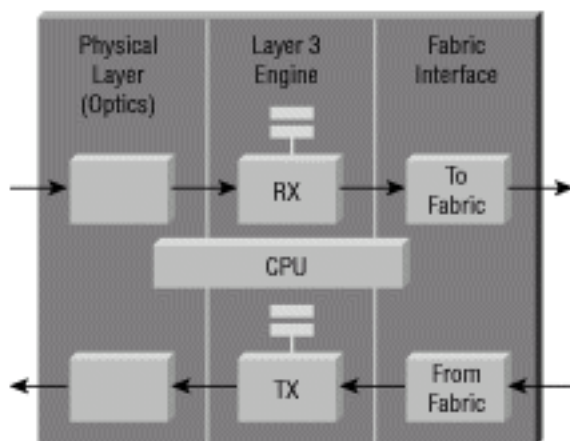
Cisco Express Forwarding

Per ulteriori informazioni su Cisco Express Forwarding, vedere [Informazioni su Cisco Express Forwarding su Cisco serie 12000 Internet Router](#).

Architettura della scheda di linea

Esistono diversi tipi di architettura di schede di linea in base al tipo di motore. La figura seguente mostra un diagramma comune generico per tutti i LC:

Diagramma scheda di linea



Ogni LC può essere diviso in tre sezioni principali:

- Physical Layer Interface Module (PLIM) - Modulo hardware che termina la connessione fisica (dipendente dal supporto; ATM (Asynchronous Transfer Mode), POS (Packet-over-SONET) e Fast Ethernet
- L3 Switching Engine - Questo motore di inoltra prepara i pacchetti per la trasmissione attraverso il fabric di switching al LC di destinazione. Gestisce ricerche L3, riscrittura,

buffering, controllo congestione e tutte le funzionalità L3, QoS. Esistono cinque tipi di motori di inoltro di pacchetti, vale a dire i motori 0, 1, 2, 3 e 4. Le schede di linea di questo tipo sono classificate dal tipo di motore di inoltro di pacchetti descritto nella tabella seguente.

- Fabric Interface - La FIA (Fabric Interface ASIC) prepara i pacchetti per la trasmissione attraverso il fabric di switching al LC di destinazione. Gestisce le richieste di concessione di infrastruttura, le code di struttura, la replica multicast per slot e così via.

Cisco serie 12000 offre un'ampia gamma di schede di linea, tra cui Core, Edge, Channelized Edge, Asynchronous Transfer Mode (ATM), Ethernet, Dynamic Packet Transport (DPT) e schede di linea di fine vendita. Queste schede di linea offrono prestazioni elevate, priorità garantita nella consegna dei pacchetti e nei servizi e funzionalità OIR (Insertion and Removal) trasparenti attraverso l'architettura di sistema distribuita Cisco serie 12000. Nelle tabelle seguenti sono elencate le schede di linea rilasciate al dicembre 2001 con il tipo di motore corrispondente:

[Schede di linea core](#)

Nome scheda di linea	Motore	Chassis supportato	Release IOS	Risorse
OC-48 POS ISE OC-48c/STM-16c POS/SDH ISE Line Card a 1 porta	Engine 3 (ISE)	Chassis 10G Chassis 2,5G	12.0(21)S 12.0(21)ST	Scheda tecnica
OC-48 POS OC-48c/STM-16c POS/SDH Line Card a 1 porta	Motore 2	Chassis 10G Chassis 2,5G	12.0(10)S 12.0(11)ST	Scheda tecnica
OC-48 POS OC-48c/STM-16c POS/SDH Line Card a 4 porte	Motore 4	Solo chassis 10G	12.0(15)S 12.0(17)ST	Scheda tecnica
OC-192 POS OC-192c/STM-64c POS/SDH Line Card a 1 porta	Motore 4	Solo chassis 10G	12.0(15)S 12.0(17)ST	Scheda tecnica

[Schede di linea perimetrali](#)

Nome scheda di linea	Motore	Chassis supportato	Release IOS	Risorse
Scheda di linea DS3 a sei porte a 6 porte	Motore 0	Chassis 10G Chassis 2,5G	12.0(10)S 12.0(11)ST	Scheda tecnica
Scheda di linea DS3 a 12 porte	Motore 0	Chassis 10G Chassis 2,5G	12.0(10)S 12.0(11)ST	Scheda tecnica
Scheda di linea E3 a	Motore	Chassis	12.0(1	Foglio

sei porte a 6 porte	ore 0	10G Chassis 2,5G	5)S 12.0(1 6)ST	dati (version e PDF)
Scheda di linea E3 a 12 porte	Mot ore 0	Chassis 10G Chassis 2,5G	12.0(1 5)S 12.0(1 6)ST	Foglio dati (version e PDF)
OC-3 POS OC- 3c/STM-1c POS/SDH Line Card a 4 porte	Mot ore 0	Chassis 10G Chassis 2,5G	12.0(0 5)S 12.0(1 1)ST	
OC-3 POS OC- 3c/STM-1c POS/SDH Line Card a 8 porte	Mot ore 2	Chassis 10G Chassis 2,5G	12.0(1 0)S 12.0(1 1)ST	Scheda tecnica
OC-3 POS Line Card a 16 porte OC-3c/STM- 1c POS/SDH	Mot ore 2	Chassis 10G Chassis 2,5G	12.0(1 0)S 12.0(1 1)ST	Scheda tecnica
OC-3 POS ISE OC- 3c/STM-1c POS/SDH ISE a 16 porte	Eng ine 3 (ISE)	Chassis 10G Chassis 2,5G	12.0(2 1)S 12.0(2 1)ST	Scheda tecnica
OC-12 POS OC- 12c/STM-4c POS/SDH Line Card a 1 porta	Mot ore 0	Chassis 10G Chassis 2,5G	12.0(1 0)S 12.0(1 1)ST	Scheda tecnica
OC-12 POS OC- 12c/STM-4c POS/SDH Line Card a 4 porte	Mot ore 2	Chassis 10G Chassis 2,5G	12.0(1 0)S 12.0(1 1)ST	Scheda tecnica
OC-12 POS ISE OC- 12c/STM-4c POS/SDH ISE Line Card a 4 porte	Eng ine 3 (ISE)	Chassis 10G Chassis 2,5G	12.0(2 1)S 12.0(2 1)ST	Scheda tecnica
OC-48 POS ISE OC- 48c/STM-16c POS/SDH ISE Line Card a 1 porta	Eng ine 3 (ISE)	Chassis 10G Chassis 2,5G	12.0(2 1)S 12.0(2 1)ST	Scheda tecnica

[Schede di linea per bordi canalizzati](#)

Nome scheda di linea	Mo tor e	Chassi s suppor tato	Rele ase IOS	Ris ors e
Scheda di linea Channelized	Mo	Chassi	12.0(Sc

OC-3/STM-1(DS1/E1) a 2 porte CHOC-3, DS1/E1	Motor e 0	Chassis 10G Chassis 2,5G	17)S 12.0(17)S T	he da tec nic a
Scheda di linea Channelized OC-12 (DS3) a 1 porta e DS3	Motor e 0	Chassis 10G Chassis 2,5G	12.0(05)S 12.0(11)S T	Sc he da tec nic a
Scheda di linea Channelized OC-12/STM-4 (OC-3/STM-1) a 1 porta e OC-3	Motor e 0	Chassis 10G Chassis 2,5G	12.0(05)S 12.0(11)S T	Sc he da tec nic a
CHOC-12 ISE Channelized OC- 12/STM-4 (DS3/E3, OC- 3c/STM-1c) POS/SDH ISE a 4 porte	Engin e 3 (IS E)	Chassis 10G Chassis 2,5G	12.0(21)S 12.0(21)S T	Sc he da tec nic a
CHOC-48 ISE Channelized OC- 48/STM-16 (DS3/E3, OC- 3c/STM-1c, OC-12c/STM-4c) POS/SDH ISE Line Card a 1 porta	Engin e 3 (IS E)	Chassis 10G Chassis 2,5G	12.0(21)S 12.0(21)S T	Sc he da tec nic a
Scheda Di Linea Channelized T3 (T1) A Sei Porte Ch T3 A 6 Porte	Motor e 0	Chassis 10G Chassis 2,5G	12.0(14)S 12.0(14)S T	

[Schede di linea ATM \(Asynchronous Transfer Mode\)](#)

Nome scheda di linea	Motor e	Chassis supportato	Release IOS	Risor se
OC-3 ATM a 4 porte OC-3c/STM-1c ATM a 4 porte	Motor e 0	Chassis 10G Chassis 2,5G	12.0(5)S 12.0(11) ST	Sche da tec nic a
OC-12 ATM OC- 12c/STM-4c ATM a 1 porta	Motor e 0	Chassis 10G Chassis 2,5G	12.0(7)S 12.0(11) ST	Sche da tec nic a
OC-12 ATM OC- 12c/STM-4c ATM Line Card a 4 porte	Motor e 2	Chassis 10G Chassis	12.0(13) S 12.0(14)	Sche da tec nic

		2,5G	ST	a
--	--	------	----	-------------------

[Schede di linea Ethernet](#)

Nome scheda di linea	Motore	Chassis supportato	Release IOS	Risorse
FE a 8 porte con scheda di linea Fast Ethernet ECC a 8 porte	Motore 1	Chassis 10G Chassis 2,5G	12.0(10)S 12.0(16)ST	Scheda tecnica
GE a 1 porta con ECC Gigabit Ethernet Line Card a 1 porta	Motore 1	Chassis 10G Chassis 2,5G	12.0(10)S 12.0(16)ST	Scheda tecnica
Scheda di linea Gigabit Ethernet a 3 porte GE	Motore 2	Chassis 10G Chassis 2,5G	12.0(11)S 12.0(16)ST	Scheda tecnica
Gigabit Ethernet a 10 porte GE	Motore 4 con RX/TX+ /densità	Chassis 10G Chassis 2,5G	12.0(22)S 12.0(22)ST	Scheda tecnica

[Schede di linea DPT \(Dynamic Packet Transport\)](#)

Nome scheda di linea	Motore	Chassis supportato	Release IOS	Risorse
OC-12 DPT a 2 porte OC-12c/STM-4c DPT a 2 porte	Motore 1	Chassis 10G Chassis 2,5G	12.0(10)S 12.0(11)ST	Annuncio foglio dati
OC-48 DPT a 1 porta OC-48c/STM-16c DPT a 1 porta	Motore 2	Chassis 10G Chassis 2,5G	12.0(15)S 12.0(16)ST	Annuncio foglio dati

[Schede di linea fine vendita \(EOS\)](#)

Le seguenti schede di linea non sono più in vendita. Sono elencati qui solo per riferimento.

Nome scheda di linea	Motore	Chassis supportato	Release IOS
OC-192c/STM-64c Enabler Card a 1 porta OC-192c/STM-64c POS/Enabler Card a 1 porta	Motore 2	Chassis 10G Chassis 2,5G	12.0(10)S 12.0(11)ST

È possibile ottenere tutti i fogli dati disponibili dalla pagina [Documentazione](#) del [prodotto](#).

Nota: le schede di linea del motore 3 sono in grado di eseguire le funzioni edge alla velocità della linea. Più alto è il motore del livello 3, maggiore è il numero di pacchetti commutati nell'hardware.

Gli unici elementi che distinguono realmente una scheda di linea dall'altra sono il modulo PLIM (Physical Layer Interface Module) e il motore di inoltro di livello 3. Le schede di linea variano in base ai PLIM solo all'interno dello stesso motore di inoltro L3. I PLIM hanno componenti dipendenti dai supporti (ad esempio, il PLIM ATM (Asynchronous Transfer Mode) ha una segmentazione e un riassettaggio (SAR), mentre il PLIM GigE ha un Media Access Control Application-Specific Integrated Circuit - MAC ASIC), ma la teoria del percorso dei pacchetti in tutti i PLIM è molto simile. Questo documento si concentra sul PLIM Packet Over SONET (POS), ma si notano differenze utili quando applicabili.

Per determinare il tipo di motore di layer 3 di una scheda di linea, il software Cisco IOS versione 12.0(9)S ha aggiunto il tipo "L3 Engine" all'output del comando **show diag**, come mostrato di seguito:

```
SLOT 1 (RP/LC 1 ): 1 Port Packet Over SONET OC-12c/STM-4c Single Mode
  MAIN: type 34, 800-2529-02 rev C0 dev 16777215
        HW config: 0x00 SW key: FF-FF-FF
  PCA:  73-2184-04 rev D0 ver 3
        HW version 1.1 S/N CAB0242ADZM
  MBUS: MBUS Agent (1) 73-2146-07 rev B0 dev 0
        HW version 1.2 S/N CAB0236A4LE
        Test hist: 0xFF RMA#: FF-FF-FF RMA hist: 0xFF
  DIAG: Test count: 0xFFFFFFFF Test results: 0xFFFFFFFF
  L3 Engine: 0 - OC12 (622 Mbps)
  !--- Engine 0 card. MBUS Agent Software version 01.40 (RAM) (ROM version is 02.02) Using CAN
  Bus A ROM Monitor version 10.00 Fabric Downloader version used 13.01 (ROM version is 13.01)
  Primary clock is CSC 1 Board is analyzed Board State is Line Card Enabled (IOS RUN ) Insertion
  time: 00:00:11 (2wld ago) DRAM size: 268435456 bytes FrFab SDRAM size: 67108864 bytes ToFab
  SDRAM size: 67108864 bytes 0 crashes since restart
```

È disponibile un comando di scelta rapida che è possibile utilizzare per ottenere lo stesso risultato, ma con solo le informazioni utili:

```
Router#show diag | i (SLOT | Engine)
```

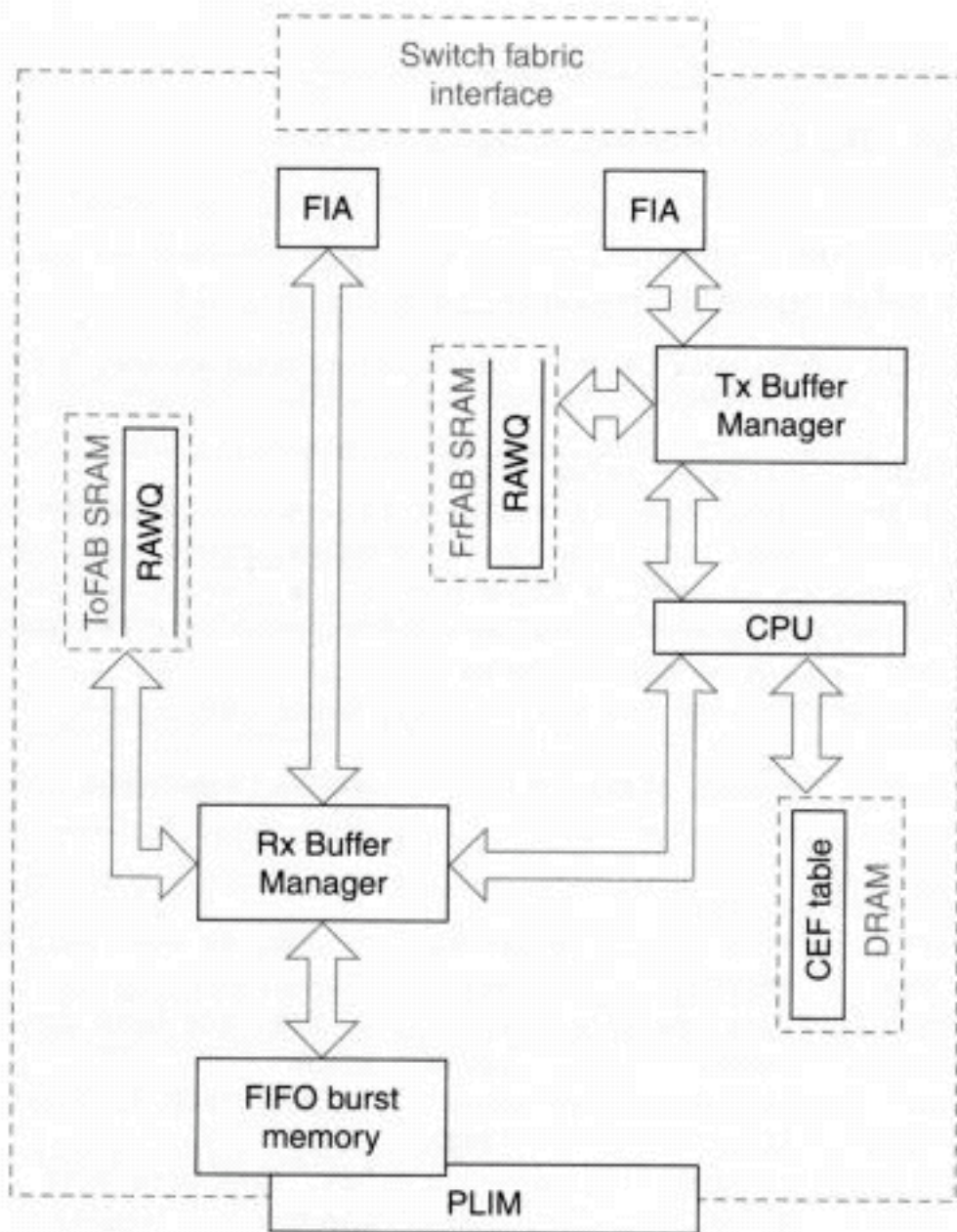
```
...
SLOT 1 (RP/LC 1 ): 1 port ATM Over SONET OC12c/STM-4c Multi Mode
  L3 Engine: 0 - OC12 (622 Mbps)
SLOT 3 (RP/LC 3 ): 3 Port Gigabit Ethernet
  L3 Engine: 2 - Backbone OC48 (2.5 Gbps)
...
```

Cisco offre cinque tipi di motori L3:

- **Motore 0 - OC12/BMA:** La ricerca IP/MPLS viene eseguita nel software da una CPU R5K. Questo motore utilizza l'ASIC (Buffer Management) legacy (BMA) che gestisce i buffer e i segmenti dei pacchetti e ricomponi i pacchetti per la trasmissione nell'infrastruttura dello switch. Il BMA ricevente è responsabile della ricezione dei pacchetti dal PLIM, segmentando i pacchetti in celle di dimensioni fisse e presentandoli all'ASIC (Fabric Interface) per la trasmissione attraverso il fabric di switching. Il BMA trasmittente, con l'aiuto della FIA, esegue il riassettaggio delle celle in arrivo dal fabric dello switch in pacchetti, e consegna i pacchetti al PLIM per la trasmissione dalla scatola. La maggior parte delle funzionalità di questa scheda

di linea sono implementate nel software.

- **Motore 1 - Salsa/BMA48 (TTM48):** Questo secondo motore è stato migliorato. In primo luogo, è stato sviluppato un nuovo ASIC per eseguire la ricerca IP nell'hardware. Questo nuovo ASIC si chiama Salsa. Solo la riscrittura MAC (Media Access Control) viene eseguita nel software di questo motore. Il BMA è stato inoltre aggiornato per ottenere una maggiore larghezza di banda. È ora denominato BMA48. Non esiste alcun supporto MDRR o WRED per questo motore. I motori di inoltro **Engine 0** e **Engine 1** sono illustrati con i relativi componenti chiave nella figura seguente: **Motore di inoltro pacchetti motore 0 e motore 1**

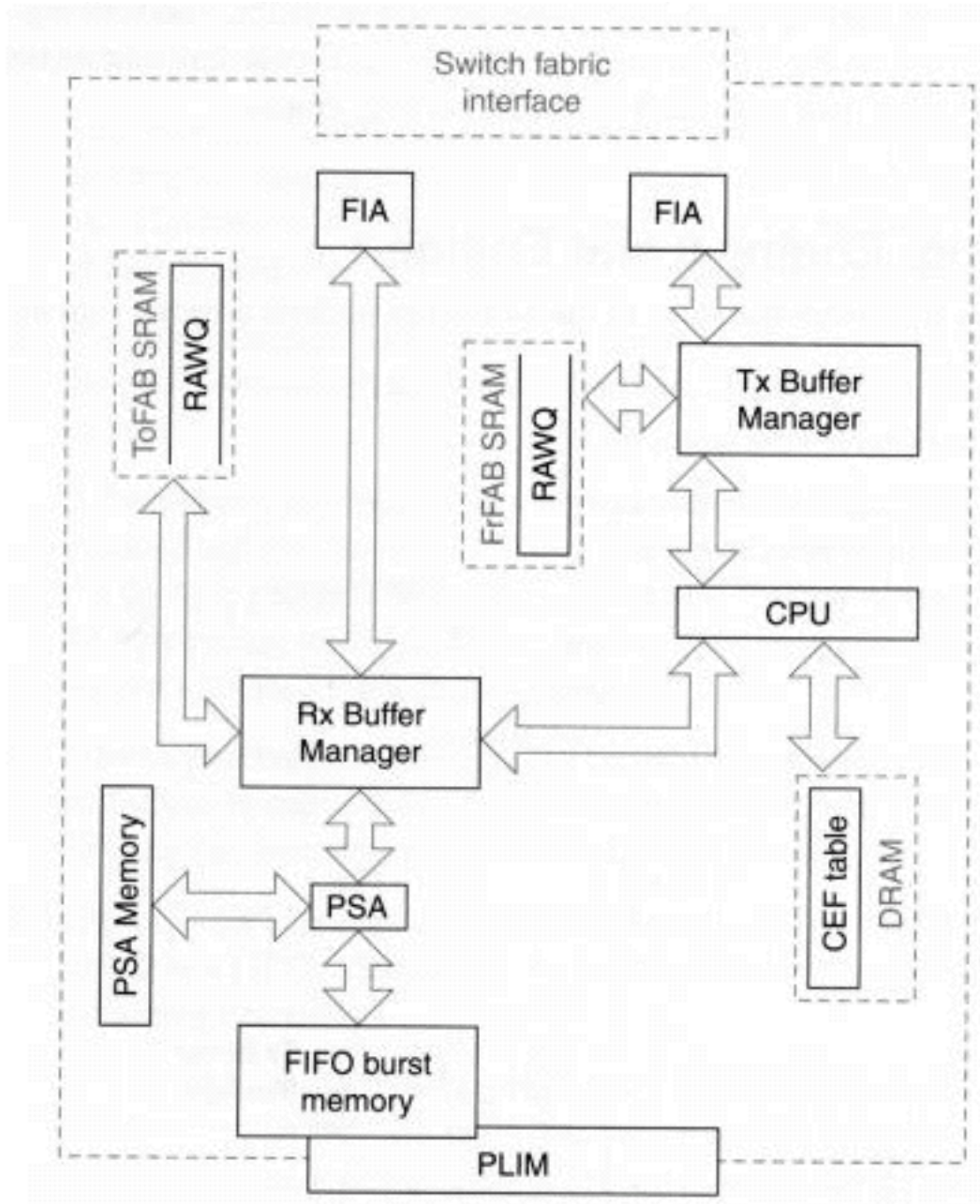


- **Motore 2 - PSA/TBM/RBM (Perf48):** Su questi LC è presente un nuovo ASIC per migliorare la modalità di ricerca IP/MPLS. Il PSA (Packet Switching ASIC) esegue una ricerca e riscrittura hardware dei pacchetti IP e delle etichette. A tal fine, il PSA utilizza una copia locale distillata della tabella FIB (**show ip psa a.b.c.d**). Tutta la commutazione di pacchetto su un LC Engine 2 viene eseguita nell'hardware dal PSA. La CPU sulla scheda LC viene interrotta per una decisione di inoltro pacchetti solo se sulla scheda di linea è configurata una funzionalità non supportata dal PSA. Questa tabella PSA è memorizzata nella memoria esterna che è presente solo sui LC del motore 2.

```
Router#exec slot 11 show controller psa mem
===== Line Card (Slot 11) =====
```

PLU SDRAM: Size 0x4000000, Banks 4
TLU SDRAM: Size 0x4000000, Banks 4
PSA SSRAM: Size 0x100000

La memoria del pacchetto è stata aumentata per impostazione predefinita a 256 MB e può raggiungere i 512 MB. Sono inoltre disponibili nuovi ASIC Rx e Tx Buffer Manager (denominati rispettivamente RBM e TBM) che rappresentano una chiave per il supporto basato su hardware delle funzionalità CoS (Class of Service) su questo LC: WRED e MDRR vengono eseguiti nell'hardware. CAR non è disponibile, ma è possibile configurare un sottoinsieme di CAR noto come Per-Interface Rate Control (PIRC). A partire dalla versione 12.0(14)S del software Cisco IOS, il flusso di rete campionato è supportato sulle schede di linea POS (Packet-over-SONET) del motore 2. La funzione Sampled NetFlow consente di campionare uno dei "x" pacchetti IP da inoltrare ai router, permettendo all'utente di definire l'intervallo "x" con un valore tra un minimo e un massimo. I pacchetti di campionamento vengono presi in considerazione nella cache NetFlow del router. Questi pacchetti di campionamento riducono notevolmente l'utilizzo della CPU necessario per tenere conto dei pacchetti NetFlow, consentendo di commutare più rapidamente la maggior parte dei pacchetti perché non devono passare attraverso un'ulteriore elaborazione NetFlow. Per ulteriori informazioni, vedere [NetFlow campionato](#). A partire dalla versione software Cisco IOS 12.0(16)S, il flusso di rete campionato è supportato sulle schede di linea Gigabit Ethernet a 3 porte. A partire dalla versione software Cisco IOS 12.0(18)S, gli Access Control List (ACL) NetFlow e 128 campionati su PSA possono ora essere configurati contemporaneamente su schede di linea POS (Packet-over-SONET) Engine 2. Tutto viene commutato attraverso il PSA, ad eccezione di alcune funzionalità che devono passare alla CPU locale del LC: CAR di output, pacchetti con elenchi degli accessi applicati se non rientrano nelle restrizioni PSA, traffico di opzioni/non transito, pacchetti multicast, pacchetti IPv6 e così via. L'output CAR è stato sostituito dal DTS (Distributed Traffic Shaping) a partire dal software Cisco IOS versione 12.0(16)S. Per ulteriori informazioni, consultare il documento [Distributed Traffic Shaping for Line Card nel Cisco serie 12000 Internet Router](#). Il supporto per gli ACL è stato modificato nell'hardware delle schede del motore 2. Se non si desidera configurarli, aggiungere la riga **no access-list hard psa** alla configurazione. Di seguito è riportato lo schema di un motore di inoltro Engine 2 e dei suoi componenti chiave: **Motore di inoltro pacchetti Engine 2**



- **Motore 3** - Motore Edge: Questo motore è un motore di layer 3 completamente nuovo. Dispone inoltre della larghezza di banda OC48, ma integra alcuni nuovi ASIC per migliorare la velocità di inoltro con qualsiasi funzionalità QoS e ACL. Le schede di linea del motore 3 sono in grado di eseguire feature di spigolo a velocità di linea.
- **Motore 4** - Backbone OC192: Questi ultimi LC non sono supportati nei router serie 12008 e 12012. Supportano la velocità della linea OC192.
- **Motore 4+** - Come il Motore 4, con la differenza che supportano molte altre funzionalità a velocità di linea.

[Installazione scheda di linea](#)

Di seguito sono riportati i collegamenti relativi all'installazione e alla configurazione di LC e supporto LC per chassis diversi:

- [Note sull'installazione e sulla configurazione della scheda di linea Cisco 12000](#)

Per ulteriori informazioni sui tipi di memoria disponibili sulle schede di linea, vedere [Memoria presente sulle schede di linea](#).

Informazioni correlate

- [Cisco serie 12000 Internet Router Architecture - Chassis](#)
- [Cisco serie 12000 Internet Router Architecture - Switch Fabric](#)
- [Cisco serie 12000 Internet Router Architecture - Route Processor](#)
- [Cisco serie 12000 Internet Router Architecture - Dettagli sulla memoria](#)
- [Cisco serie 12000 Internet Router Architecture - Bus di manutenzione, alimentatori e ventilatori e schede di allarme](#)
- [Cisco serie 12000 Internet Router Architecture - Panoramica del software](#)
- [Cisco serie 12000 Internet Router Architecture - Packet Switching](#)
- [Informazioni su Cisco Express Forwarding \(CEF\)](#)
- [Documentazione e supporto tecnico – Cisco Systems](#)