

Comprensione e tuning del valore di limite degli anelli di trasmissione

Sommario

[Introduzione](#)

[Prerequisiti](#)

[Requisiti](#)

[Componenti usati](#)

[Convenzioni](#)

[Informazioni sulle particelle](#)

[Informazioni sugli anelli dei buffer](#)

[Panoramica dell'architettura PA-A3](#)

[Schema di allocazione ad anello di trasmissione sull'adattatore PA-A3](#)

[Visualizzazione dei valori correnti dell'anello di trasmissione](#)

[Quando Sintonizzare la ghiera di trasmissione?](#)

[Impatto dei valori limite degli anelli di trasmissione molto piccoli](#)

[Problemi noti](#)

[Regolazione del limite di trasmissione su router 3600 e 2600](#)

[Informazioni correlate](#)

Introduzione

In questo documento viene descritta la funzione di un anello di trasmissione hardware e lo scopo del comando **tx-ring-limit** sull'hardware di interfaccia del router ATM che supporta le code per circuito virtuale (VC).

Le interfacce del router Cisco configurate con i criteri di servizio archiviano i pacchetti per un VC ATM in uno dei due gruppi di code a seconda del livello di congestione del VC:

Coda	Posizione	Metodi di accodamento	Applicazione dei criteri dei servizi	Comando da ottimizzare
Coda hardware o anello di trasmissione	Adattatore porta o modulo di rete	Solo FIFO	No	tx-ring-limit
Coda di	Sistema del	N/D	Sì	Varia a

livello 3	processore di layer 3 o buffer di interfaccia			seconda del metodo di coda: - vc-hold-queue - queue-limit
-----------	---	--	--	---

Prerequisiti

Requisiti

Nessun requisito specifico previsto per questo documento.

Componenti usati

Il documento può essere consultato per tutte le versioni software o hardware.

Convenzioni

Per ulteriori informazioni sulle convenzioni usate, consultare il documento [Cisco sulle convenzioni nei suggerimenti tecnici](#).

Informazioni sulle particelle

Prima di parlare dell'anello di trasmissione, dobbiamo capire cosa sia una particella. Una particella forma il blocco base della memorizzazione di pacchetti in molte piattaforme, tra cui la serie Cisco 7200 router e il versatile interface processor (VIP) sulla serie Cisco 7500 router.

A seconda della lunghezza del pacchetto, il software Cisco IOS® utilizza una o più particelle per memorizzare un pacchetto. Vediamo un esempio. Quando riceve un pacchetto da 1200 byte, IOS recupera la particella libera successiva e copia i dati del pacchetto nella particella. Quando la prima particella è riempita, IOS si sposta alla particella libera successiva, la collega alla prima particella e continua a copiare i dati in questa seconda particella. Al termine, i 1200 byte del pacchetto vengono archiviati in tre parti di memoria non contigue che IOS logicamente rende parte di un singolo buffer di pacchetto.

Le dimensioni delle particelle IOS variano da piattaforma a piattaforma. Tutte le particelle all'interno di un dato pool hanno le stesse dimensioni. Questa uniformità semplifica gli algoritmi di gestione delle particelle e contribuisce a un uso efficiente della memoria.

Informazioni sugli anelli dei buffer

Insieme ai pool di interfacce pubbliche e private, Cisco IOS crea speciali strutture di controllo del buffer chiamate anelli. Cisco IOS e i controller di interfaccia utilizzano questi anelli per controllare i buffer utilizzati per ricevere e trasmettere i pacchetti ai supporti. Gli anelli stessi sono costituiti da elementi specifici dei controller multimediali che puntano a singoli buffer di pacchetto in altre parti della memoria I/O.

Ogni interfaccia ha una coppia di anelli, un anello di ricezione per la ricezione dei pacchetti e un

anello di trasmissione per la trasmissione dei pacchetti. Le dimensioni degli anelli possono variare a seconda del controller di interfaccia. In generale, le dimensioni dell'anello di trasmissione si basano sulla larghezza di banda dell'interfaccia o del VCI e sono una potenza di due (Cisco Bug ID CSCdk17210).

Interfaccia	Anelli					
Velocità linea (MB/s) <	2	10	20	30	40	...
conteggio	2	4	8	16	32	64

Nota: sulla piattaforma della serie 7200, i buffer dei pacchetti dell'anello di trasmissione provengono dall'anello di ricezione dell'interfaccia di origine di un pacchetto commutato o da un pool pubblico se il pacchetto è stato originato da IOS. Vengono deallocati dall'anello di trasmissione e restituiti al pool originale dopo la trasmissione dei dati del payload.

[Panoramica dell'architettura PA-A3](#)

Per garantire prestazioni di inoltro elevate, l'adattatore della porta PA-A3 utilizza chip separati per la ricezione e la trasmissione, la segmentazione e il riassettaggio (SAR). Ogni SAR è supportato dal proprio sottosistema di memoria integrata per memorizzare i pacchetti e le strutture di dati chiave come la tabella VC. Questa memoria include in particolare 4 MB di SDRAM, che vengono suddivisi in particelle.

La tabella seguente mostra il numero e le dimensioni delle particelle sui percorsi di ricezione e trasmissione su PA-A3.

Anello	Dimensioni delle particelle	Numero di particelle
Receive Ring	288 byte	n/d
Transmit Ring	576* byte	6000 (144 particelle sono riservate)

* Anche le dimensioni delle particelle dell'anello di trasmissione sono descritte come 580 byte. Questo valore include l'intestazione core ATM da 4 byte che viaggia con il pacchetto all'interno del router.

Le dimensioni nella tabella precedente sono state selezionate perché sono divisibili per 48 (le dimensioni del campo payload di una cella) e per le dimensioni della riga della cache (32 byte) per ottenere le massime prestazioni. Sono progettate per evitare che il SAR introduca un ritardo tra i buffer quando un pacchetto richiede più buffer. È stata selezionata anche la dimensione delle particelle di trasmissione di 576 byte per coprire circa il 90% dei pacchetti Internet.

[Schema di allocazione ad anello di trasmissione sull'adattatore PA-A3](#)

Il driver PA-A3 assegna un valore predefinito dell'anello di trasmissione a ciascun VC. Questo valore varia a seconda della categoria di servizi ATM assegnata al sistema VC. Nella tabella seguente vengono elencati i valori predefiniti.

Categoria servizio VC	PA-A3-OC3, T3, E3 Valore predefinito dell'anello di trasmissione	Valore predefinito dell'anello di trasmissione PA-A3-IMA	Valore predefinito dell'anello di trasmissione PA-A3-OC12	Ora di applicazione
VBR-nrt	In base alla formula**: $(48 \times \text{SCR}) / (\text{Particle_size} \times 5)$ Il valore minimo è 40 e sostituisce qualsiasi valore calcolato inferiore a 40 con un SCR molto basso. Nota: SCR è la frequenza cellulare con sovraccarico ATM incluso.	In base alla formula: $(48 \times \text{SCR}) / (\text{Particle_size} \times 5)$ Il valore minimo è 40 e sostituisce qualsiasi valore calcolato inferiore a 40 con un SCR molto basso. Nota: SCR è la frequenza cellulare con sovraccarico ATM incluso.	In base alla formula seguente: Velocità media (SCR) * 2 * $\text{TOTAL_CREDITS} / \text{VISIBLE_BANDWIDTH}$ $\text{TOTAL_CREDITS} = 8192$ $\text{VISIBLE_BANDWIDTH} = 599040$ Nota: Se questa formula calcola un valore inferiore al valore predefinito di 128, il limite dell'anello di trasmissione del VC è impostato su 128.	Sempre
ABR	128	128	N/D	Sempre*
UBR	40	128	128	Solo quando l'utilizzo del credito totale supera il 75% o il valore tx_threshold,

				come mostr ato in show contro ller atm.
--	--	--	--	---

* In origine, PA-A3-OC12 non implementava la limitazione sempre attiva dei PVC VBR-nrt al valore corrente dell'anello di trasmissione. Per risolvere il problema, consultare l'ID bug CSCdx11084. .

** Il valore SCR deve essere espresso in celle al secondo.

Visualizzazione dei valori correnti dell'anello di trasmissione

In origine, il valore dell'anello di trasmissione era visibile solo tramite un comando nascosto. Il comando **show atm vc {vcd}** visualizza il valore corrente.

È inoltre possibile utilizzare il comando **debug atm events** per visualizzare i messaggi di installazione del VC tra il driver PA-A3 e la CPU dell'host. I seguenti gruppi di output sono stati acquisiti su un PA-A3 in un router serie 7200. Il valore dell'anello di trasmissione viene visualizzato come valore **tx_limit**, che implementa la quota del buffer di particelle assegnata a un VC specifico nella direzione di trasmissione.

PVC 1/100 è configurato come VBR-nrt. In base a un SCR di 3500 kbps, PA-A3 assegna un **tx_limit** di 137. Per vedere come viene eseguito questo calcolo, è necessario convertire un SCR di 3500 kbps in celle/sec. Si noti che $(3.500.000 \text{ bit/sec}) * (1 \text{ byte} / 8 \text{ bit}) * (1 \text{ cella} / 53 \text{ byte}) = (3, 500, 000 \text{ celle}) / (8 * 53 \text{ sec}) = 8254 \text{ celle} / \text{sec}$. Una volta ottenuto il valore SCR nelle celle / sec, è possibile applicare la formula precedente a $\text{get tx_limit} = 137$.

```
7200-17(config)#interface atm 4/0
  7200-17(config-if)#pvc 1/100
7200-17(config-if-atm-vc)#vbr-nrt 4000 3500 94
7200-17(config-if-atm-vc)#
*Oct 14 17:56:06.886: Reserved bw for 1/100 Available bw = 141500
7200-17(config-if-atm-vc)#exit
7200-17(config-if)#logging
*Oct 14 17:56:16.370: atmdx_setup_vc(ATM4/0): vc:6 vpi:1 vci:100 state:2 config_status:0
*Oct 14 17:56:16.370: atmdx_setup_cos(ATM4/0): vc:6 wred_name:- max_q:0
*Oct 14 17:56:16.370: atmdx_pas_vc_setup(ATM4/0): vcd 6, atm_hdr 0x00100640, mtu 4482
*Oct 14 17:56:16.370: VBR: pcr 9433, scr 8254, mbs 94
*Oct 14 17:56:16.370:   vc tx_limit=137, rx_limit=47
*Oct 14 17:56:16.374: Created 64-bit VC count
```

PVC 1/101 è configurato come ABR. PA-A3 assegna il valore predefinito di ABR **tx_limit** pari a 128. Vedere la tabella [precedente](#).

```
7200-17(config-if)#pvc 1/102
7200-17(config-if-atm-vc)#abr ?
  <1-155000>   Peak Cell Rate(PCR) in Kbps
  rate-factors Specify rate increase and rate decrease factors (inverse)
7200-17(config-if-atm-vc)#abr 4000 1000
7200-17(config-if-atm-vc)#
```

```
*Oct 14 17:57:45.066: Reserved bw for 1/102 Available bw = 140500
*Oct 14 18:00:11.662: atmdx_setup_vc(ATM4/0): vc:8 vpi:1 vci:102 state:2 config_status:0
*Oct 14 18:00:11.662: atmdx_setup_cos(ATM4/0): vc:8 wred_name:- max_q:0
*Oct 14 18:00:11.662: atmdx_pas_vc_setup(ATM4/0): vcd 8, atm_hdr 0x00100660, mtu 4482
*Oct 14 18:00:11.662: ABR: pcr 9433, mcr 2358, icr 9433
*Oct 14 18:00:11.662: vc tx_limit=128, rx_limit=47
*Oct 14 18:00:11.666: Created 64-bit VC counters
```

PVC 1/102 è configurato come UBR. PA-A3 assegna il valore predefinito di UBR tx_limit pari a 40. Vedere la [tabella](#) precedente.

```
7200-17(config-if)#pvc 1/101
7200-17(config-if-atm-vc)#ubr 10000
7200-17(config-if-atm-vc)#
*Oct 14 17:56:49.466: Reserved bw for 1/101 Available bw = 141500
*Oct 14 17:57:03.734: atmdx_setup_vc(ATM4/0): vc:7 vpi:1 vci:101 state:2 config_status:0
*Oct 14 17:57:03.734: atmdx_setup_cos(ATM4/0): vc:7 wred_name:- max_q:0
*Oct 14 17:57:03.734: atmdx_pas_vc_setup(ATM4/0): vcd 7, atm_hdr 0x00100650, mtu 4482
*Oct 14 17:57:03.734: UBR: pcr 23584
*Oct 14 17:57:03.734: vc tx_limit=40, rx_limit=117
*Oct 14 17:57:03.738: Created 64-bit VC counters
```

Lo scopo di tx_limit è quello di implementare uno schema di allocazione della memoria o del credito di trasmissione per VC che impedisca a tutte le VC che hanno una sottoscrizione troppo elevata di acquisire tutte le risorse del buffer del pacchetto e di trasmettere il traffico normale nell'ambito dei contratti di traffico.

L'PA-A3 implementa un controllo del credito della memoria a due condizioni:

- Quota individuale per ogni VC VBR-nrt e ABR - Confronta i valori tx_count e tx_limit di ogni VC. Elimina i pacchetti successivi quando il valore tx_count è maggiore del valore tx_limit su un VC. È importante notare che una frammentazione di pacchetti può superare la ghiera di trasmissione di un VBR-nrt VC in un istante e causare perdite di uscita.
- Quota globale: considera il valore tx_threshold. L'PA-A3 consente picchi più consistenti sui VC UBR imponendo il monitoraggio del traffico su tali VC solo quando l'utilizzo totale del buffer del pacchetto sull'PA-A3 raggiunge questa soglia preimpostata.

Nota: se un pacchetto richiede più particelle e l'anello di trasmissione è pieno, il PA-A3 permette a un VC di superare la sua quota se le particelle sono disponibili. Questo schema è progettato per supportare una piccola raffica di pacchetti senza perdite di output.

Il comando **show controller atm** visualizza diversi contatori rilevanti per la trasmissione dei crediti.

```
7200-17#show controller atm 4/0
Interface ATM4/0 is up
Hardware is ENHANCED ATM PA - OC3 (155000Kbps)
Framer is PMC PM5346 S/UNI-155-LITE, SAR is LSI ATMIZER II
Firmware rev: G125, Framer rev: 0, ATMIZER II rev: 3
idb=0x622105EC, ds=0x62217DE0, vc=0x62246A00
slot 4, unit 9, subunit 0, fci_type 0x0059, ticks 190386
1200 rx buffers: size=512, encap=64, trailer=28, magic=4
Curr Stats:
VCC count: current=7, peak=7
SAR crashes: Rx SAR=0, Tx SAR=0
rx_cell_lost=0, rx_no_buffer=0, rx_crc_10=0
rx_cell_len=0, rx_no_vcd=0, rx_cell_throttle=0, tx_aci_err=0
Rx Free Ring status:
base=0x3E26E040, size=2048, write=176
```

```

Rx Compl Ring status:
  base=0x7B162E60, size=2048, read=1200
Tx Ring status:
  base=0x3E713540, size=8192, write=2157
Tx Compl Ring status:
  base=0x4B166EA0, size=4096, read=1078
BFD Cache status:
  base=0x62240980, size=6144, read=6142
Rx Cache status:
  base=0x62237E80, size=16, write=0
Tx Shadow status:
  base=0x62238900, size=8192, read=2143, write=2157
Control data:
  rx_max_spins=3, max_tx_count=17, tx_count=14
  rx_threshold=800, rx_count=0, tx_threshold=4608
  tx bfd write indx=0x4, rx_pool_info=0x62237F20

```

La tabella seguente descrive i valori utilizzati dall'PA-A3 per applicare lo schema di credito di trasmissione complessivo:

Valore	Descrizione
max_tx_count	Istogramma del numero massimo di particelle di trasmissione mai contenute nel microcodice PA-A3.
conteggio_tx	Numero totale di particelle di trasmissione attualmente detenute dal microcodice PA-A3. Nota: il microcodice PA-A3 rileva anche il conteggio_tx di ciascun VC. Quando una particella viene inviata al microcodice PA-A3 dal driver PA-A3, tx_count aumenta di uno.
tx_threshold	Quando la quantità totale di buffer di pacchetti liberi scende al di sotto di questa soglia, il PA-A3 applica il credito di trasmissione sui VC UBR. Si noti che la PA-A3 applica sempre i crediti di trasmissione dei VBR e dei VC ABR.

[Quando Sintonizzare la ghiera di trasmissione?](#)

L'anello di trasmissione serve come area di gestione temporanea per i pacchetti in linea da trasmettere. Il router deve accodare un numero sufficiente di pacchetti sul ring di trasmissione e assicurarsi che il driver di interfaccia abbia dei pacchetti con cui riempire i lotti di tempo delle celle disponibili.

In origine, il driver PA-A3 non ha regolato le dimensioni dell'anello di trasmissione quando è stato applicato un criterio di servizio con LLQ (Low Latency Queueing). Con le immagini correnti, PA-A3 ottimizza il valore dai valori predefiniti (Cisco Bug ID CSCds63407) per ridurre al minimo il ritardo relativo alla coda.

Il motivo principale per cui si sintonizza l'anello di trasmissione è la riduzione della latenza causata dall'accodamento. Quando si regola l'anello di trasmissione, tenere presente quanto segue:

- Su qualsiasi interfaccia di rete, la coda forza la scelta tra la latenza e la quantità di burst che l'interfaccia può sostenere. Le code di dimensioni maggiori supportano burst più lunghi e

aumentano il ritardo. Sintonizzare le dimensioni di una coda quando si ritiene che il traffico del VC stia subendo un ritardo non necessario.

- Considerare le dimensioni del pacchetto. Configurare un valore **tx-ring-limit** per gestire quattro pacchetti. Ad esempio, se i pacchetti sono da 1500 byte, impostare un valore tx-ring-limit di $16 = (4 \text{ pacchetti}) * (4 \text{ particelle})$.
- Accertarsi che il credito di trasmissione sia abbastanza grande da supportare un pacchetto di dimensioni MTU e/o il numero di celle uguale alle dimensioni massime della frammentazione (MBS) per un PVC VBR-nrt.
- Configurare un valore basso con VC con larghezza di banda ridotta, ad esempio un SCR da 128 kbps. Ad esempio, in un VC a bassa velocità con SCR di 160 kbps, il limite di tx-ring di 10 è relativamente alto e può causare una latenza significativa (ad esempio, centinaia di millisecondi) nella coda a livello di driver. In questa configurazione, regolare il limite dell'anello tx al valore minimo.
- Configurare valori più elevati per i VC ad alta velocità. Se si seleziona un valore inferiore a quattro, il sistema VC non sarà in grado di trasmettere alla velocità configurata se il PA-A3 implementa una contropressione troppo aggressiva e l'anello di trasmissione non dispone di una fornitura pronta di pacchetti in attesa di essere trasmessi. Accertarsi che un valore basso non influisca sulla velocità effettiva di VC. (Vedere l'ID bug Cisco CSCdk17210).

In altre parole, la dimensione dell'anello di trasmissione deve essere sufficientemente piccola da evitare l'introduzione della latenza dovuta all'accodamento e deve essere sufficientemente grande da evitare cadute e un conseguente impatto sui flussi basati su TCP.

Un'interfaccia rimuove prima i pacchetti dal sistema di coda di layer 3 e quindi li accoda sul ring di trasmissione. I criteri del servizio si applicano solo ai pacchetti nelle code di livello 3 e sono trasparenti per l'anello di trasmissione.

L'accodamento sull'anello di trasmissione introduce un ritardo di serializzazione direttamente proporzionale alla profondità dell'anello. Un ritardo di serializzazione eccessivo può influire sui budget di latenza per le applicazioni sensibili al ritardo, ad esempio la voce. Pertanto, Cisco consiglia di ridurre le dimensioni dell'anello di trasmissione per i VC che trasportano la voce. Selezionare un valore in base alla quantità di ritardo di serializzazione, espressa in secondi, introdotta dall'anello di trasmissione. Utilizzare la formula seguente:

$$((P*8)*D)/S$$

P = Packet size in bytes. Multiply by eight to convert to bits.

D = Transmit-ring depth.

S = Speed of the VC in bps.

Nota: I pacchetti IP su Internet sono in genere di tre dimensioni: 64 byte (ad esempio, messaggi di controllo), 1500 byte (ad esempio, trasferimenti di file) o 256 byte (tutto il resto del traffico). Questi valori producono una dimensione complessiva tipica dei pacchetti Internet di 250 byte.

Nota: la tabella seguente riepiloga i vantaggi e gli svantaggi delle dimensioni maggiori o minori degli anelli di trasmissione:

Dimensioni dell'anello di trasmissione	Vantaggio	Svantaggio
--	-----------	------------

Valore elevato	Consigliato per i VC dati per supportare burst.	Sconsigliato per i sistemi di videoconferenza voce. Può introdurre maggiore latenza e jitter.
Valore basso	Consigliato per i sistemi di videoconferenza a voce, per ridurre il ritardo causato da code e jitter.	Non consigliato per i sistemi di videoconferenza ad alta velocità. Può introdurre un throughput ridotto se ottimizzato a un valore così basso che nessun pacchetto è pronto per essere inviato una volta che il filo è libero.

Per regolare le dimensioni dell'anello di trasmissione, usare il comando **tx-ring-limit** in modalità di configurazione VC.

```
7200-1(config-subif)#pvc 2/2
  7200-1(config-if-atm-vc)#?
  ATM virtual circuit configuration commands:
abr          Enter Available Bit Rate (pcr)(mcr)
broadcast    Pseudo-broadcast
class-vc     Configure default vc-class name
default      Set a command to its defaults
encapsulation Select ATM Encapsulation for VC
exit-vc      Exit from ATM VC configuration mode
ilmi         Configure ILMI management
inarp        Change the inverse arp timer on the PVC
no           Negate a command or set its defaults
oam          Configure oam parameters
oam-pvc      Send oam cells on this pvc
protocol     Map an upper layer protocol to this connection.
random-detect Configure WRED
service-policy Attach a policy-map to a VC
transmit-priority set the transmit priority for this VC
tx-ring-limit Configure PA level transmit ring limit
ubr          Enter Unspecified Peak Cell Rate (pcr) in Kbps.
vbr-nrt      Enter Variable Bit Rate (pcr)(scr)(bcs)
7200-1(config-if-atm-vc)#tx-ring-limit ?
<3-6000> Number (ring limit)
<cr>
```

Usare il comando **show atm vc** per visualizzare il valore attualmente configurato.

```
7200-1#show atm vc
VC 3 doesn't exist on interface ATM3/0
ATM5/0.2: VCD: 3, VPI: 2, VCI: 2
VBR-NRT, PeakRate: 30000, Average Rate: 20000, Burst Cells: 94
AAL5-LLC/SNAP, etype:0x0, Flags: 0x20, VCmode: 0x0
OAM frequency: 0 second(s)
PA TxRingLimit: 10
InARP frequency: 15 minutes(s)
Transmit priority 2
InPkts: 0, OutPkts: 0, InBytes: 0, OutBytes: 0
InPRoc: 0, OutPRoc: 0
InFast: 0, OutFast: 0, InAS: 0, OutAS: 0
InPktDrops: 0, OutPktDrops: 0
CrcErrors: 0, SarTimeOuts: 0, OverSizedSDUs: 0
OAM cells received: 0
```

```
OAM cells sent: 0
Status: UP
```

Inoltre, usare il comando `show atm pvc vpi/vci` per visualizzare i limiti correnti degli anelli di trasmissione e ricezione. Il seguente output è stato acquisito su un router serie 7200 con software Cisco IOS versione 12.2(10).

```
viking#show atm pvc 1/101
  ATM6/0: VCD: 2, VPI: 1, VCI: 101
UBR, PeakRate: 149760
AAL5-LLC/SNAP, etype:0x0, Flags: 0xC20, VCmode: 0x0
OAM frequency: 0 second(s), OAM retry frequency: 1 second(s), OAM retry
frequency: 1 second(s)
OAM up retry count: 3, OAM down retry count: 5
OAM Loopback status: OAM Disabled
OAM VC state: Not Managed
ILMI VC state: Not Managed
VC TxRingLimit: 40 particles
VC Rx Limit: 800 particles
```

[Impatto dei valori limite degli anelli di trasmissione molto piccoli](#)

Sul percorso di trasmissione, la CPU host trasferisce il payload dai buffer host ai buffer di particelle locali sull'PA-A3. Il firmware in esecuzione sull'PA-A3 memorizza nella cache diversi descrittori di buffer e li libera in un gruppo. Durante il periodo di caching, PA-A3 non accetta nuovi pacchetti anche se il contenuto della memoria locale è stato trasmesso sul cavo fisico. Lo scopo di questo schema è ottimizzare le prestazioni complessive. Pertanto, quando si configura un valore di limite degli anelli di tx non predefinito, considerare il ritardo restituito dal descrittore del buffer.

Inoltre, se si configura un valore **tx-ring-limit** per una particella con una dimensione di 576 byte, un pacchetto da 1500 byte viene rimosso dalla coda come segue:

1. Il driver PA-A3 mette in coda la prima particella nell'anello di trasmissione e ricorda che questo pacchetto è memorizzato in altre due particelle di memoria.
2. Al successivo svuotamento dell'anello di trasmissione, la seconda particella del pacchetto viene inserita nell'anello di trasmissione.
3. Al successivo svuotamento dell'anello di trasmissione, la terza particella viene inserita nell'anello di trasmissione.

Anche se l'anello di trasmissione è costituito da una sola particella da 576 byte, l'MTU/velocità della porta è ancora la latenza peggiore che si verifichi nell'anello di trasmissione.

[Problemi noti](#)

Quando il comando **tx-ring-limit** viene applicato a un VC tramite un'istruzione `vc-class`, PA-A3 non applica il valore configurato. Confermare questo risultato visualizzando il valore corrente nel comando **show atm vc detail**. L'ottimizzazione dell'anello di trasmissione con una classe `vc` è stata implementata nel software Cisco IOS versione 12.1 (Cisco Bug ID CSCdm93064). CSCdv59010 risolve un problema con il limite degli anelli di trasmissione in alcune versioni del software Cisco IOS versione 12.2. Quando si applica il comando **tx-ring-limit** tramite l'istruzione `vc-class` a un PVC ATM, le dimensioni dell'anello di trasmissione non vengono modificate. Confermare questo risultato utilizzando il comando **show atm vc detail** dopo aver applicato il comando tramite le coppie di comandi `vc-class` e `class-vc`.

Quando aggiunto a un PVC di un PA-A3 di un router Cisco serie 7200 con software Cisco IOS versione 12.2(1), il comando **tx-ring-limit** viene duplicato, come mostrato di seguito (Cisco Bug ID CSCdu19350).

```
interface ATM1/0.1 point-to-point
description dlci-101, cr3640
ip unnumbered Loopback0
pvc 0/101
tx-ring-limit 3
tx-ring-limit 3
```

La condizione è innocua e non influisce sul funzionamento del router.

L'ID bug Cisco CSCdv71623 risolve un problema con le perdite di output su un'interfaccia del bundle PPP a connessione multipla quando la velocità del traffico è molto inferiore alla velocità della linea. Questo problema è stato rilevato in CSCdv89201 su un'interfaccia ATM con un valore tx-ring-limit superiore a cinque. Il problema diventa particolarmente evidente quando la frammentazione è disabilitata o quando i pesi dei collegamenti (limiti delle dimensioni dei frammenti) sono grandi (comuni su collegamenti a velocità più elevate come T1 o E1) e il traffico di dati è costituito da una combinazione di pacchetti piccoli e grandi. L'attivazione della frammentazione e l'uso di una piccola dimensione del frammento (impostata con il comando di configurazione interfaccia **ppp multilink fragment delay**) migliorano notevolmente il funzionamento. Prima di usare questa soluzione, è tuttavia necessario verificare che il router disponga di una capacità di elaborazione sufficiente per supportare questi alti livelli di frammentazione senza sovraccaricare la CPU del sistema.

L'ID bug Cisco CSCdw29890 risolve un problema con il comando tx-ring-limit accettato dalla CLI per i bundle PVC ATM, ma non ha effetto. Tuttavia, in genere non è necessario modificare il **limite di ring-tx** sui bundle PVC ATM. Il motivo è che, riducendo le dimensioni dell'anello, tutta la memorizzazione della trasmissione viene spostata in una coda controllata da QoS, in modo che un pacchetto con priorità in arrivo venga trasmesso immediatamente per ridurre al minimo il ritardo sulle interfacce a bassa velocità. Con i bundle PVC ATM, le celle dei pacchetti di tutti i VC membri vengono sempre inviati contemporaneamente (e interlacciati), in modo che il ritardo venga ridotto automaticamente.

[Regolazione del limite di trasmissione su router 3600 e 2600](#)

Le immagini attuali del software Cisco IOS supportano la regolazione dell'anello di trasmissione sui moduli di rete ATM per i router Cisco serie 2600 e 3600 (Cisco Bug ID CSCdt73385). Il valore corrente viene visualizzato nell'output **show atm vc**.

[Informazioni correlate](#)

- [Ulteriori informazioni su ATM](#)
- [Strumenti e risorse - Cisco Systems](#)
- [Documentazione e supporto tecnico – Cisco Systems](#)