

Contenu

[Introduction](#)

[Problème](#)

[Solution](#)

[Cisco relatif prennent en charge des discussions de la Communauté](#)

Introduction

Le but de ce document est d'afficher comment modifier des mémoires tampons d'entrée sur Cisco Nexus 7000 (N7k) Cisco Nexus 7000 48-Port 1 et module des Ethernet 10 gigabits F2-Series (F2) et fibre améliorée 1 de Cisco Nexus 7000 F2-Series 48-Port et linecards du module d'Ethernet 10 gigabits (F2e) pour la ruelle virtuelle 3 (VL3).

En outre, vous verrez la quantité de capacité tampon d'entrée que vous gagnez pour VL3 après avoir modifié ces valeurs.

Problème

Utilisant la Fibre Channel au-dessus des connexions de multi-alimentation d'Ethernets (FCoE) entre les centres d'hébergement au-dessus des distances de plus grands que 2 kilomètres peuvent avoir comme conséquence les suppressions d'entrée. Par défaut, les linecards F2/F2e ont les pages 0 dans la mémoire tampon de latence pour aligner des paquets après pause est envoyés et ceci mènera aux suppressions d'entrée sur les interfaces de fond de connexion multiple entre deux noeuds de FCoE.

La mémoire tampon de latence est définie comme suit :

PL_STOP - HWM (PL_Pause) = livre (mémoire tampon de latence)

Vous noterez que les valeurs mentionnées ci-dessus sont affichées comme pages. Chaque page est approximativement 384 octets.

Avis ci-dessous, le pouvoir tampon d'entrée de VL3 avec la stratégie QoS par défaut de FCoE :

EX

```
module-10# show hardware internal mac port 1 qos configuration | begin IB | end EB IB Port
page limit : 3584 (1376256 Bytes) VL# HWM pages(bytes) LWM pages(bytes) Used PL_STOP(HWM &
LWM) SPAN pages THR 0 1107
( 425088) 1035 ( 397440) 0 1107 1035 100 1 2 ( 768) 1 (
384) 0 2 1 1 2 2 ( 768) 1 ( 384) 0 2
1 1 3 1053 ( 404352) 1029 ( 395136) 0 1053 1029 100 4 1107 (
425088) 1083 ( 415872) 0 1107 1083 100 5 231 ( 88704) 159 (
61056) 0 231 159 57 6 2 ( 768) 1 ( 384) 0 2
1 1 7 2 ( 768) 1 ( 384) 0 2 1 1 Credited
DWRR WT: 216 (0xd8) Uncredited DWRR WT: 144 (0x90) DWRR honor UC = FALSE Leak Lo weight =
0xd8, enabled = FALSE EB
```

PL_STOP et seuil supérieur (HWM) est de la même valeur. Voici que vous pouvez voir que la mémoire tampon de latence a les pages 0 par défaut. Pour prendre en charge FCoE de fond que

ces valeurs devront être modifiées.

Solution

D'abord vous devrez reproduire le policy-map de Qualité de service (QoS) 'default-4q-7e-in-policy' :

```
module-10# show hardware internal mac port 1 qos configuration | begin IB | end EB
IB      Port
page limit : 3584 (1376256 Bytes)  VL#  HWM pages(bytes)  LWM pages(bytes)  Used PL_STOP(HWM &
LWM) SPAN
pages
THR      0      1107
( 425088) 1035 ( 397440) 0      1107 1035 100      1      2 ( 768) 1 (
384) 0      2      1      1      2      2 ( 768) 1 ( 384) 0      2
1      1      3      1053 ( 404352) 1029 ( 395136) 0      1053 1029 100      4      1107 (
425088) 1083 ( 415872) 0      1107 1083 100      5      231 ( 88704) 159 (
61056) 0      231 159 57      6      2 ( 768) 1 ( 384) 0      2
1      1      7      2 ( 768) 1 ( 384) 0      2      1      1      Credited
DWRR WT: 216 (0xd8) Uncredited DWRR WT: 144 (0x90) DWRR honor UC = FALSE Leak Lo weight =
0xd8, enabled = FALSE EB
```

Au-dessous de vous verra la quantité d'octets alloués à la mémoire tampon de latence de VL3, après avoir modifié les stratégies de service.

Remarque: Vous ne verrez pas une mémoire tampon de latence jusqu'à ce que vous allouiez AU MOINS 60% de la queue-limit à la stratégie de « ndrop ».

Des stratégies seront modifiées par paliers de 10, jusqu'à 99%

```
60/40 ingress buffer allocation=====policy-map type queuing 7I_4q-7e-in
class type queuing c-4q-7e-drop-in service-policy type queuing 7I_4q-7e-drop-in queue-
limit percent 40 class type queuing c-4q-7e-ndrop-in service-policy type queuing 7I_4q-7e-
ndrop-in queue-limit percent 60interface Ethernet2/5 service-policy type queuing input
7I_4q-7e-inmodule-2# show hardware internal mac port 5 qos configuration | begin IB | end EB
IB      Port
page limit : 3584 (1376256 Bytes)  VL#  HWM pages(bytes)  LWM pages(bytes)  Used
PL_STOP(HWM & LWM) SPAN
pages
THR
0      624 ( 239616) 576 ( 221184) 0      624 576 100      1      2 ( 768)
1 ( 384) 0      2      1      1      2      624 ( 239616) 576 ( 221184) 0
624 576 100      3      1913 ( 734592) 1889 ( 725376) 0      2126 1889 100      4
2 ( 768) 1 ( 384) 0      2      1      1      5      124 ( 47616) 52 (
19968) 0      124 52 31      6      2 ( 768) 1 ( 384) 0      2
1      1      7      2 ( 768) 1 ( 384) 0      2      1      1      Credited
DWRR WT: 216 (0xd8) Uncredited DWRR WT: 144 (0x90) DWRR honor UC = FALSE Leak Lo weight
= 0xd8, enabled = FALSE EB
```

60/40 allouera 81792 octets à la mémoire tampon de la latence vl3.

PL_STOP - HWM * 384 octets

2126 - 1913 = 213pages * 384 = 81792 octets

```
70/30 ingress buffer allocation=====policy-map type queuing 7I_4q-7e-
in class type queuing c-4q-7e-drop-in service-policy type queuing 7I_4q-7e-drop-in queue-
limit percent 30 class type queuing c-4q-7e-ndrop-in service-policy type queuing 7I_4q-7e-
ndrop-in queue-limit percent 70interface Ethernet2/5 service-policy type queuing input
7I_4q-7e-inmodule-2# show hardware internal mac port 5 qos configuration | begin IB | end EB
IB      Port
page limit : 3584 (1376256 Bytes)  VL#  HWM pages(bytes)  LWM pages(bytes)  Used
PL_STOP(HWM & LWM) SPAN
pages
THR
0      463 ( 177792) 415 ( 159360) 0      463 415 100      1      2 ( 768)
1 ( 384) 0      2      1      1      2      463 ( 177792) 415 ( 159360) 0
463 415 100      3      1987 ( 763008) 1963 ( 753792) 0      2484 1963 100      4
2 ( 768) 1 ( 384) 0      2      1      1      5      88 ( 33792) 16 (
```

```

6144)      0      88      16      22      6      2 (      768)      1 (      384)      0      2
1      1      7      2 (      768)      1 (      384)      0      2      1      1      Credited
DWRR WT: 216 (0xd8) Uncredited DWRR WT: 144 (0x90)      DWRR honor UC = FALSE      Leak Lo weight
= 0xd8, enabled = FALSE EB

```

70/30 alloue 190848 octets à la mémoire tampon de la latence VL3.

```

policy-map type queuing 7I_4q-7e-in class type queuing c-4q-7e-drop-in service-policy type
queuing 7I_4q-7e-drop-in queue-limit percent 20 class type queuing c-4q-7e-ndrop-in
service-policy type queuing 7I_4q-7e-ndrop-in queue-limit percent 80interface Ethernet2/5
service-policy type queuing input 7I_4q-7e-inmodule-2# show hardware internal mac port 5 qos
configuration | begin IB | end EB IB Port page limit : 3584 (1376256 Bytes) VL# HWM
pages(bytes) LWM pages(bytes) Used PL_STOP(HWM & LWM) SPAN
pages
THR 0 302 ( 115968) 254 ( 97536) 0 302 254
75 1 2 ( 768) 1 ( 384) 0 2 1 1 2 302 (
115968) 254 ( 97536) 0 302 254 75 3 1875 ( 720000) 1851 (
710784) 0 2841 1851 100 4 2 ( 768) 1 ( 384) 0 2
1 1 5 52 ( 19968) 46 ( 17664) 0 52 46 13 6 2 (
768) 1 ( 384) 0 2 1 1 7 2 ( 768) 1 ( 384)
0 2 1 1 Credited DWRR WT: 216 (0xd8) Uncredited DWRR WT: 144 (0x90) DWRR
honor UC = FALSE Leak Lo weight = 0xd8, enabled = FALSE EB

```

80/20 alloue 370944 octets à la mémoire tampon de la latence VL3.

```

policy-map type queuing 7I_4q-7e-in class type queuing c-4q-7e-drop-in service-policy type
queuing 7I_4q-7e-drop-in queue-limit percent 10 class type queuing c-4q-7e-ndrop-in
service-policy type queuing 7I_4q-7e-ndrop-in queue-limit percent 90interface Ethernet2/5
service-policy type queuing input 7I_4q-7e-inmodule-2# show hardware internal mac port 5 qos
configuration | begin IB | end EB IB Port page limit : 3584 (1376256 Bytes) VL# HWM
pages(bytes) LWM pages(bytes) Used PL_STOP(HWM & LWM) SPAN
pages
THR 0 141 ( 54144) 93 ( 35712) 0 141 93
35 1 2 ( 768) 1 ( 384) 0 2 1 1 2 141 (
54144) 93 ( 35712) 0 141 93 35 3 1055 ( 405120) 1031 ( 395904)
0 3199 1031 100 4 2 ( 768) 1 ( 384) 0 2 1 1
5 16 ( 6144) 10 ( 3840) 0 16 10 4 6 2 ( 768)
1 ( 384) 0 2 1 1 7 2 ( 768) 1 ( 384) 0
2 1 1 Credited DWRR WT: 216 (0xd8) Uncredited DWRR WT: 144 (0x90) DWRR honor UC
= FALSE Leak Lo weight = 0xd8, enabled = FALSE EB

```

90/10 alloue 823296 octets à la mémoire tampon de la latence VL3

```

policy-map type queuing 7I_4q-7e-in class type queuing c-4q-7e-drop-in service-policy type
queuing 7I_4q-7e-drop-in queue-limit percent 10 class type queuing c-4q-7e-ndrop-in
service-policy type queuing 7I_4q-7e-ndrop-in queue-limit percent 90interface Ethernet2/5
service-policy type queuing input 7I_4q-7e-inmodule-2# show hardware internal mac port 5 qos
configuration | begin IB | end EB IB Port page limit : 3584 (1376256 Bytes) VL# HWM
pages(bytes) LWM pages(bytes) Used PL_STOP(HWM & LWM) SPAN
pages
THR 0 141 ( 54144) 93 ( 35712) 0 141 93
35 1 2 ( 768) 1 ( 384) 0 2 1 1 2 141 (
54144) 93 ( 35712) 0 141 93 35 3 1055 ( 405120) 1031 ( 395904)
0 3199 1031 100 4 2 ( 768) 1 ( 384) 0 2 1 1
5 16 ( 6144) 10 ( 3840) 0 16 10 4 6 2 ( 768)
1 ( 384) 0 2 1 1 7 2 ( 768) 1 ( 384) 0
2 1 1 Credited DWRR WT: 216 (0xd8) Uncredited DWRR WT: 144 (0x90) DWRR honor UC
= FALSE Leak Lo weight = 0xd8, enabled = FALSE EB

```

99/1 alloue 906240 octets à la mémoire tampon de la latence VL3

Remarque: Chaque tondeuse asic a 6MB de pouvoir tampon. Il y a 4 ports par tondeuse, donc ceci égalise au pouvoir tampon ~1.5MB par port. Avec 99/1 vous verrez que ~.9MB est alloué à la mémoire tampon de la latence VL3 et le reste est utilisé par HWM pour chaque VL (majorité à VL3). Quand ajoutant chaque VLs HWM avec livre de VL3 vous verrez elle égalise au pouvoir tampon ~1.35MB.