

Fonctions de mémoire avancées et dépannage sur les plates-formes UCS M7 et M8

Table des matières

[Introduction](#)

[Conditions préalables](#)

[Exigences](#)

[Composants utilisés](#)

[Informations générales](#)

[Présentation des erreurs de mémoire](#)

[Fonctionnalités RAS de mémoire Cisco UCS M7/M8](#)

[ECC au niveau du système](#)

[VLS \(Virtual Lock-Step\) / ADDC \(Adaptive Double Device Data Correction\) de recharge](#)

[ECC sur matrice](#)

[Vérification et nettoyage des erreurs \(ECS\)](#)

[Réparation post-colis \(PPR\)](#)

[PMIC \(Power Management Integrated Circuit\)](#)

[Analyse des journaux](#)

[Fichiers à archiver dans le support technique](#)

[Dépannage des défaillances RAS](#)

[Bogues notables](#)

Introduction

Ce document décrit les nouvelles fonctionnalités de mémoire introduites dans les serveurs UCS M7 et M8 et les étapes à suivre pour comprendre et dépanner les erreurs de mémoire.

Conditions préalables

Exigences

Cisco vous recommande de prendre connaissance des rubriques suivantes .

- Compréhension de base d'UCS.
- Compréhension de base de l'architecture de mémoire.

Composants utilisés

Les informations contenues dans ce document sont basées sur les versions de matériel et de logiciel suivantes :

- Serveurs de la gamme UCS M7 et M8
- UCS Manager
- Contrôleur de gestion intégré Cisco (CIMC)
- Mode géré Cisco Intersight (IMM)

The information in this document was created from the devices in a specific lab environment. All of the devices used in this document started with a cleared (default) configuration. Si votre réseau est en ligne, assurez-vous de bien comprendre l'incidence possible des commandes.

Informations générales

Présentation des erreurs de mémoire

Les erreurs de mémoire figurent parmi les types d'erreurs les plus courants sur les serveurs modernes. Des erreurs sont souvent détectées lorsqu'une tentative de lecture d'un emplacement de mémoire est effectuée et que la valeur lue ne correspond pas à la dernière valeur écrite.

Les erreurs de mémoire peuvent être matérielles ou matérielles. Certaines erreurs peuvent être corrigées, mais plusieurs erreurs matérielles ou logicielles simultanées sur un seul accès mémoire peuvent ne pas l'être.

Fonctionnalités RAS de mémoire Cisco UCS M7/M8

Les serveurs Cisco UCS M7 et M8 disposent d'un ensemble robuste de fonctionnalités RAS, comme détaillé ici. Elles minimisent l'impact des erreurs de mémoire sur les performances et la disponibilité du système.

ECC au niveau du système

Tous les serveurs Cisco UCS M7 utilisent des modules de mémoire avec des codes ECC capables de corriger toute erreur confinée à une seule puce DRAM x4 et de détecter toute erreur sur deux bits dans un maximum de deux périphériques. On parle maintenant d'ECC au niveau du système, comme dans le cas des serveurs d'ancienne génération

VLS (Virtual Lock-Step) / ADDC (Adaptive Double Device Data Correction) de recharge

ADDC Sparing peut corriger deux défaillances de DRAM successives si elles résident dans la même région. Cette fonction effectue le suivi des erreurs corrigibles et mappe dynamiquement les bits défaillants en copiant le contenu (« sparing ») dans une ligne de cache « buddy ». Ce mécanisme peut atténuer les erreurs corrigibles qui, si elles ne sont pas traitées, pourraient devenir incorrigibles. Cette fonctionnalité utilise le protocole VLS (Virtual Lockstep) pour attribuer des paires de contacts de ligne de cache au sein du même canal de mémoire, soit au niveau de la mémoire vive dynamique à l'aide du protocole VLS de la mémoire vive dynamique, soit au niveau

du périphérique DRAM à l'aide du protocole VLS du rang.

ECC sur matrice

L'ECC sur puce est une nouvelle fonctionnalité de DDR5. Cette fonctionnalité est activée par défaut. Toutes les erreurs sur un seul bit (matérielles et logicielles) sont corrigées par la mémoire DRAM avant que les données ne soient transmises à l'hôte. Toutefois, ces données corrigées ne sont pas réécrites dans la mémoire DRAM. La fonction ECS (Error Check and Scrub) est utilisée pour nettoyer et corriger les erreurs sur un seul bit dans la mémoire.

Vérification et nettoyage des erreurs (ECS)

ECS recherche les erreurs en arrière-plan en nettoyant chaque matrice DRAM périodiquement (toutes les 24 heures), en les corrigent en réécrivant les données sur la baie et en fournissant un décompte des erreurs détectées lors du nettoyage. Cette fonction est activée par défaut.

Réparation post-colis (PPR)

La réparation post-colis est une fonctionnalité dans laquelle des lignes de rechange sont utilisées pour remplacer une cellule ou une ligne défectueuse dans un périphérique DRAM.

Il en existe trois types : Soft PPR(reconfigurable), Hard PPR(permanent) et Runtime PPR.

- Les serveurs Cisco UCS M7 équipés de processeurs Intel prennent en charge la fonction PPR « dure ». Il s'agit d'une réparation permanente effectuée lors du redémarrage en fonction des données d'erreur collectées lors de l'exécution précédente ou si des erreurs de ligne sont rencontrées lors de l'EMT.
- Les réparations se produisent généralement lors de réinitialisations à chaud/froid ou de cycles de courant alternatif.
- Sur le serveur UCS M8, les trois types de PPR sont pris en charge. Le PPR dur est activé par défaut, tandis que le PPR d'exécution est désactivé.
- Runtime PPR permet des réparations pendant le fonctionnement du système sans affecter la disponibilité.
- Si les fonctions PPR matériel et d'exécution sont toutes deux activées, toutes les fonctions PPR sont utilisées. Si la fonction PPR matérielle est désactivée mais que la fonction PPR d'exécution est activée, le système utilise par défaut la fonction PPR logicielle.
- PPR est étroitement lié à des erreurs corrigibles, et chaque erreur corrigible génère un enregistrement SEL lorsque PPR est activé.

PMIC (Power Management Integrated Circuit)

La carte PMIC d'une barrette DIMM est une fonctionnalité clé des modules de mémoire DDR5. Cette intégration déplace la fonction de gestion de l'alimentation de la carte mère vers le module de mémoire lui-même, offrant ainsi plusieurs avantages significatifs.

Pour la mémoire DDR5, la gestion des erreurs PMIC est activée.

- Les pannes PMIC génèrent des enregistrements CELL pendant l'exécution et après le démarrage.
- Lors de l'apprentissage de la mémoire, si une défaillance de la carte PMIC est détectée dans un canal de mémoire, le module DIMM concerné est mappé et le système continue de démarrer avec une mémoire réduite

Analyse des journaux

Fichiers à archiver dans le support technique

UCSM_X_TechSupport > sam_techsupportinfo fournit des informations sur les modules DIMM et les baies de mémoire.

Assistance technique châssis/serveur

CIMCX_TechSupport\tmp\CICMX_TechSupport.txt -> Informations générales sur le serveur X.

CIMCX_TechSupport\obfl\obfl-log -> Les journaux OBFL fournissent des journaux permanents sur l'état et le démarrage du serveur X.

CIMCX_TechSupport\var\log\sel -> Journaux SEL pour le serveur X.

En fonction de la plate-forme ou de la version, accédez aux fichiers de l'offre d'assistance technique.

RAS - Pour ECS (vérification et analyse des erreurs) Emplacement des erreurs CEetc. collectés pendant l'exécution sur chaque nettoyage

/nv/etc/BIOS/bt/DDR5_CISCO_ECS

AMT Auto s'exécute au prochain démarrage si le système rencontre une erreur CE et UCE sur les modules DIMM

nv/etc/BIOS/bt/MrcOut.

MODÈLE_TEST_AMT :
ADV_MT_SAMSUNG

RÉSULTAT_AMT : RÉUSSI.

Erreur PMIC : /nv/etc/DIMM-PMIC.txt

Le serveur M8 contient :-

nv/etc/BIOS/bt >MrcOut

Ces fichiers fournissent des informations sur la mémoire telle qu'elle apparaît au niveau du BIOS.

Les informations peuvent être à nouveau référencées avec les tables de rapport d'état DIMM.

Exemple du serveur AMD : -

nv/etc/BIOS/bt >MrcOut

Il contient :

- Version du BIOS, date et heure de génération
- Versions du microprogramme PSP
- Présence et état du module DIMM (indique que le module DIMM est présent ou non)
- Détails de configuration DIMM.

2025/08/14 13:44:34

BIOS ID : C245M8.4.3.6b.0 Built 04/28/2025 14:15:22

=====

PSP Firmware Versions

=====

ABL Version: 100E8012

PSP: 0.29.0.9B

PFMW (SMU): 4.71.126.0

SEV: 1.1.37.28

PHY: 0.1.38.0

MPIO: 1.0.02D.C4

TF MPDMA: 0.47.3.0

PM MPDMA: 0.47.46.0

GMI: AB.1.27.0

RIB: 2.0.8.39

SEC: D.E.90.71

PMU: 0.0.90.4E

EMCR: 0.0.E0.4E

uCode B1: 0xA101154

DIMM Status:

Memory	DIMM Status
Channel	
P1_A	01
P1_B	01
P1_C	01
P1_D	01
P1_E	01
P1_F	00
P1_G	01
P1_H	01
P1_I	01
P1_J	01
P1_K	01
P1_L	00
P2_A	01

```
| P2_B | 01 |
| P2_C | 01 |
| P2_D | 01 |
| P2_E | 01 |
| P2_F | 00 |
| P2_G | 01 |
| P2_H | 01 |
| P2_I | 01 |
| P2_J | 01 |
| P2_K | 01 |
| P2_L | 00 |
=====|
```

DIMM Configuration:

```
=====
MbistTest = Disabled
MbistAggressor = Disabled
MbistPerBitSlaveDieReport = Enabled
DramTempControlledRefreshEn = Disabled
UserTimingMode = Disabled
UserTimingValue = Disabled
MemBusFreqLimit = Disabled
EnablePowerDown = Disabled
DramDoubleRefreshRate = Disabled
PmuTrainMode = 0x0000
EccSymbolSize = 0x0000
UEccRetry = Disabled
IgnoreSpdChecksum = Disabled
EnableBankGroupSwapAlt = Disabled
EnableBankGroupSwap = Disabled
DdrRouteBalancedTee = Disabled
OdtsCmdThrotEn = Disabled
OdtsCmdThrotCyc = Disabled
=====
```

Enhanced Memory Context Restore : APOB_SAVED

2025/08/14 13:44:34

Inventaire des fichiers sortants MCA : -

Ce fichier contient des informations sur les registres MCA de toutes les banques .
(chaque fois qu'une erreur UCE a été détectée)

--- START OF MCA FILE ---

Timestamp H:M:S 13:44:15 D:M:Y 14:8:2025

--- Note ---

The legacy MCA registers include:

MCA_CTL - Enables error reporting via machine check exception.

MCA_STATUS - Logs information associated with errors.
 MCA_ADDR - Logs address information associated with errors. The use of AMD Secure Memory Encryption may
 MCA_MISC0 - Logs miscellaneous information associated with errors.
 The MCA Extension registers include:
 MCA_CONFIG - Provide configuration capabilities for this MCA bank.
 MCA_IPID - Provides information on the block associated with this MCA bank.
 MCA_SYND - Logs physical location information associated with a logged error.
 MCA_DESTATUS - Logs status information associated with a deferred error.
 MCA_DEADDR - Logs address information associated with a deferred error.
 MCA_MISC[1:4] - Provides additional threshold counters within an MCA bank.
 MCA_TRANSYND - Logs location information associated with a transparent error.
 MCA_TRANSADDR - Logs address information associated with a transparent error.

LS - Load-Store Unit -> Bank 0
 IF - Instruction Fetch Unit -> Bank 1
 L2 - L2 Cache Unit -> Bank 2
 DE - Decode Unit -> Bank 3
 Empty/Unused bank -> Bank 4
 EX - Execution Unit -> Bank 5
 FP - Floating Point Unit -> Bank 6
 L3 - L3 Cache Unit -> Bank 7 to 14
 MP5 - Microprocessor5 Management Controller -> Bank 15
 PB - Parameter Block -> Bank 16
 PCS-GMI - GMI Controller -> Bank 17 to 18
 KPX-GMI - High Speed Interface Unit(GMI) -> Bank 19 to 20
 UMC - Unified Memory Controller -> Bank 21 to 22
 CS - Coherent Station -> Bank 23 to 24
 NBIO - NorthBridge IO Unit -> Bank 25
 PCIE - PCIe Root port -> Bank 26 to 27
 PIE - Power Management, Interrupts, Etc -> Bank 28
 SMU - System Management Controller Unit -> Bank 29
 PCS_XGMI - XGMI Controller -> Bank 30
 KPX_SERDES - High Speed Interface Unit(XGMI)-> Bank 31
 Empty/Unused bank -> Bank 32 to 63

Total BankNumber = 32
 MC Global Capability Value = 120
 MC Global Status Value = 0
 MC Global Control Value = 0
 Number of processor = 64
 ProcNum BankNum Socket CCD CCX Core Thread MCA Bank Status MCA Bank Address MCA Configuration MCA IPID

Timestamp H:M:S 13:44:32 D:M:Y 14:8:2025
 --- END OF MCA FILE ---

Exemple de défaillance PMIC dans les journaux Sel : -

En cas de défaillance de la carte PMIC d'exécution sur le module DIMM, le journal SEL est généré comme indiqué ci-dessous et l'hôte est désactivé.

- 2024-06-11 20:26:36 IST ◆Événement logiciel du système d'avertissement : Capteur de mémoire, échec de la mémoire (PMIC Fault détecté et isolé) affirmé, socket DIMM 1, canal A, CPU 2. affirmé

2024-06-11 20:26:36 IST	Warning	System Software event: Memory sensor, Memory Failed (PMIC Fault detected and isolated) was asserted, DIMM socket 1, Channel A, CPU 2, was asserted
-------------------------	----------------------	--

Le module DIMM défectueux est mappé par le BIOS lors de la prochaine mise sous tension de l'hôte . Nous voyons le SEL ci-dessous

2024-06-12 08:30:23 IST	Critical	CPU1 DIMM A1 Memory Failed (PMIC Fault detected and isolated) was asserted
-------------------------	-----------------------	--

Une défaillance est soulevée comme indiqué ci-dessous.

2024 Jun 11 23:33:....	critical	EQUIPMENT_INOPERABLE	[F1968][critical][equipment-inoperable][sys/rack-unit-1/board/memory] DIMM_P1_A1_PMIC :Memory Failed (PMIC Fault detected and isolated) was asserted
------------------------	----------	----------------------	--

2025 Sep 23 23:50:14 UTC	Critical	EQUIPMENT_INOPERABLE	[F1968][critical][equipment-inoperable][sys/rack-unit-1/board/memory] DIMM_P1_B1_PMIC :Memory Failed (PMIC Fault detected and isolated) was asserted
2025 Sep 23 23:50:15 UTC	Informational	EQUIPMENT_INOPERABLE	[F1968][cleared][equipment-inoperable][sys/rack-unit-1/board/memory] DIMM_P1_B1_PMIC :Memory Failed (PMIC Fault detected and isolated) was deasserted

Dépannage des défaillances RAS

En général, ces défaillances apparaissent dans UCS Manager sous la forme d'un événement RAS.

Slot ID	: 6	Chassis ID	: 3
Product Name	: Cisco UCS X210c M7 2 Socket Compute Node		
Vendor	: Cisco Systems Inc	PID	: UCSX-210C-M7
Revision	: 0	Serial	: [REDACTED]
Manufacturing Date	: 2024-11-28		
Asset Tag	:		
Name	:		
User Label	:		
Unique Identifier	: 96cd0997-71b6-4975-0000-000025b5f30c		
Service Profile	:		
Health LED	: Critical		
Oper Qualifier Reason	: DDR5_P2_H1_ECC:Sensor Threshold Crossed; DDR5_P2_G2_ECC:Sensor Threshold Crossed;		
Locator LED	: Off	FP Buttons	: Locked
Summary			

Severity	Code	ID	Affected object	Cause	Last Transition	Description
F1236	54090700	sys/chassis-1/bla...	health-led-amber...	2025-05-14T15:43:18Z	sys/chassis-1/bla...	

Details

Summary		Properties	
Severity	: Critical/None	Affected object	: sys/chassis-1/blade-7/heal...
Last Transition	: 2025-05-14T15:43:18Z	Description	: sys/chassis-1/blade-7/heal... shows error. Reason DDR5_P1_E1_ECC:Sensor Threshold Crossed;
Actions		ID	: 54090700
		Cause	: health-led-amber-
Acknowledge Fault		Type	: equipment
		Created at	: 2025-05-14T15:25:12Z
		Code	: F1236
		Original severity	: Critical
		Previous severity	: Cleared
		Highest severity	: Critical
		Number of Occurrences : 3	

Commandes CLI UCSM pour réinitialiser tous les compteurs d'erreurs de mémoire :

Serveur d'étendue UCS-A# x/y

UCS-A /chassis/server # reset-all-memory-errors

UCS-A /châssis/serveur* # commit

Pour effacer les données SPD :

Mettez le serveur hors tension

Exécutez ensuite les commandes suivantes à partir de l'interface de ligne de commande UCSM :

UCS-A# connect cimc x/y

UCS-A /chassis/server # reset-all-memory-errors

UCS-A /châssis/serveur* # commit

Bogues notables

1. ID de bogue Cisco [CSCwo62396](#)

2. ID de bogue Cisco [CSCwq33148](#)

3. ID de bogue Cisco [CSCwh73760](#)

À propos de cette traduction

Cisco a traduit ce document en traduction automatisée vérifiée par une personne dans le cadre d'un service mondial permettant à nos utilisateurs d'obtenir le contenu d'assistance dans leur propre langue.

Il convient cependant de noter que même la meilleure traduction automatisée ne sera pas aussi précise que celle fournie par un traducteur professionnel.