

# Architecture du routeur Internet de la gamme Cisco 12000 : Conception de la carte de ligne

## Contenu

[Introduction](#)

[Conditions préalables](#)

[Conditions requises](#)

[Composants utilisés](#)

[Conventions](#)

[Exécutions importantes fondamentales](#)

[Détermination du chemin](#)

[Cisco Express Forwarding](#)

[Architecture de linecard](#)

[Cartes de ligne principal](#)

[Cartes de ligne périphérique](#)

[Linecards d'extrémité canalisée](#)

[Linecards de Mode de transfert asynchrone \(ATM\)](#)

[Cartes de ligne Ethernet](#)

[Linecards du transport dynamique de paquets \(DPT\)](#)

[Extrémité des linecards de la vente \(EOS\)](#)

[Installation de linecard](#)

[Informations connexes](#)

## [Introduction](#)

Ce document fournit un aperçu de la conception de linecard de Routeur Internet de la série Cisco 12000.

## [Conditions préalables](#)

### [Conditions requises](#)

Aucune spécification déterminée n'est requise pour ce document.

### [Composants utilisés](#)

Les informations dans ce document sont basées sur le matériel suivant :

- [Routeur Internet de la gamme Cisco 12000](#)

Les informations contenues dans ce document ont été créées à partir des périphériques d'un

environnement de laboratoire spécifique. Tous les périphériques utilisés dans ce document ont démarré avec une configuration effacée (par défaut). Si votre réseau est opérationnel, assurez-vous que vous comprenez l'effet potentiel de toute commande.

## [Conventions](#)

Pour plus d'informations sur les conventions des documents, référez-vous aux [Conventions utilisées pour les conseils techniques de Cisco](#).

## [Exécutions importantes fondamentales](#)

Le Routeur Internet de la série Cisco 12000 a une architecture vraiment distribuée du fait que tous les linecards (LCS) tirent une copie de l'image logicielle de Cisco IOS®, et toute la commutation est faite sur le LCS. La commutation de Cisco Express Forwarding est le SEUL chemin de commutation. Il n'y a aucune commutation rapide, commutation optimale, etc comme trouvé sur d'autres Plateformes telles que la gamme 7500. Pour un aperçu des chemins de commutation non-distribués disponibles dans les différentes Plateformes, voyez [comment choisir le meilleur chemin de commutation de routeur pour votre réseau](#).

Les fonctions de transfert de paquet sont remplies par chaque linecard. Une copie des tables d'expédition calculées par le processeur de route Gigabit (GRP) est distribuée à chaque linecard dans le système. Chaque linecard exécute la consultation indépendante d'une adresse de destination pour chaque datagramme reçu sur une copie locale de la table d'expédition, et le datagramme est commuté à travers une matrice de commutateur à barres croisées au linecard de destination. Les fonctions de base du LCS sont expédition, réponse ping, et fragmentation de paquets de la commutation par étiquette IP/Multiprotocol (MPLS).

Le linecard prend soin de :

- s'alignant, comme [d'abord dedans, d'abord \(FIFO\)](#) et Mécanisme MDRR (Modified Deficit Round Robin)
- contrôle d'encombrement - [Détection précoce directe pondérée \(WRED\)](#)
- d'autres caractéristiques telles que des [Listes d'accès \(ACLs\)](#) et le [Fonction Committed Access Rate \(CAR\)](#)
- statistiques, telles que la comptabilité de [NetFlow](#) et de Cisco Express Forwarding

Avant d'aller pas plus loin avec l'architecture de linecard, il est important de comprendre les exécutions spécifiques de Cisco 12000. Ils peuvent être divisés en catégories suivantes :

- Détermination du chemin
- [Cisco Express Forwarding](#)
- Qualité de service (QoS), tel que la Gestion d'encombrement

## [Détermination du chemin](#)

Le procédé de détermination du chemin pour le Cisco 12000 implique les activités suivantes :

- Traitement des protocoles de routage internes tels que le Protocole EIGRP (Enhanced Interior Gateway Routing Protocol), Protocole IS-IS (Intermediate System-to-Intermediate System), Protocole OSPF (Open Shortest Path First)

- Traitant le protocole de passerelle externe, tel que le Protocole BGP (Border Gateway Protocol)
- Fourniture et répondre à conduire des mises à jour
- Créant et mettant à jour la table de routage
- Résoudre les artères récursives
- Envoi des mises à jour aux tables d'expédition

Avant que les 12000 puissent expédier tous les datagrammes IP, le GRP doit construire une table de routage locale. Cette table de routage contient les prochaines informations de saut pour le paquet IP entrant.

Le GRP construit et met à jour la table de routage en traitant les protocoles de routage intérieurs tels que le Protocole EIGRP (Enhanced Interior Gateway Routing Protocol), l'Intermediate System-to-Intermediate System (ISIS), le Protocole OSPF (Open Shortest Path First), et le Protocole BGP (Border Gateway Protocol).

Cette table contient toutes les entrées de route et mesures (par exemple, longueur de chemin) nécessaires pour expédier un paquet IP. Supplémentaire, le GRP calcule toutes les artères récursives qui se produisent quand le support est donné pour un protocole intérieur et un protocole de passerelle externe tel que le BGP. Les GRP et les linecards utilisent une nouvelle méthode de commutation distribuée appelée Cisco Express Forwarding distribué (dCEF). Avec cette méthode de commutation distribuée, le transfert de paquet, y compris les informations récursives pré-calculées d'artère, est envoyé à chaque linecard.

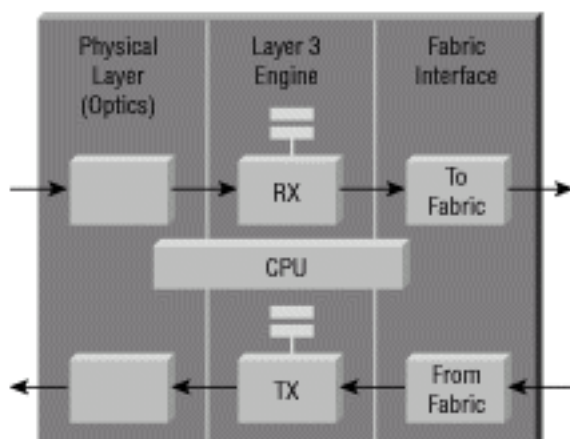
## Cisco Express Forwarding

Pour se renseigner plus sur Cisco Express Forwarding, voir [compréhension du Cisco Express Forwarding sur le Routeur Internet de la série Cisco 12000](#).

## Architecture de linecard

Il y a différents genres d'architecture de linecard basés sur le type de moteur. La figure ci-dessous affiche un diagramme commun générique pour tout le LCS :

### Diagramme de linecard



Chaque LC peut être divisé en trois sections importantes :

- Module d'interface de couche physique (PLIM) - C'est le module de matériel qui termine la

connexion physique (personne à charge de medias ; donc, Mode de transfert asynchrone (ATM), Paquet sur SONET (POS), et Fast Ethernet)

- Moteur de commutation L3 - Cette engine d'expédition prépare réellement des paquets pour la transmission à travers la matrice de commutation à la destination LC. Il manipule les consultations L3, les réécritures, la mise en mémoire tampon, le contrôle d'encombrement, et tout le L3, des caractéristiques de QoS. Cinq types d'engines de transfert de paquet existent, à savoir, des linecards des engines 0, 1, 2, 3 et 4. en date de cette écriture sont classifiés par le type de moteur de transfert de paquet décrit dans la table ci-dessous.
- Interface de matrice - L'interface de matrice ASIC (la FIA) prépare les paquets pour la transmission à travers la matrice de commutation à la destination LC. Il prend soin des demandes de concession de matrice, Mise en file d'attente de matrice, réplication de Multidiffusion de par-emplacement, et ainsi de suite.

La gamme Cisco 12000 offre un large éventail de linecards, y compris des linecards de noyau, de périphérie, d'extrémité canalisée, de Mode de transfert asynchrone (ATM), d'Ethernets, de transport dynamique de paquets (DPT), et de fin de commercialisation. Ces linecards fournissent des hautes performances, acheminement des paquets prioritaires et service garanti, et mise en place et suppression en ligne transparentes (OIR) par l'architecture de système réparti de gamme Cisco 12000. Les tableaux suivants présentent les linecards libérés à partir de décembre 2001 avec le type de moteur correspondant :

### Cartes de ligne principal

| Nom de linecard   | Engine         | Châssis pris en charge      | L'IOS libèrent          | Ressources                      |
|---|----------------|-----------------------------|-------------------------|---------------------------------|
| linecard du port unique OC-48c/STM-16c POS/SDH ISE du <b>POS ISE 1-Port OC-48</b> | Engine 3 (ISE) | 10G châssis du châssis 2.5G | 12.0(21)S<br>12.0(21)ST | <a href="#">Fiche technique</a> |
| linecard du port unique OC-48c/STM-16c POS/SDH de <b>POS 1-Port OC-48</b>         | Engine 2       | 10G châssis du châssis 2.5G | 12.0(10)S<br>12.0(11)ST | <a href="#">Fiche technique</a> |
| linecard à quatre orifices du <b>POS OC-48c/STM-16c POS/SDH 4-Port OC-48</b>      | Engine 4       | châssis 10G seulement       | 12.0(15)S<br>12.0(17)ST | <a href="#">Fiche technique</a> |
| linecard du port unique OC-192c/STM-64c POS/SDH de <b>POS 1-Port OC-192</b>       | Engine 4       | châssis 10G seulement       | 12.0(15)S<br>12.0(17)ST | <a href="#">Fiche technique</a> |

### Cartes de ligne périphérique

| Nom de linecard | Engine | Châssis pris en charge | L'IOS libèrent | Ressources |
|-----------------|--------|------------------------|----------------|------------|
|-----------------|--------|------------------------|----------------|------------|

|  |                               |   |                                     |  |
|--|-------------------------------|---|-------------------------------------|--|
| linecard DS3 de six ports<br><b>DS3 6-Port</b>   | En<br>gin<br>e 0              | 10G<br>châssis<br>du<br>châssis<br>2.5G | 12.0(<br>10)S<br>12.0(<br>11)S<br>T | <a href="#">Fiche<br/>techniq<br/>ue</a>                     |
| linecard DS3 de Douze-<br>port <b>DS3 12-Port</b>  | En<br>gin<br>e 0              | 10G<br>châssis<br>du<br>châssis<br>2.5G | 12.0(<br>10)S<br>12.0(<br>11)S<br>T | <a href="#">Fiche<br/>techniq<br/>ue</a>                     |
| linecard d'E3 de six ports<br>de l' <b>E3 6-Port</b>   | En<br>gin<br>e 0              | 10G<br>châssis<br>du<br>châssis<br>2.5G | 12.0(<br>15)S<br>12.0(<br>16)S<br>T | <a href="#">Fiche<br/>techniq<br/>ue</a><br>(version<br>pdf) |
| linecard d'E3 de Douze-<br>port de l' <b>E3 12-Port</b>                                      | En<br>gin<br>e 0              | 10G<br>châssis<br>du<br>châssis<br>2.5G | 12.0(<br>15)S<br>12.0(<br>16)S<br>T | <a href="#">Fiche<br/>techniq<br/>ue</a><br>(version<br>pdf) |
| linecard à quatre orifices<br>du <b>POS OC-3c/STM-1c<br/>POS/SDH 4-Port OC-3</b>             | En<br>gin<br>e 0              | 10G<br>châssis<br>du<br>châssis<br>2.5G | 12.0(<br>05)S<br>12.0(<br>11)S<br>T |  |
| linecard du Huit-port OC-<br>3c/STM-1c POS/SDH de<br><b>POS 8-Port OC-3</b>                  | En<br>gin<br>e 2              | 10G<br>châssis<br>du<br>châssis<br>2.5G | 12.0(<br>10)S<br>12.0(<br>11)S<br>T | <a href="#">Fiche<br/>techniq<br/>ue</a>                     |
| linecard du Seize-port<br>OC-3c/STM-1c POS/SDH<br>de <b>POS 16-Port OC-3</b>                 | En<br>gin<br>e 2              | 10G<br>châssis<br>du<br>châssis<br>2.5G | 12.0(<br>10)S<br>12.0(<br>11)S<br>T | <a href="#">Fiche<br/>techniq<br/>ue</a>                     |
| Seize-port OC-3c/STM-1c<br>POS/SDH ISE du <b>POS<br/>ISE 16-Port OC-3</b>                    | En<br>gin<br>e 3<br>(IS<br>E) | 10G<br>châssis<br>du<br>châssis<br>2.5G | 12.0(<br>21)S<br>12.0(<br>21)S<br>T | <a href="#">Fiche<br/>techniq<br/>ue</a>                     |
| linecard du port unique<br>OC-12c/STM-4c<br>POS/SDH de <b>POS de<br/>l'OC-12 1-Port</b>      | En<br>gin<br>e 0              | 10G<br>châssis<br>du<br>châssis<br>2.5G | 12.0(<br>10)S<br>12.0(<br>11)S<br>T | <a href="#">Fiche<br/>techniq<br/>ue</a>                     |
| linecard à quatre orifices<br>du <b>POS OC-12c/STM-4c<br/>POS/SDH de l'OC-12 4-<br/>Port</b> | En<br>gin<br>e 2              | 10G<br>châssis<br>du<br>châssis<br>2.5G | 12.0(<br>10)S<br>12.0(<br>11)S<br>T | <a href="#">Fiche<br/>techniq<br/>ue</a>                     |

|  |                               |   |                                     |  |
|--|-------------------------------|---|-------------------------------------|--|
| linecard à quatre orifices du <b>POS ISE OC-12c/STM-4c POS/SDH ISE de l'OC-12 4-Port</b> | En<br>gin<br>e 3<br>(IS<br>E) | 10G<br>châssis<br>du<br>châssis<br>2.5G | 12.0(<br>21)S<br>12.0(<br>21)S<br>T | <a href="#">Fiche<br/>techniq<br/>ue</a> |
| linecard du port unique OC-48c/STM -16c POS/SDH ISE du <b>POS ISE 1-Port OC-48</b>       | En<br>gin<br>e 3<br>(IS<br>E) | 10G<br>châssis<br>du<br>châssis<br>2.5G | 12.0(<br>21)S<br>12.0(<br>21)S<br>T | <a href="#">Fiche<br/>techniq<br/>ue</a> |

## [Linecards d'extrémité canalisée](#)

| Nom de linecard  | En<br>gin<br>e                | Châssi<br>s pris<br>en<br>charge        | L'IOS<br>libère<br>nt               | Resso<br>urces                           |
|--|-------------------------------|---|-------------------------------------|--|
| <b>2-Port CHOC-3</b> , linecard canalisé à deux orifices <b>DS1/E1 OC-3/STM-1(DS1/E1)</b>                                  | En<br>gin<br>e 0              | 10G<br>châssis<br>du<br>châssis<br>2.5G | 12.0(<br>17)S<br>12.0(<br>17)S<br>T | <a href="#">Fiche<br/>techni<br/>que</a> |
| <b>1-Port CHOC-12</b> , linecard de l'OC-12 <b>DS3</b> canalisé par port unique (DS3)                                      | En<br>gin<br>e 0              | 10G<br>châssis<br>du<br>châssis<br>2.5G | 12.0(<br>05)S<br>12.0(<br>11)S<br>T | <a href="#">Fiche<br/>techni<br/>que</a> |
| <b>1-Port CHOC-12</b> , linecard <b>OC-3 OC-12/STM-4 (OC-3/STM-1)</b> canalisé par port unique                             | En<br>gin<br>e 0              | 10G<br>châssis<br>du<br>châssis<br>2.5G | 12.0(<br>05)S<br>12.0(<br>11)S<br>T | <a href="#">Fiche<br/>techni<br/>que</a> |
| <b>4-Port CHOC-12 ISE OC-12/STM-4</b> canalisé à quatre orifices (DS3/E3, OC-3c/STM-1c) POS/SDH ISE                        | En<br>gin<br>e 3<br>(IS<br>E) | 10G<br>châssis<br>du<br>châssis<br>2.5G | 12.0(<br>21)S<br>12.0(<br>21)S<br>T | <a href="#">Fiche<br/>techni<br/>que</a> |
| linecard canalisé par port unique <b>1-Port CHOC-48 ISE OC-48/STM-16 (DS3/E3, OC-3c/STM-1c, OC-12c/STM-4c)</b> POS/SDH ISE | En<br>gin<br>e 3<br>(IS<br>E) | 10G<br>châssis<br>du<br>châssis<br>2.5G | 12.0(<br>21)S<br>12.0(<br>21)S<br>T | <a href="#">Fiche<br/>techni<br/>que</a> |
| linecard de T3 canalisé par six ports de <b>T3 6-Port ch (t1)</b>  | En<br>gin<br>e 0              | 10G<br>châssis<br>du<br>châssis<br>2.5G | 12.0(<br>14)S<br>12.0(<br>14)S<br>T |  |

## [Linecards de Mode de transfert asynchrone \(ATM\)](#)

| Nom de linecard  | Engine   | Châssis pris en charge      | L'IOS libèrent          | Ressources                      |
|--|----------|-----------------------------|-------------------------|---------------------------------|
| atmosphère à quatre orifices <b>atmosphère OC-3c/STM-1c 4-Port OC-3</b>                | Engine 0 | 10G châssis du châssis 2.5G | 12.0(5)S<br>12.0(11)ST  | <a href="#">Fiche technique</a> |
| atmosphère du port unique OC-12c/STM-4c <b>atmosphère de l'OC-12 1-Port</b>            | Engine 0 | 10G châssis du châssis 2.5G | 12.0(7)S<br>12.0(11)ST  | <a href="#">Fiche technique</a> |
| carte de ligne ATM à quatre orifices <b>atmosphère OC-12c/STM-4c de l'OC-12 4-Port</b> | Engine 2 | 10G châssis du châssis 2.5G | 12.0(13)S<br>12.0(14)ST | <a href="#">Fiche technique</a> |

## Cartes de ligne Ethernet

| Nom de linecard  | Engine                      | Châssis pris en charge      | L'IOS libèrent          | Ressources                      |
|--|-----------------------------|-----------------------------|-------------------------|---------------------------------|
| <b>technicien 8-Port avec la carte de ligne Fast Ethernet de Huit-port ECC</b> | Engine 1                    | 10G châssis du châssis 2.5G | 12.0(10)S<br>12.0(16)ST | <a href="#">Fiche technique</a> |
| <b>1-Port GE avec le linecard de Gigabit Ethernet de port unique ECC</b>       | Engine 1                    | 10G châssis du châssis 2.5G | 12.0(10)S<br>12.0(16)ST | <a href="#">Fiche technique</a> |
| linecard de Gigabit Ethernet de trois ports <b>3-Port GE</b>                   | Engine 2                    | 10G châssis du châssis 2.5G | 12.0(11)S<br>12.0(16)ST | <a href="#">Fiche technique</a> |
| Gigabit Ethernet de Dix-port <b>10-Port GE</b>                                 | Engine 4 w/RX/TX + /density | 10G châssis du châssis 2.5G | 12.0(22)S<br>12.0(22)ST | <a href="#">Fiche technique</a> |

## Linecards du transport dynamique de paquets (DPT)

| Nom de linecard | Engine | Châssis pris en charge | L'IOS libèrent | Ressources |
|-----------------|--------|------------------------|----------------|------------|
|-----------------|--------|------------------------|----------------|------------|

|  |                 |                                      |                                 |  |
|--|-----------------|--------------------------------------|---------------------------------|--|
| 2-Port OC-12 DPT<br>OC-12c/STM-4c à<br>deux orifices DPT | Eng<br>ine<br>1 | 10G<br>châssis du<br>châssis<br>2.5G | 12.0(10<br>)S<br>12.0(11<br>)ST | <a href="#">Annonce<br/>de fiche<br/>technique</a> |
| port unique OC-<br>48c/STM-16c DPT<br>1-Port OC-48 DPT   | Eng<br>ine<br>2 | 10G<br>châssis du<br>châssis<br>2.5G | 12.0(15<br>)S<br>12.0(16<br>)ST | <a href="#">Annonce<br/>de fiche<br/>technique</a> |

## Extrémité des linecards de la vente (EOS)

Les linecards suivants ne sont plus vendus. Ils sont répertoriés ici pour votre référence seulement.

| Nom de linecard   | En<br>gin<br>e   | Châssis<br>pris en<br>charge            | L'IOS<br>libèren<br>t           |
|---|------------------|---|---------------------------------|
| carte du port unique OC-<br>192c/STM-64c POS/Enabler de<br>carte d'Enabler 1-Port OC-192c/<br>MCE 64c | En<br>gin<br>e 2 | 10G<br>châssis<br>du<br>châssis<br>2.5G | 12.0(1<br>0)S<br>12.0(1<br>1)ST |

Vous pouvez obtenir toutes les fiches techniques disponibles de la [page de documentation produit](#).

**Remarque:** Les linecards de l'engine 3 sont capables d'exécuter des caractéristiques de périphérie à la ligne débit. Plus l'engine de la couche 3 est élevée, plus les paquets obtiennent commuté dans le matériel.

Les seules choses qui différencient vraiment un linecard des autres sont le module d'interface de couche physique (PLIM) et l'engine avant de la couche 3. Les linecards varient par PLIMs seulement dans la même engine de l'expédition L3. PLIMs ont les composants support-dépendants (par exemple, le Mode de transfert asynchrone (ATM) PLIM a une segmentation et un réassemblage (SAR), et le GigE PLIM a un circuit intégré spécifique à l'application de Media Access Control - le MAC ASIC), mais la théorie du chemin de paquet à travers tout le PLIMs est très semblable. Ce document se concentre sur le Paquet sur SONET (POS) PLIM, mais des différences utiles sont notées si applicables.

Afin de déterminer le type de moteur de la couche 3 d'un linecard, le Logiciel Cisco IOS version 12.0(9)S type a ajouté engine "L3 » à la sortie de la commande de **show diag**, comme illustré ci-dessous :

```
SLOT 1 (RP/LC 1 ): 1 Port Packet Over SONET OC-12c/STM-4c Single Mode
  MAIN: type 34, 800-2529-02 rev C0 dev 16777215
        HW config: 0x00 SW key: FF-FF-FF
  PCA:  73-2184-04 rev D0 ver 3
        HW version 1.1 S/N CAB0242ADZM
  MBUS: MBUS Agent (1) 73-2146-07 rev B0 dev 0
        HW version 1.2 S/N CAB0236A4LE
        Test hist: 0xFF RMA#: FF-FF-FF RMA hist: 0xFF
  DIAG: Test count: 0xFFFFFFFF Test results: 0xFFFFFFFF
  L3 Engine: 0 - OC12 (622 Mbps)
```



```
!--- Engine 0 card. MBUS Agent Software version 01.40 (RAM) (ROM version is 02.02) Using CAN
Bus A ROM Monitor version 10.00 Fabric Downloader version used 13.01 (ROM version is 13.01)
Primary clock is CSC 1 Board is analyzed Board State is Line Card Enabled (IOS RUN ) Insertion
time: 00:00:11 (2w1d ago) DRAM size: 268435456 bytes FrFab SDRAM size: 67108864 bytes ToFab
SDRAM size: 67108864 bytes 0 crashes since restart
```

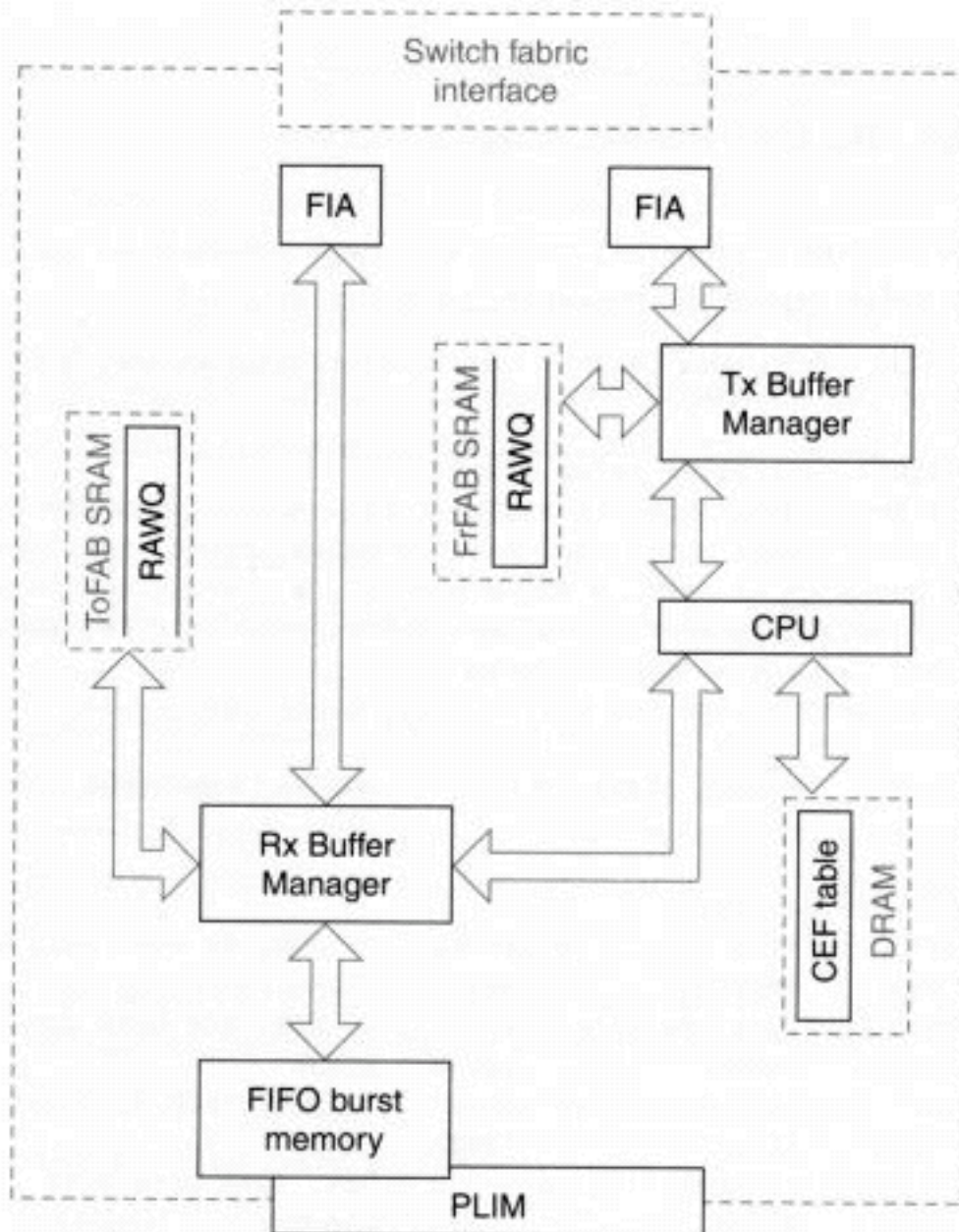
Il y a une commande raccourcie que vous pouvez employer pour obtenir le même résultat, mais avec seulement les informations utiles :

```
Router#show diag | i (SLOT | Engine)
```

```
...
SLOT 1 (RP/LC 1 ): 1 port ATM Over SONET OC12c/STM-4c Multi Mode
  L3 Engine: 0 - OC12 (622 Mbps)
SLOT 3 (RP/LC 3 ): 3 Port Gigabit Ethernet
  L3 Engine: 2 - Backbone OC48 (2.5 Gbps)
...
```

Cisco offre maintenant cinq types de moteurs L3 :

- **Engine 0** - OC12/BMA : La consultation IP/MPLS est faite en logiciel par une CPU R5K. Cette engine utilise la gestion de mémoire tampon existante ASIC (BMA) qui gère des tampons de paquets et des segments et rassemble des paquets pour la transmission à travers la matrice de commutateur. Le BMA de réception est responsable de recevoir des paquets du PLIM, de segmenter des paquets dans les cellules à taille fixe, et de les présenter à l'interface de matrice ASIC (la FIA) pour la transmission à travers la matrice de commutation. Le BMA de transmission, avec l'aide de la FIA, exécute le réassemblage des cellules arrivant de la matrice de commutateur dans des paquets, et remet des paquets au PLIM pour la transmission de la case. La plupart des caractéristiques sur ce linecard sont mises en application en logiciel.
- **Engine 1** - Salsa/BMA48 (TTM48) : Cette deuxième engine a été améliorée. D'abord, un nouvel ASIC a été développé afin d'exécuter la consultation IP dans le matériel. Ce nouvel ASIC s'appelle Salsa. Seulement la réécriture de Contrôle d'accès au support (MAC) est faite en logiciel sur cette engine. Le BMA a été également mis à jour pour obtenir plus de bande passante. Ce s'appelle maintenant le BMA48. Il n'y a aucun soutien MDRR ou WRED de cette engine. Des engines d'expédition de l'**engine 0** et de l'**engine 1** sont affichées avec leurs éléments clé dans la figure ci-dessous : **Engine d'expédition de 1paquet de l'engine 0 et de**



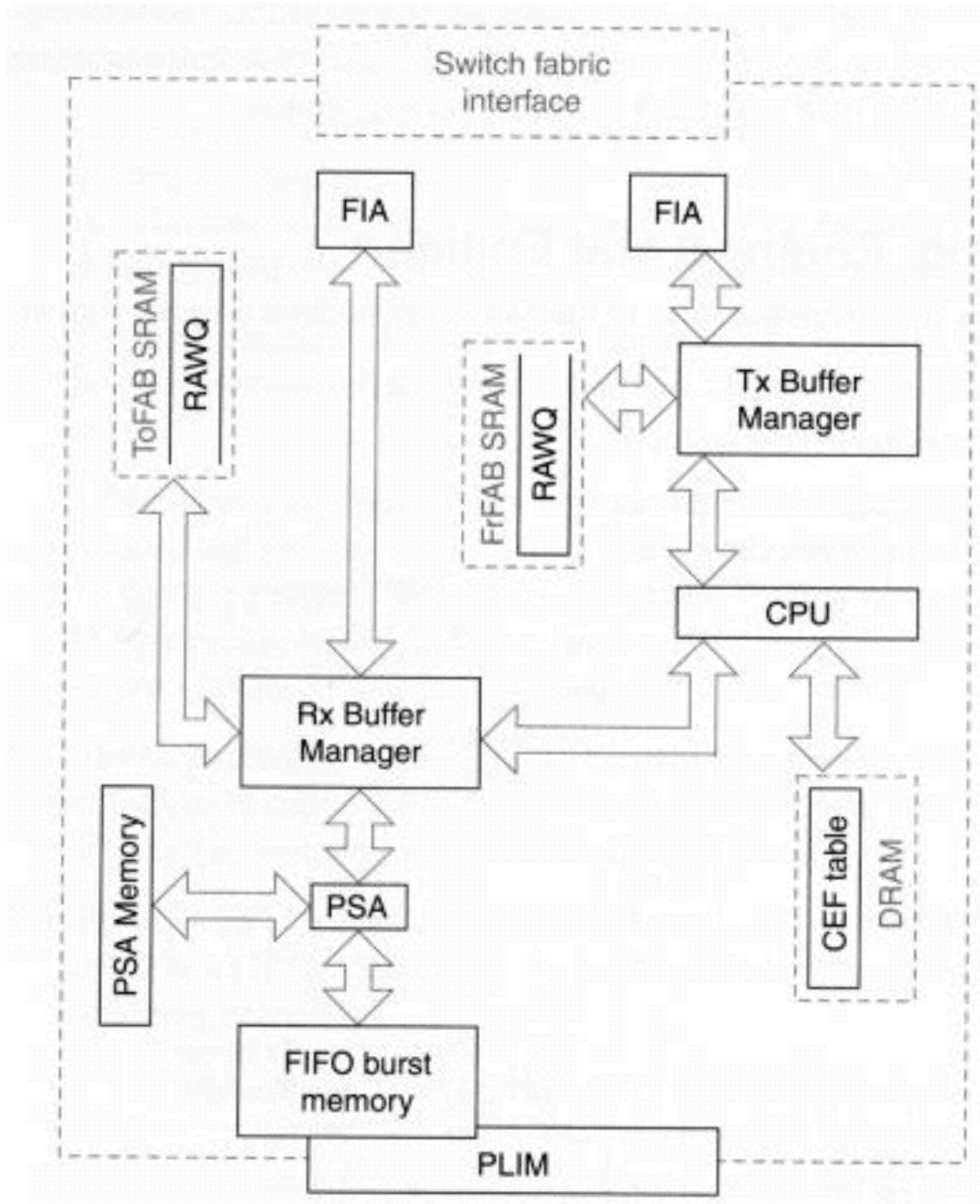
## l'engine

- **Engine 2 - PSA/TBM/RBM (Perf48)** : Un nouvel ASIC est présent sur ces LCS pour améliorer la manière que la consultation IP/MPLS est faite. La commutation de paquets ASIC (PSA) exécute une consultation et une réécriture de matériel pour la balise et les paquets IP. À cet effet, la PSA utilise une copie locale distillée de la table FIB (**show ip PSA a.b.c.d**). **Toute la commutation de paquets sur un Engine 2 LC est faite dans le matériel par la PSA.** La CPU sur le LC est interrompue pour une décision de transfert de paquets seulement si une caractéristique est configurée sur le linecard qui n'est pas pris en charge par la PSA. Cette table PSA est enregistrée dans la mémoire externe qui est seulement présente sur le LCS d'Engine 2.

```
Router#exec slot 11 show controller psa mem
===== Line Card (Slot 11) =====
PLU SDRAM: Size 0x4000000, Banks 4
TLU SDRAM: Size 0x4000000, Banks 4
PSA SSRAM: Size 0x100000
```

La mémoire de paquet a été grimpée par défaut jusqu'à 256 Mo et peut atteindre 512 Mo. Il y a également le nouveau gestionnaire de tampons de Rx et de Tx ASIC (appelé RBM et le TBM, respectivement) qui est une clé pour le soutien réalisé par matériel des caractéristiques de

Classe de service (Cos) sur ce LC : WRED et MDRR sont exécutés dans le matériel. Le CAR n'est pas disponible, mais un sous-ensemble de CAR connu sous le nom de contrôle de débit de Par-interface (PIRC) peut être configuré à la place. En date du Logiciel Cisco IOS version 12.0(14)S, le NetFlow échantillonné est pris en charge sur des linecards de Paquet sur SONET (POS) d'Engine 2. La fonction NetFlow échantillonnée te permet pour échantillonner un sur des paquets IP « x » étant expédiés aux Routeurs, en permettant à l'utilisateur pour définir l'intervalle « x » avec une valeur entre un minimum et un maximum. Des paquets d'échantillonnage sont expliqués dans le cache de flux NetFlow du routeur. Ces paquets d'échantillonnage diminuent sensiblement l'utilisation du processeur requise pour expliquer des paquets de NetFlow en permettant à la majorité des paquets pour être plus rapides commuté parce qu'ils n'ont pas besoin de passer par le traitement supplémentaire de NetFlow. Voir le [NetFlow échantillonné](#) pour de plus amples informations. En date du Logiciel Cisco IOS version 12.0(16)S, le NetFlow échantillonné est pris en charge sur des linecards des Gigabit Ethernet 3-Port. En date du Logiciel Cisco IOS version 12.0(18)S, le NetFlow échantillonné et 128 Listes de contrôle d'accès (ACL) sur la PSA peuvent être maintenant configurés en même temps sur des linecards de Paquet sur SONET (POS) d'Engine 2. Tout est commuté par la PSA, excepté quelques caractéristiques qui doivent aller à la CPU de gens du pays du LC : le CAR de sortie, paquets avec des Listes d'accès appliquées s'ils ne s'insèrent pas dans les restrictions PSA, options/trafic de non-transit, paquets de multidiffusion, paquets d'IPv6, et ainsi de suite. Le CAR de sortie a été remplacé par Formatage du trafic distribué (dTS) en date du Logiciel Cisco IOS version 12.0(16)S. Plus d'informations sont disponibles au [trafic distribué formant pour des linecards dans le Routeur Internet de la série Cisco 12000](#). Le soutien d'ACLs a été changé dans le matériel sur des cartes d'Engine 2. Si vous ne voulez pas les configurer, vous devriez ajouter la ligne **aucune liste d'accès PSA dure à** votre configuration. Est ci-dessous un diagramme d'une engine d'expédition d'Engine 2 et de ses éléments clé : **Engine de transfert de paquet d'Engine 2**



- **Engine 3** - Engine de périphérie : Cette engine est engine complètement nouvelle de la couche 3 d'architecture. Il a également la bande passante OC48, mais il intègre quelques nouveaux ASIC afin d'améliorer la vitesse d'expédition avec tous les QoS et fonctionnalités d'ACL. Les linecards de l'engine 3 sont capables d'exécuter des caractéristiques de périphérie à la ligne débit.
- **Engine 4** - Circuit principal OC192 : Ces plus défunts LCS ne sont pas pris en charge dans les Routeurs de gammes 12008 et 12012. Ils prennent en charge OC192 la ligne débit.
- **Engine 4+** - Mêmes que l'engine 4, sauf qu'elles prennent en charge beaucoup plus de caractéristiques à la ligne débit.

## [Installation de linecard](#)

Sont ci-dessous les liens liés à l'installation et à la configuration du soutien LCS et LC du châssis différent :

- [Notes d'installation et de configuration en linecard de Cisco 12000](#)

Pour plus d'informations sur les types de mémoire sur les linecards, voir la [mémoire actuelle sur](#)

[les linecards.](#)

## Informations connexes

- [Architecture de Routeur Internet de la série Cisco 12000 - Châssis](#)
- [Architecture de Routeur Internet de la série Cisco 12000 - Commutez la matrice](#)
- [Architecture de Routeur Internet de la série Cisco 12000 - Processeur d'artère](#)
- [Architecture de Routeur Internet de la série Cisco 12000 - Détails de mémoire](#)
- [Architecture de Routeur Internet de la série Cisco 12000 - Bus de maintenance, alimentations et ventilateurs d'énergie, et cartes d'alarme](#)
- [Architecture de Routeur Internet de la série Cisco 12000 - Aperçu de logiciel](#)
- [Architecture de Routeur Internet de la série Cisco 12000 - De commutation par paquets](#)
- [Présentation de Cisco Express Forwarding \(CEF\)](#)
- [Support et documentation techniques - Cisco Systems](#)