

# Guía de Troubleshooting de los errores de paridad

## Contenido

[Introducción](#)

[Antecedente](#)

[Errores de software](#)

[Errores persistentes](#)

[Mensajes de error frecuente](#)

[Procesador](#)

[RAM](#)

[ASIC](#)

[Los últimos adelantos](#)

[Procesador](#)

[RAM](#)

[ASIC](#)

[Software](#)

[Restauración MSFC IBC](#)

[Restauración del error de paridad de un solo bit de las 6700 Series”](#)

[Recomendaciones](#)

[Errores de software \(SEU\)](#)

[Auditoría ambiental](#)

[Última versión de firmware \(Rommon\)](#)

[Tornillos de mano](#)

[Errores persistentes \(malfuncionamiento\)](#)

[Auditoría del hardware \(MTBF y EOL\)](#)

[Diagnósticos del hardware](#)

## Introducción

Este documento describe la suavidad y los errores de paridad persistente, explica los mensajes de error frecuente, y recomienda los métodos que le ayudan a evitar o a minimizar los errores de paridad. Las mejoras recientes en el diseño de hardware y software reducen los problemas de la paridad también.

## Antecedente

¿Cuál es un procesador o un Error de paridad de memoria?

La verificación de paridad es el almacenamiento de un dígito binario adicional (mordido) para representar la paridad (impar o aún) de un muy poco de los datos del ordenador (típicamente un byte) mientras que esos datos se salvan en la memoria. El valor de paridad calculado de los datos almacenados entonces se compara al valor de paridad final. Si diferencian estos dos valores, éste indica un error de datos, y por lo menos un bit debe haber sido cambiado debido a la corrupción de datos.

Dentro de un sistema informático, interferencia eléctrica o magnética de las causas internas o externas puede hacer un de un solo bit de la memoria mover de un tirón espontáneamente al estado opuesto. Este evento hace los bits de las informaciones originales inválidos y se conoce como error de paridad.

Tales errores de memoria, si son desapercibidos, pueden tener resultados imperceptibles e inconsecuentes o pueden causar la corrupción permanente de los datos almacenados o de una caída de la máquina.

Hay muchas causas de los Errores de paridad de memoria, que se clasifican como los errores de paridad de software o errores de paridad persistente.

## Errores de software

La mayoría de los errores de paridad son causados por las condiciones del medio ambiente electrostáticas o magnético-relacionadas.

La descarga electrostática (ESD) causa la mayoría de los errores del solo-evento en los chips de memoria la radiación de fondo (tal como neutrones de los rayos cósmicos), interferencia electromagnética (EMI), o. Estos eventos pueden cambiar aleatoriamente el estado eléctrico de una o más celdas de memoria o pueden interferir con el conjunto de circuitos usado para leer y para escribir a las celdas de memoria.

Conocido como errores de paridad de software, estos eventos son típicamente transitorios o al azar y ocurren generalmente una vez. Los errores de software pueden ser de menor importancia o severos:

- Los errores de software de menor importancia que se pueden corregir sin la restauración componente son las alteraciones de un evento único (SEU).
- Los errores de software severos que requieren un componente o un reinicio del sistema son solos latchups del evento (SELs).

Los errores de software no son causados por el Mal funcionamiento de hardware; son transitorios e infrecuentes, son sobre todo probables un SEU, y son causados por una interrupción ambiental de los datos de la memoria.

Si usted encuentra los errores de paridad de software, analice los cambios ambientales recientes que han ocurrido en la ubicación del sistema afectado. Las fuentes comunes de ESD y de EMI que pueden causar los errores de paridad de software incluyen:

- Cables de alimentación eléctrica y fuentes
- Unidades de la distribución de energía
- Fuentes de alimentación universales
- Sistemas de iluminación

- Generadores de poder
- Instalaciones nucleares (radiación)
- Flamas solares (radiación)

## Errores persistentes

Otros errores de paridad son causados por un mal funcionamiento físico del hardware de la memoria o por el conjunto de circuitos usado para leer y para escribir a las celdas de memoria.

Los fabricantes de hardware toman las medidas extensas para prevenir y para probar para los defectos de hardware. Sin embargo, los defectos son todavía posibles; por ejemplo, si las celdas de memoria unas de las usadas para salvar los bits de datos son malformadas, pueden no poder llevar a cabo una carga o pueden ser más vulnerables a las condiciones del medio ambiente.

Semejantemente, mientras que la memoria sí mismo puede actuar normalmente, cualquier daño físico o eléctrico al conjunto de circuitos usado para leer y para escribir a las celdas de memoria puede también hacer los bits de datos ser cambiado durante la transferencia, que da lugar a un error de paridad.

Conocido como errores de paridad persistente, estos eventos son típicamente muy frecuentes y relanzados y ocurren siempre que se utilice la memoria o el conjunto de circuitos afectada. La frecuencia exacta depende del fragmento del mal funcionamiento y cómo el equipo dañado se utiliza con frecuencia.

Recuerde que los errores de paridad persistente son el resultado de un Mal funcionamiento de hardware y ocurra de nuevo siempre que se utilice el componente afectado.

Si usted encuentra los errores de paridad persistente, analice los cambios físicos que han ocurrido en la ubicación del sistema afectado. Las fuentes comunes de Mal funcionamiento de hardware que pueden llevar a los errores de paridad persistente incluyen:

- Picos de tensión (ninguna tierra)
- ESD
- El sobrecalentar o enfriamiento
- Instalación incorrecta o parcial
- Incompatibilidad componente
- Defecto de fabricación

## Mensajes de error frecuente

El software del <sup>®</sup> del Cisco IOS proporciona una variedad de mensajes de error de paridad, que varían con el componente afectado y su impacto relativo en el sistema.

### Procesador

**¡Error del caché detectado!**

**CPO\_CAUSE (registro 13/0): 0x00000400**

**CPO\_ECC (registro 26/0): 0x000000B3**

**CPO\_BUSERRDPA (registro 26/1): 0x000000B3**

**CPO\_CACHERI (registro 27/0): 0x20000000**

**Error real del caché detectado. El sistema será parado.**

**Error: Primario instr cache (Caché de instrucción), campos: datos,**

**Addr físico real 0x00000000,**

**la dirección virtual es imprecisa.**

**Error de paridad de los Datos imprecisos**

**Explicación** Éste es el resultado de un error de paridad dentro del caché del nivel 2 (L2) (memoria de acceso aleatorio estática, o de SRAM) usados por el (RP) o el switch processor (SP) CPU del Route Processor de la Multilayer Switch Feature Card 3 (MSFC3).

**Recomendación** Monitoree el sistema regularmente para el reoccurrence. Si no se observa ningunos otros eventos, es un error de software. Si ocurre el error con frecuencia, solicite una Autorización de devolución de materiales (RMA) para substituir el Supervisor Engine, y marque el módulo para el análisis de la falla del equipo (EFA).

**%SYSTEM\_CONTROLLER-3-ERROR: Error condition detected:**

**SYSAD\_PARITY\_ERROR**

**Explicación** Éste es el resultado de un error de paridad en la Dirección del sistema (bus de datos) usada por el regulador de la En-banda (IBC) del MSFC3.

**Recomendación** Monitoree el sistema regularmente para el reoccurrence. Si no se observa ningunos otros eventos, es un error de software. Si ocurre el error con frecuencia, solicite un RMA para substituir el Supervisor Engine, y marque el módulo para el EFA.

**%SYSTEM\_CONTROLLER-3-ERROR: Error condition detected:**

**TM\_DATA\_PARITY\_ERROR**

**Explicación** Éste es el resultado de un error de paridad en los datos del administrador de la tabla usados por el IBC del MSFC3.

**Recomendación** Monitoree el sistema regularmente para el reoccurrence. Si no se observa ningunos otros eventos, es un error de software. Si ocurre el error con frecuencia, solicite un RMA para substituir el Supervisor Engine, y marque el módulo para el EFA.

**%SYSTEM\_CONTROLLER-3-ERROR: Error condition detected:**

**TM\_NPP\_PARITY\_ERROR**

**Explicación** Éste es el resultado de un error de paridad en el administrador "puntero siguiente de la tabla de la página" usado por el IBC del MSFC3.

**Recomendación** Monitoree el sistema regularmente para el reoccurrence. Si no se observa ningunos otros eventos, es un error de software. Si ocurre el error con frecuencia, solicite un RMA para substituir el Supervisor Engine, y marque el módulo para el EFA.

En las versiones del Cisco IOS Software entre 12.1(8)E y 12.2(33)SX13, el comportamiento predeterminado en respuesta a los eventos SYSTEM\_CONTROLLER-3-ERROR era reajustar el IBC y registrar un mensaje de error.

Sin embargo, esta acción correctiva dio lugar a alguno los casos documentados del IBC (y así, CPU) no más pudiendo transmitir o recibir los datos. Así, el comportamiento fue cambiado en las versiones del Cisco IOS Software más adelante que 12.2(33)SX14 para registrar un mensaje de error y para reajustar el sistema; refiera al Id. de bug Cisco [CSCtf51541](#).

**Interrumpa la excepción, la señal 20 CPU, PC = 0x[dec]**

**Explicación** Éste es el resultado de un error de paridad de un solo bit en el caché

CPU L2 (SRAM) usado por los módulos de las Cisco Catalyst 6700 Series.

**Recomendación** Monitoree el sistema regularmente para el reoccurrence. Si no se observa ningunos otros eventos, es un error de software. Si ocurre el error con frecuencia, solicite un RMA para substituir el módulo 6700, y marque el módulo para el EFA.  
En las versiones del Cisco IOS Software anterior que 12.2(33)SXI5, un bug de software (Id. de bug Cisco [CSCtj06411](#)) haría incluso los errores de paridad de un solo bit reajustar el módulo 6700. Esto fue resuelta en las versiones 12.2(33)SXI6 y 12.2(33)SXJ para el Supervisor Engine 720 y en la versión 15.0SY para el Supervisor Engine 2T.

## RAM

**%SYSTEM\_CONTROLLER-3-ERROR: Error condition detected: SYSDRAM\_PARITY\_ERROR**

**Explicación** Éste es el resultado de un error de paridad incorregible en los Módulos de memoria de la DRAM síncrona (SDRAM) (DIMM) usados por el MSFC3.

**Recomendación** Monitoree el sistema regularmente para el reoccurrence. Si no se observa ningunos otros eventos, es un error de software. Si ocurre el error con frecuencia, limpie y vuelva a sentar el DIMM, y continúe monitoreando. Si el error continúa, solicite un RMA para substituir o actualizar el DIMM.

**%SYSTEM\_CONTROLLER-3-COR\_MEM\_ERR: Error de memoria DRAM corregible.**

**Cuenta [dec], registro [hex]**

**Explicación** Éste es el resultado de un error de paridad corregible en SDRAM (DIMM) usado por el MSFC3.

**Recomendación** Monitoree el sistema regularmente para el reoccurrence. Si no se observa ningunos otros eventos, es un error de software. Si ocurre el error con frecuencia, limpie y vuelva a sentar el DIMM, y continúe monitoreando. Si el error continúa, solicite un RMA para substituir o actualizar el DIMM.

**%MWAM-DFC[dec]-0-CORRECTABLE\_ECC\_ERR: Un error ECC corregible ha ocurrido, A\_BUS\_L2\_ERRORS: 0x10000, A\_BUS\_MEMIO\_ERRORS: 0x0, A\_SCD\_BUS\_ERR\_STATUS: 0x80983000**

**Explicación** Éste es el resultado de un error de paridad de un solo bit en el DRAM usado por los módulos de las 6700 Series.

**Recomendación** Monitoree el sistema regularmente para el reoccurrence. Si no se observa ningunos otros eventos, es un error de software. Si ocurre el error con frecuencia, limpie y vuelva a sentar el DIMM, y continúe monitoreando. Si el error continúa, solicite un RMA para substituir o actualizar el DIMM.

**%PM\_SCP-SP-2-LCP\_FW\_ERR\_INFORM: El módulo [dec] está experimentando el error siguiente: Error de paridad LTL detectado en la bobina # [dec].**

**Explicación** Éste es el resultado de un error de paridad en SRAM usado por los módulos del Cisco Catalyst 6100 y de las Cisco Catalyst 6300 Series.

**Recomendación** Monitoree el sistema regularmente para el reoccurrence. Si no se observa ningunos otros eventos, es un error de software. Si ocurre el error con frecuencia, solicite un RMA para substituir el módulo

6100 o 6300, y marque el módulo para el EFA.

**%SYS-4-SYS\_LCPERR4: [Module \[dec\]](#): Error de paridad LTL detectado en la bobina # [dec]**

**Explicación** Éste es el resultado de un error de paridad en SRAM usado por los módulos de las 6100 y 6300 Series.

**Recomendación** Monitoree el sistema regularmente para el reoccurrence. Si no se observa ningunos otros eventos, es un error de software. Si ocurre el error con frecuencia, solicite un RMA para substituir el módulo 6100 o 6300, y marque el módulo para el EFA.

## ASIC

**%PM\_SCP-SP-2-LCP\_FW\_ERR\_INFORM: El módulo [dec] está experimentando el error siguiente: Vire el error del almacén intermedio del paquete hacia el lado de babor de ASIC ([name]) detectado en los puertos [dec]**

**Explicación** Éste es el resultado de un error de paridad en el almacén intermedio del paquete de ASIC del puerto (SRAM) usado por los módulos Ethernet de las Cisco Catalyst 6148A Series.

**Recomendación** Monitoree el sistema regularmente para el reoccurrence. Si no se observa ningunos otros eventos, es un error de software. Si ocurre el error con frecuencia, solicite un RMA para substituir el módulo 6148A, y marque el módulo para el EFA.

**%LTL-SP-2-LTL\_PARITY\_CHECK: Petición de la verificación de paridad LTL para 0x[hex]**

**Explicación** Éste es el resultado de un error de paridad en la tabla de índice de puerto de ASIC del puerto (SRAM) usada por los módulos de las Catalyst 6100-6500 y 6700 Series.

**Recomendación** Monitoree el sistema regularmente para el reoccurrence. Si no se observa ningunos otros eventos, es un error de software. Si ocurre el error con frecuencia, solicite un RMA para substituir el módulo, y marque el módulo para el EFA.

Refiera a estos documentos del Cisco IOS Software para una lista amplia de mensajes de error:

- [Guía de mensajes del sistema del Cisco IOS Release 12.2SX](#)
- [Guía de mensajes del sistema del Cisco IOS Release 15.x SY](#)

Los ciertos comandos show de los soportes de la [herramienta del Output Interpreter](#) ([clientes registrados solamente](#)). Utilice la herramienta del Output Interpreter para ver una análisis de la salida del comando show.

## Los últimos adelantos

La investigación en el campo de los errores de paridad está en curso, y no cada escenario puede ser dirigido, pero el Cisco Catalyst 6500 organizaciones del desarrollo del hardware y software continúa introduciendo las nuevas maneras, tales como protección del código corrector de error (ECC), de minimizar y de atenuar el acontecimiento de los errores de paridad.

Mientras que este documento comenzó con la discusión de la tercera generación (WS-XSUP720 y 6700 Series tempranas) de Productos del Catalyst 6500, esta sección resume las mejoras introducidas con la cuarta generación (6700 Series VS-S720-10G y posterior) y la quinta

generación (VS-SUP2T-10G y las 6900 Series).

## Procesador

Las funciones del módulo VS-S720-10G una tarjeta secundaria más nueva MSFC3, con un nuevo IBC y un computación configurados con instrucciones reducidas (RISC) actualizado RP y SP CPU SR7010A que actúa en 600Mhz cada uno. Los cachés del nivel 1 (L1), L2, y del nivel 3 (L3) son capaces de la detección de paridad. El IBC más nuevo tiene todas las funciones de la generación primera y agrega la protección ECC (corrección de un solo bit, detección del multibit) a los SRAM asociados.

Los módulos de las 6700 Series soportan un CPU con el caché del ECC protegido L2 (el caché L1 es detección de paridad capaz), que puede corregir los errores de paridad de un solo bit sin la necesidad de reajustar. Sin embargo, debido al Id. de bug Cisco [CSCsz39222](#), la versión 12.2SXI del Cisco IOS Software (Supervisor Engine 720) reajusta el módulo de todos modos si ocurre un error de paridad de la memoria caché de un solo bit CPU. Esto se resuelve en las versiones 12.2SXJ (Supervisor Engine 720) y 15.0SY (Supervisor Engine 2T) del Cisco IOS Software.

El VS-SUP2T-10G ofrece una nueva tarjeta secundaria MSFC5 con un IBC integrado y un nuevo MPC8572 solo, dual-core PPC RP CPU (con el caché L2 y L3 del ECC protegido, el caché L1 es detección de paridad capaz) que actúa en 1.5Ghz por la base. También ofrece un procesador de administración (CMP) CPU y un ECC protegido nuevos, separados, de la conectividad fuera de banda DRAM, que está disponible incluso si el RP CPU es actualmente inasequible.

El nuevo IBC tiene todas las funciones de generaciones primeras y soporta la protección ECC para los SRAM asociados y las mejoras en la gestión de error de error de paridad. El nuevo MSFC5 también ofrece una ROM a bordo del registro del error (OBFL), que salva toda la inicialización del módulo y eventos de los diagnósticos. El nuevo diseño de la CPU única también reduce la probabilidad estadística de los eventos de error de paridad.

Los módulos de las 6900 Series soportan un CPU más nuevo con el caché L1 y L2 del ECC protegido, que puede corregir los errores de paridad de un solo bit sin la necesidad de reajustar. La generación nueva soporta el mismo IBC, y el software que dirigía para la corrección de error de paridad de un solo bit se ha incorporado.

## RAM

El VS-S720-10G con el MSFC3 ofrece la doble-DATA-tarifa (DDR) SDRAM con la protección ECC, actuando en 266Mhz.

Los módulos de las 6700 Series soportan DDR SDRAM con la protección ECC, actuando en 266Mhz.

La solo-data-tarifa comparada (SDR) SDRAM, la interfaz SDRAM DDR hace velocidades de transferencia más altas posibles por más control estricto de la sincronización de los datos y de las señales de reloj eléctricos. La interfaz DDR utiliza el bombeo doble (Transferencia de datos en los bordes de levantamiento y que caen de la señal de reloj) para bajar la frecuencia del reloj. Una frecuencia del reloj más baja reduce los requisitos de la integridad de señal en la placa de circuitos que conecta la memoria con el regulador.

El VS-SUP2T-10G con MSFC5 ofrece DDR3 SDRAM con la protección ECC, actuando en 667Mhz.

Los módulos de las 6900 Series soportan DDR3 SDRAM con la protección ECC, actuando en 667Mhz.

El beneficio principal de DDR3 SDRAM sobre sus precursores inmediatos (DDR2 y DDR) es su capacidad de transferir los datos dos veces a la tarifa (ocho veces la velocidad de sus vectses de memoria interna), que habilita las velocidades de datos del ancho de banda mayor o del pico. La memoria DDR3 también reduce el consumo de energía por el 30%, aunque utiliza la misma norma de señalización eléctrica que el DDR y DDR2.

## **ASIC**

El VS-S720-10G con PFC3C ofrece los almacenes intermedios del paquete de SRAM con la protección ECC. Esto proporciona la corrección de error de paridad de un solo bit sin el reinicio de módulo, así como la detección de error de paridad de bit múltiple.

Las 6700 Series con DFC3C ofrecen los almacenes intermedios del paquete de SRAM con la protección ECC. Esto proporciona la corrección de error de paridad de un solo bit sin el reinicio de módulo, así como la detección de error de paridad de bit múltiple.

El VS-SUP2T-10G con PFC4 ofrece los almacenes intermedios del paquete de SRAM con la protección ECC. Esto proporciona la corrección de error de paridad de un solo bit sin el reinicio de módulo, así como la detección de error de paridad de bit múltiple.

Las 6900 Series con DFC4 ofrecen los almacenes intermedios del paquete de SRAM con la protección ECC. Esto proporciona la corrección de error de paridad de un solo bit sin el reinicio de módulo, así como la detección de error de paridad de bit múltiple.

## **Software**

El Cisco IOS Software se diseña para soportar la protección ECC. Si un componente de hardware que soporta la protección ECC experimenta un SEU, el código debe corregir los datos corruptos o reajustar el componente afectado y no requerir un reinicio de hardware completo del módulo afectado.

Sin embargo, en las versiones anteriores del Cisco IOS Software, hay algunas excepciones donde el comportamiento se ha cambiado intencionalmente o los malfuncionamientos debido a un bug de software. Aquí están dos excepciones notables.

### **Restauración MSFC IBC**

En las versiones del Cisco IOS Software entre 12.1(8)E y 12.2(33)SX13, el comportamiento predeterminado en respuesta a los eventos SEU SYSTEM\_CONTROLLER-3-ERROR era reajustar el IBC y registrar un mensaje de error. Sin embargo, esta acción correctiva dio lugar a alguno los casos documentados del IBC (y así, CPU) no más pudiendo transmitir o recibir los datos.



Así, el comportamiento fue cambiado después de la versión 12.2(33)SXI4 (Id. de bug Cisco [CSCtf51541](#)) para registrar un mensaje de error y para reajustar el sistema. Mientras que esta reacción puede parecer más severa, es preferible reajustar el sistema y corregir la estructura de memoria que tener un sistema insensible.

Una característica ahora en el desarrollo (Id. de bug Cisco [CSCtr89859](#)) agregará un nuevo comando line interface (cli) que le deje conmutar el comportamiento predeterminado. Esta mejora es la más aplicable a los sistemas que utilizan a un solo supervisor y no tienen así ninguna redundancia de Supervisor.

## **Restauración del error de paridad de un solo bit de las 6700 Series”**

En las versiones del Cisco IOS Software than12.2(33)SXI5 anterior, un bug de software (Id. de bug Cisco [CSCtj06411](#)) haría incluso los errores de paridad de un solo bit reajustar el módulo 6700. Esto sería un error de paridad corregible y no requeriría normalmente el módulo ser reajustado.

Este bug fue resuelto en las versiones 12.2(33)SXI6+ y 12.2SXJ para el Supervisor Engine 720 y en la versión 15.0SY para el Supervisor Engine 2T. Después de que una actualización a la versión apropiada, el módulo 6700 registre simplemente un mensaje de error y continúe actuando.

## **Recomendaciones**

Por esta punta, usted ha determinado probablemente si usted ha encontrado una suavidad o un error de paridad persistente. Mientras que esto puede dirigir un solo incidente, otras vulnerabilidades del error de paridad pueden todavía existir, así que usted debe tomar un más enfoque amplio a su toda la red.

Así, Cisco y la unidad comercial del Catalyst 6500 recomiendan que usted revisa estos procedimientos de la mitigación y toma las acciones correctivas apropiadas para eliminar o reducir los errores de paridad futuros.

## **Errores de software (SEU)**

Los solos errores de paridad (suaves) del evento son causados por las condiciones del medio ambiente y pueden ocurrir solamente una vez (SEU) o muy infrecuentemente, por ejemplo mensual o anualmente. Aunque usted no necesite substituir el hardware, usted quiere atenuar los eventos futuros.

Estas mejores prácticas reducen perceptiblemente la probabilidad de los errores de paridad de software.

## **Auditoría ambiental**

Cisco recomienda que usted realiza una auditoría ambiental de sus ubicaciones de la red afectadas. Usted puede realizar esta auditoría usted mismo o en coordinación con un

representante de Cisco, con un equipo de Cisco (tal como [Advanced Services de Cisco](#)), o a través de un consultor de tercera persona.

La cobertura y la complejidad exactas de una auditoría ambiental dependen de muchas diversas variables tales como ubicación geográfica, edificio y tamaño y diseño del sitio, diseño y disposición eléctrica, y otros factores relacionados.

Considere qué fuentes ambientales de ESD y de EMI pueden existir en o alrededor de su red. Éstas son las fuentes comunes de interferencia que pueden llevar a un error de paridad de software:

- Cables de alimentación eléctrica y fuentes
- Unidades de la distribución de energía
- Fuentes de alimentación universales
- Sistemas de iluminación
- Generadores de poder
- Instalaciones nucleares (radiación)
- Flamas solares (radiación)

#### **Colocación del chasis**

Los SEU pueden ocurrir si las unidades de la distribución de energía, los generadores de poder, o los sistemas de iluminación están demasiado cercanos al chasis o si los cables de alimentación eléctrica múltiples están en o al lado del chasis.

Es importante proporcionar la distancia adecuada entre el chasis del Catalyst 6500 y estas eléctricas y magnéticas fuentes. Las distancias recomendadas varían por el componente y son disponible desde las fichas técnicas componentes.

Cisco le recomienda generalmente localiza los sistemas por lo menos tres a seis pulgadas de las fuentes comunes de interferencia eléctrica y magnética. Los cables de alimentación eléctrica se deben rutear abajo y lejos del chasis, donde sea posible, y no se deben poner en los conjuntos firmemente pila de discos o en los números grandes a través o al lado del chasis.

#### **El poner a tierra**

Las fluctuaciones y los picos de tensión del poder son relativamente comunes, y las fuentes de alimentación del Catalyst 6500 se diseñan para acomodar las variaciones de poca importancia en la corriente del voltaje.

Sin embargo, es crítico proporcionar poner a tierra eléctrico apropiado para el chasis y el estante así que cualquier exceso de voltaje eléctrico se drena lejos del sistema. Sin la conexión a tierra adecuado, los picos de tensión pueden dar lugar al daño o al malfuncionamiento en diverso Asics y los componentes de la memoria. Refiera a la [guía de instalación del Catalyst 6500 Series Switch, instalando el Switch, estableciendo la tierra del sistema](#), para más información.

#### **ESD**

El ESD puede dañar fácilmente a los componentes críticos sin ninguna debilitación visible. Las

medidas preventivas apropiadas se deben incorporar en las directivas de operación del laboratorio, pero tales medidas son a menudo y desafortunadamente ignorado debido a la conveniencia y al descuido limitado.

Cisco recomienda que su Administración de operaciones del laboratorio, junto con Cisco Systems, realiza una auditoría ambiental de todas las áreas de red o, al mínimo, de todas las áreas que han exhibido las fallas de hardware o se han señalado como misión crítica. Una vez que la auditoría es completa, Cisco recomienda que usted implementa una lista de verificación ambiental estandarizada para todos los sistemas nuevamente instalados para evitar los eventos futuros de la paridad SEU.

### Última versión de firmware (Rommon)

Los componentes de hardware Catalyst utilizan el código del firmware (también conocido como Rommon) para inicializar, para comunicar, y para ejecutar los diagnósticos. Una vez que estas funciones son completas, la operación del sistema se vuelca al Cisco IOS Software. Es infrecuente experimentar los problemas con el firmware, pero puede haber problemas si usted utiliza diverso código de las versiones de firmware para los supervisores y los módulos.

Así, es una mejor práctica asegurarse de que todos los componentes utilizan el código de la última versión de firmware para asegurar la inicialización y la comunicación del módulo apropiado. Cisco recomienda que su Administración de operaciones realiza una auditoría de la red y actualiza a todos los componentes de hardware con la versión de la última versión de firmware.

Los problemas y los procedimientos de actualización sabidos del firmware se documentan en:

- [Release Note para el procesador ROMMON del 720 Switch del Supervisor Engine](#)
- [Release Note para el módulo de switching ROMMON de las 6700 Series](#)

Descargue las versiones de la última versión de firmware del sitio Web de Cisco:

- [Cisco Catalyst Supervisor Engine 720 de la serie 6500/MSFC3 - 8.5\(4\) Rommon](#)
- [Supervisor Engine virtual 720 de la transferencia de las Cisco Catalyst 6500 Series con el uplinks 10GE - 12.2\(18r\)S1 Rommon](#)

### Tornillos de mano

Todos los sistemas de interconexión de redes modulares se diseñan para insertar en un backplane del chasis con un conjunto de los contactos de la interfaz física. El backplane del chasis sí mismo es esencialmente una serie de alambres interconectados. Los contactos en cada slot del chasis forman la conexión de datos físicos entre el supervisor y los módulos Ethernet. Así, la inserción apropiada y la alineación de estos contactos es críticas.

El Catalyst 6500 proporciona los rieles guías y los contactos de alineación que ayudan a la instalación en el chasis. Los contactos del slot (socketes) y los conectores de módulo se diseñan para dedicar y para proporcionar fácilmente el ancho de banda alto conectividad eléctrica capaz. Insertado una vez en el chasis, hay los tornillos de mano a cada lado del módulo que dedican completamente los contactos del backplane. Refiera a la [nota de la instalación de módulos del Catalyst 6500 Series Switch](#).

Si un módulo se ha insertado correctamente en el slot y han apretado a los tornillos de mano

correctamente, no se espera ningunos problemas de comunicación. Sin embargo, varias condiciones pueden ocurrir en la inserción cotidiana de los módulos que pueden llevar a la inserción incorrecta o aún incompleta del pin:

- **Fuerza escasa de la inserción** - Si el módulo se inserta parcialmente sin el uso de los tornillos de mano, éste puede causar las paradas del bus, y el módulo puede no poder comunicar con otros módulos. Dependiendo del nivel de inserción (por ejemplo, si hay contacto físico limitado), el módulo puede poder transmitir y recibir los datos, pero puede experimentar los errores de bit que dan lugar a los paquetes corruptos.
- **Desalineamiento vertical** - Esto ocurre cuando solamente un lado del módulo está en los rieles guías. Esto se identifica fácilmente porque el módulo aparece diagonal y no conecta generalmente con los contactos del backplane.
- **Desalineamiento horizontal** - Si utilizan a los tornillos de mano en solamente un lado, algunos de los contactos no enganchan correctamente. Esto es un problema común, porque el módulo puede aparecer ser insertado correctamente. El desalineamiento horizontal es realmente una forma de fuerza escasa de la inserción.

Cisco recomienda que usted implementa un proceso de administración de la operación que asigne el uso por mandato de los tornillos de mano en todos los módulos del Catalyst 6500 en los entornos de producción. Esto asegura la inserción y la alineación apropiadas y completas de los contactos del backplane y previene las fallas futuras debido a los errores de bit y a las fallas de comunicación relacionadas.

## Errores persistentes (malfuncionamiento)

Los errores de paridad (duros) frecuentes o repetibles son causados por el malfuncionamiento físico de la memoria o del conjunto de circuitos usado para leer y para escribir. En estos casos, sustituya el hardware y pida el Centro de Asistencia Técnica de Cisco (TAC) o su Cisco Systems dirige para conducir un EFA en el hardware vuelto.

Estas mejores prácticas reducen perceptiblemente la probabilidad de los errores de paridad persistente.

## Auditoría del hardware (MTBF y EOL)

Cisco recomienda que usted realiza una auditoría de la red de sus ubicaciones de la red afectadas. Usted puede realizar esta auditoría usted mismo o en coordinación con un representante de Cisco, con un equipo de Cisco (tal como [Advanced Services de Cisco](#)), o a través de un consultor de tercera persona.

Todo el hardware (de todos los vendedores) está conforme a la degradación eventual de la integridad física, y a él es importante seguir el ciclo vital de todos los componentes de hardware en su red para entender completamente la probabilidad de la falla del componente en un cierto plazo.

La confiabilidad de hardware se puede medir con el marco del Mean Time Between Failure (MTBF). Puesto que el MTBF es solamente una media estadística, éste no significa que un error ocurrirá definitivamente en el final del período de tiempo MTBF. Sin embargo, la probabilidad y la vulnerabilidad de los aumentos de la falla del componente, así que de tal hardware se deben señalar por medio de una bandera para restauran. Refiera a las [hojas de datos de los Cisco](#)

[Catalyst 6500 Series Switch](#) para los valores específicos MTBF para cada producto del Catalyst 6500.

El valor “a nivel sistema” calculado agregado [MTBF del Catalyst 6500](#) es  $\geq 7$  años.

Además del marco MTBF, Cisco también proporciona un marco del fin de vida (EOL), que define el ciclo vital previsto de un producto dado y proporciona los avisos aplicables para ayudarle a restaurar sus equipos antiguos. Refiera a los [avisos del fin de vida y del Fin de la Venta](#) para los diversos Productos del Catalyst 6500 de la herencia.

Como resultado de esta auditoría del hardware, Cisco recomienda que usted implementa su propio proceso MTBF y EOL que identifique y el hardware de las pistas para el potencial restaura. Esto se asegura de que el último hardware se esté ejecutando y minimiza la probabilidad del Mal funcionamiento de hardware.

## Diagnósticos del hardware

Las Catalyst 6500 Series y el Cisco IOS Software proporciona los diagnósticos genéricos de los diagnósticos en línea (ORO) y del control de salud (HM) para todos los componentes de hardware usados en el sistema. Los dos tipos básicos de diagnósticos que puedan ser habilitados son a pedido y arranque inicial. Refiera a los [diagnósticos en línea genéricos en el Cisco Catalyst 6500 Series Switch](#) para la información adicional.

Cisco recomienda que “complete” los diagnósticos de carga esté habilitado para todos los componentes de hardware para asegurarse de que todas las pruebas de diagnóstico están ejecutadas y confirmar que todos los componentes de hardware están funcionando como se esperaba sobre el arranque inicial.

Cisco también recomienda que usted programa el asiduo, los diagnósticos a pedido de los componentes de infraestructura críticos en un diario o el semanalmente. Más allá de los diagnósticos de carga que ocurren solamente durante la inicialización, los diagnósticos a pedido se aseguran de que el hardware continúe actuando como se esperaba. Refiera a la [guía de configuración de software, a la interfaz y a los componentes de hardware de la versión 12.2SX del Catalyst 6500, los diagnósticos en línea](#) para más información.

Además de las pruebas de diagnóstico a pedido del valor por defecto, Cisco recomienda que usted permite a estas pruebas de diagnóstico a pedido para dinámico identificar a los componentes de la memoria que pudieron funcionar incorrectamente:

- TestLinecardMemory
- TestAsicMemory