

# Funciones avanzadas de memoria y resolución de problemas en plataformas UCS M7 y M8

## Contenido

---

[Introducción](#)

[Prerequisites](#)

[Requirements](#)

[Componentes Utilizados](#)

[Antecedentes](#)

[Descripción general de errores de memoria](#)

[Funciones RAS de memoria de Cisco UCS M7/M8](#)

[ECC de nivel de sistema](#)

[Ahorro de pasos de bloqueo virtuales \(VLS\)/corrección adaptativa de datos de doble dispositivo \(ADDC\)](#)

[ECC en chip](#)

[Comprobación de errores y limpieza \(ECS\)](#)

[Reparación posterior al paquete \(PPR\)](#)

[PMIC \(circuito integrado de administración de energía\)](#)

[Análisis de registro](#)

[Archivos para registrar la asistencia técnica](#)

[Troubleshooting de Fallas RAS](#)

[Errores notables](#)

---

## Introducción

Este documento describe las nuevas funciones de memoria introducidas en los servidores de la generación M7 y M8 de UCS y los pasos para comprender y solucionar los errores de memoria

## Prerequisites

### Requirements

Cisco recomienda que tenga conocimiento sobre estos temas.

- Conocimientos básicos de UCS.
- Comprensión básica de la arquitectura de memoria.

### Componentes Utilizados

La información que contiene este documento se basa en las siguientes versiones de software y hardware.

- Servidores de la familia UCS M7 y M8
- UCS Manager
- Cisco Integrated Management Controller (CIMC)
- Modo gestionado de Cisco Intersight (IMM)

La información que contiene este documento se creó a partir de los dispositivos en un ambiente de laboratorio específico. Todos los dispositivos que se utilizan en este documento se pusieron en funcionamiento con una configuración verificada (predeterminada). Si tiene una red en vivo, asegúrese de entender el posible impacto de cualquier comando.

## Antecedentes

### Descripción general de errores de memoria

Los errores de memoria se encuentran entre los tipos de errores más comunes en los servidores modernos. Los errores se detectan a menudo cuando se intenta leer una ubicación de memoria y el valor leído no coincide con el valor escrito por última vez.

Los errores de memoria pueden ser de software o de hardware. Algunos errores son corregibles, pero varios errores de software o hardware simultáneos en un único acceso a la memoria pueden ser incorregibles.

## Funciones RAS de memoria de Cisco UCS M7/M8

Los servidores Cisco UCS M7 y M8 cuentan con un sólido conjunto de funciones RAS, como se detalla aquí. Esto minimiza el impacto de los errores de memoria en el rendimiento y el tiempo de actividad del sistema.

### ECC de nivel de sistema

Todos los servidores Cisco UCS M7 utilizan módulos de memoria con códigos ECC que pueden corregir cualquier error limitado a un único chip DRAM x4 y detectar cualquier error de doble bit en hasta dos dispositivos. Esto se conoce ahora como ECC de nivel de sistema, como en los servidores de generaciones anteriores

.

### Ahorro de pasos de bloqueo virtuales (VLS)/corrección adaptativa de datos de doble dispositivo (ADDC)

ADDDC Sparing puede corregir dos fallas DRAM sucesivas si residen en la misma región. Esta función realiza un seguimiento de los errores corregibles y asigna dinámicamente los bits fallidos mediante la copia de repuesto ("reposición") del contenido en una línea de caché "de amigos". Este mecanismo puede mitigar errores corregibles que, si no se tratan, podrían volverse incorregibles. Esta función utiliza el paso de bloqueo virtual (VLS) para asignar pares de compañeros de línea de caché dentro del mismo canal de memoria en el nivel de banco de la

DRAM mediante el VLS de banco o en el nivel de dispositivo de la DRAM mediante el VLS de rango.

.

## ECC en chip

ECC en chip es una nueva función de DDR5. Esta función está activada de forma predeterminada. DRAM corrige todos los errores de un solo bit (hardware y software) antes de que los datos se transmitan al host. Sin embargo, estos datos corregidos no se vuelven a escribir en la DRAM. Comprobación y limpieza de errores (ECS) es la función utilizada para limpiar y corregir los errores de un solo bit en la memoria.

## Comprobación de errores y limpieza (ECS)

El ECS verifica los errores en segundo plano analizando cada matriz DRAM periódicamente (cada 24 horas), corrigiéndolos escribiendo los datos en la matriz y proporcionando un recuento de los errores encontrados durante la limpieza. De manera predeterminada, esta función está habilitada.

## Reparación posterior al paquete (PPR)

La reparación posterior de paquetes es una función en la que se utilizan filas de repuesto para reemplazar una celda o fila inadecuada en un dispositivo DRAM.

Existen tres tipos: Soft PPR(reconfigurable), Hard PPR(permanente) y Runtime PPR.

- Los servidores Cisco UCS M7 con CPU Intel son compatibles con PPR "duras". Esta es una reparación permanente y se lleva a cabo durante el reinicio en función de los datos de error recopilados durante el tiempo de ejecución anterior o si se encuentran errores de fila durante EMT.
- Las reparaciones suelen ocurrir durante los reinicios en frío/calor o los ciclos de CA.
- En el UCS M8 admite los tres tipos de PPR, el PPR duro está habilitado de forma predeterminada, mientras que el PPR en tiempo de ejecución está deshabilitado.
- Runtime PPR permite que se realicen reparaciones durante el funcionamiento del sistema sin que ello afecte al tiempo de actividad.
- Si están activados tanto el PPR de hardware como el de tiempo de ejecución, se utilizan todas las funciones del PPR. Si el PPR de hardware está deshabilitado pero el PPR de tiempo de ejecución está habilitado, el sistema establece de forma predeterminada el PPR de software.
- PPR está estrechamente vinculado con los errores corregibles, y cada error corregible genera un registro SEL cuando PPR está habilitado.

## PMIC (circuito integrado de administración de energía)

El PMIC en un DIMM es una función clave de los módulos de memoria DDR5. Esta integración traslada la función de gestión de la alimentación desde la placa base al módulo de memoria, lo que ofrece varias ventajas significativas.

Para la memoria DDR5, se habilita el control de errores PMIC.

- Los errores PMIC generan registros CELL durante el tiempo de ejecución y después del arranque.
- Durante la formación de memoria, si se detecta un fallo de PMIC en un canal de memoria, se asigna el DIMM afectado y el sistema continúa arrancando con una memoria reducida

## Análisis de registro

### Archivos para registrar la asistencia técnica

UCSM\_X\_TechSupport > sam\_techsupportinfo proporciona información sobre DIMM y matriz de memoria.

Soporte técnico de chasis/servidor

CIMCX\_TechSupport\tmp\CICMX\_TechSupport.txt -> Información genérica de soporte técnico sobre el servidor X.

CIMCX\_TechSupport\obfl\obfl-log -> Los registros de OBFL proporcionan un registro continuo sobre el estado y el inicio del servidor X.

CIMCX\_TechSupport\var\log\sel -> registros SEL para el servidor X.

En función de la plataforma/versión, desplácese hasta los archivos del paquete de soporte técnico.

RAS -Para ECS (comprobación de errores y limpieza) Ubicación del error CEetc. recopilados durante el tiempo de ejecución en cada limpieza

/nv/etc/BIOS/bt/DDR5\_CISCO\_ECS

AMT se ejecuta automáticamente en el siguiente arranque si se produce un error de CE y UCE en los DIMM

nv/etc/BIOS/bt/MrcOut.

AMT\_TEST\_PATTERN:  
ADV\_MT\_SAMSUNG

AMT\_RESULT: APROBADO.

Error PMIC: /nv/etc/DIMM-PMIC.txt

El servidor M8 contiene :-

nv/etc/BIOS/bt >MrcOut

Estos archivos proporcionan información sobre la memoria tal como se ve a nivel de BIOS.

Se puede hacer referencia cruzada de nuevo a la información allí con las tablas de informes de estados DIMM.

Ejemplo del servidor AMD :-

nv/etc/BIOS/bt >MrcOut

Contiene:

- Versión del BIOS, fecha y hora de compilación
- Versiones de firmware de PSP
- Presencia y estado de DIMM (indica que DIMM está presente o no)
- Detalles de configuración de DIMM.

2025/08/14 13:44:34

BIOS ID : C245M8.4.3.6b.0 Built 04/28/2025 14:15:22

=====  
PSP Firmware Versions

=====  
ABL Version: 100E8012  
PSP: 0.29.0.9B  
PFMW (SMU): 4.71.126.0  
SEV: 1.1.37.28  
PHY: 0.1.38.0  
MPIO: 1.0.2D.C4  
TF MPDMA: 0.47.3.0  
PM MPDMA: 0.47.46.0  
GMI: AB.1.27.0  
RIB: 2.0.8.39  
SEC: D.E.90.71  
PMU: 0.0.90.4E  
EMCR: 0.0.E0.4E  
uCode B1: 0xA101154

DIMM Status:

=====		
Memory	DIMM Status	
Channel		
=====		
P1_A	01	
P1_B	01	
P1_C	01	
P1_D	01	
P1_E	01	
P1_F	00	
P1_G	01	
P1_H	01	
P1_I	01	
P1_J	01	
P1_K	01	
P1_L	00	

P2_A	01
P2_B	01
P2_C	01
P2_D	01
P2_E	01
P2_F	00
P2_G	01
P2_H	01
P2_I	01
P2_J	01
P2_K	01
P2_L	00

|=====|

#### DIMM Configuration:

=====

MbistTest = Disabled  
MbistAggressor = Disabled  
MbistPerBitSlaveDieReport = Enabled  
DramTempControlledRefreshEn = Disabled  
UserTimingMode = Disabled  
UserTimingValue = Disabled  
MemBusFreqLimit = Disabled  
EnablePowerDown = Disabled  
DramDoubleRefreshRate = Disabled  
PmuTrainMode = 0x0000  
EccSymbolSize = 0x0000  
UEccRetry = Disabled  
IgnoreSpdChecksum = Disabled  
EnableBankGroupSwapAlt = Disabled  
EnableBankGroupSwap = Disabled  
DdrRouteBalancedTee = Disabled  
OdtsCmdThrotEn = Disabled  
OdtsCmdThrotCyc = Disabled

=====

Enhanced Memory Context Restore : APOB\_SAVED

2025/08/14 13:44:34

#### Inventario de archivos de salida de MCA:-

Este archivo contiene información sobre los registros MCA de todos los bancos .

(Siempre que se haya detectado un error de UCE)

--- START OF MCA FILE ---

Timestamp H:M:S 13:44:15 D:M:Y 14:8:2025

--- Note ---

The legacy MCA registers include:

MCA\_CTL - Enables error reporting via machine check exception.  
 MCA\_STATUS - Logs information associated with errors.  
 MCA\_ADDR - Logs address information associated with errors. The use of AMD Secure Memory Encryption may  
 MCA\_MISC0 - Logs miscellaneous information associated with errors.  
 The MCA Extension registers include:  
 MCA\_CONFIG - Provide configuration capabilities for this MCA bank.  
 MCA\_IPID - Provides information on the block associated with this MCA bank.  
 MCA\_SYND - Logs physical location information associated with a logged error.  
 MCA\_DESTATUS - Logs status information associated with a deferred error.  
 MCA\_DEADDR - Logs address information associated with a deferred error.  
 MCA\_MISC[1:4] - Provides additional threshold counters within an MCA bank.  
 MCA\_TRANSSYND - Logs location information associated with a transparent error.  
 MCA\_TRANSADDR - Logs address information associated with a transparent error.

LS - Load-Store Unit -> Bank 0  
 IF - Instruction Fetch Unit -> Bank 1  
 L2 - L2 Cache Unit -> Bank 2  
 DE - Decode Unit -> Bank 3  
 Empty/Unused bank -> Bank 4  
 EX - Execution Unit -> Bank 5  
 FP - Floating Point Unit -> Bank 6  
 L3 - L3 Cache Unit -> Bank 7 to 14  
 MP5 - Microprocessor5 Management Controller -> Bank 15  
 PB - Parameter Block -> Bank 16  
 PCS-GMI - GMI Controller -> Bank 17 to 18  
 KPX-GMI - High Speed Interface Unit(GMI) -> Bank 19 to 20  
 UMC - Unified Memory Controller -> Bank 21 to 22  
 CS - Coherent Station -> Bank 23 to 24  
 NBIO - NorthBridge IO Unit -> Bank 25  
 PCIE - PCIe Root port -> Bank 26 to 27  
 PIE - Power Management, Interrupts, Etc -> Bank 28  
 SMU - System Management Controller Unit -> Bank 29  
 PCS\_XGMI - XGMI Controller -> Bank 30  
 KPX\_SERDES - High Speed Interface Unit(XGMI)-> Bank 31  
 Empty/Unused bank -> Bank 32 to 63

Total BankNumber = 32  
 MC Global Capability Value = 120  
 MC Global Status Value = 0  
 MC Global Control Value = 0  
 Number of processor = 64  
 ProcNum BankNum Socket CCD CCX Core Thread MCA Bank Status MCA Bank Address MCA Configuration MCA IPID I

Timestamp H:M:S 13:44:32 D:M:Y 14:8:2025  
 --- END OF MCA FILE ---

Ejemplo de falla de PMIC en los registros de Sel :-

Siempre que se produzca un error de PMIC en tiempo de ejecución en el módulo DIMM, se generará el registro SEL como se muestra a continuación y el host se desactivará.

- 2024-06-11 20:26:36 IST ♦Evento de software del sistema de advertencia: Se afirmó sensor de memoria, error de memoria (fallo PMIC detectado y aislado), socket DIMM 1, canal A, CPU 2.

2024-06-11 20:26:36 IST

Warning

System Software event: Memory sensor, Memory Failed (PMIC Fault detected and isolated) was asserted, DIMM socket 1, Channel A, CPU 2. was asserted

El BIOS mapea el DIMM defectuoso en la próxima alimentación del host en . Vemos el siguiente SEL

2024-06-12 08:30:23 IST

Critical

CPU1 DIMM A1 Memory Failed (PMIC Fault detected and isolated) was asserted

Se genera un error como se muestra a continuación.

2024 Jun 11 23:33:...

critical

EQUIPMENT\_INOPERABLE

[F1968][critical][equipment-inoperable][sys/rack-unit-1/board/memory] DIMM\_P1\_A1\_PMIC :Memory Failed (PMIC Fault detected and isolated) was asserted

2025 Sep 23 23:50:14 UTC	Critical	EQUIPMENT_INOPERABLE	[F1968][critical][equipment-inoperable][sys/rack-unit-1/board/memory] DIMM_P1_B1_PMIC :Memory Failed (PMIC Fault detected and isolated) was asserted
2025 Sep 23 23:50:15 UTC	Informational	EQUIPMENT_INOPERABLE	[F1968][cleared][equipment-inoperable][sys/rack-unit-1/board/memory] DIMM_P1_B1_PMIC :Memory Failed (PMIC Fault detected and isolated) was deasserted

## Troubleshooting de Fallas RAS

Por lo general, estos fallos se ven en UCS Manager como un evento RAS.

Slot ID : 6

Product Name : Cisco UCS X210c M7 2 Socket Compute Node

Vendor : Cisco Systems Inc

Revision : 0

Manufacturing Date : 2024-11-28

Asset Tag :

Name :

User Label :

Unique Identifier : 96cd0997-71b6-4975-0000-000025b5f30c

Service Profile :

Health LED : Critical

Oper Qualifier Reason : DDR5\_P2\_H1\_ECC:Sensor Threshold Crossed; DDR5\_P2\_G2\_ECC:Sensor Threshold Crossed;

Locator LED :

Chassis ID : 3

PID : UCSX-210C-M7

Serial :

FP Buttons : Locked

Summary



Servers / Service Profiles / root / Service Profile INF-WINDB...

< 3CSI vNICs vMedia Policy Boot Order Virtual Machines FC Zones Policies Server Details CIMC Sessions FSM VIF Paths **Faults** Events >

Filters (X) Filter Advanced Filter Export Print Hide Fault Details

Severity	Code	ID	Affected object	Cause	Last Transition	Description
<span>✖</span> Critical	F1236	54090700	sys/chassis-1/bla...	health-led-amber...	2025-05-14T15:43	sys/chassis-1/bla...

Severity: ☐ Show All ☒ Critical ☐ Major ☐ Minor ☐ Warning ☐ Info ☐ Condition ☐ Cleared ☐ Soaking ☐ Suppressed

Details

Summary	Properties
Severity : <span>✖</span> Critical/None	Affected object : sys/chassis-1/blade-7/health-led
Last Transition : 2025-05-14T15:43:18Z	Description : sys/chassis-1/blade-7/health-led shows error. Reason DDR5_P1_E1_ECC:Sensor Threshold Crossed;
Actions	ID : 54090700 Type : equipment
Acknowledge Fault	Cause : health-led-amber-blinking Created at : 2025-05-14T15:25:12Z
	Code : F1236 Number of Occurrences : 3
	Original severity : Critical
	Previous severity : Cleared Highest severity : Critical

Comandos UCSM CLI para restablecer todos los contadores de errores de memoria:

Servidor de ámbito UCS-A# x/y

UCS-A /chassis/server # reset-all-memory-errors

UCS-A /chasis/servidor\* # commit

Para borrar los datos SPD:

Apague el servidor

A continuación, ejecute los siguientes comandos desde la CLI de UCSM:

UCS-A# connect cimc x/y

UCS-A /chassis/server # reset-all-memory-errors

UCS-A /chasis/servidor\* # commit

## Errores notables

1. ID de bug de Cisco [CSCwo62396](#)

2. ID de bug de Cisco [CSCwq33148](#)

3. ID de bug de Cisco [CSCwh73760](#)

#### Acerca de esta traducción

Cisco ha traducido este documento combinando la traducción automática y los recursos humanos a fin de ofrecer a nuestros usuarios en todo el mundo contenido en su propio idioma.

Tenga en cuenta que incluso la mejor traducción automática podría no ser tan precisa como la proporcionada por un traductor profesional.

Cisco Systems, Inc. no asume ninguna responsabilidad por la precisión de estas traducciones y recomienda remitirse siempre al documento original escrito en inglés (insertar vínculo URL).