

Árbol de fallos de errores de paridad de Cisco 7200

Contenido

[Introducción](#)

[prerrequisitos](#)

[Requisitos](#)

[Componentes Utilizados](#)

[Convenciones](#)

[Análisis del árbol de fallas de errores de paridad de Network Processing Engine \(NPE\)](#)

[Mensajes y detección de errores de paridad NPE](#)

[Errores de paridad en el NPE-300](#)

[Detección NPE-400 Paridad/ECC](#)

[Errores de paridad en el router C7200](#)

[Soluciones](#)

[Información Relacionada](#)

[Introducción](#)

Este documento explica los pasos para resolver problemas y aislar la parte o el componente defectuoso de un router Cisco 7200 cuando se identifican diversos mensajes de error de paridad. Le recomendamos que lea [Resolución de Problemas por Desperfectos del Router](#) y [Errores de Paridad de la Memoria del Procesador \(PMPE\)](#) antes de seguir leyendo este documento.

Nota: La información en este documento se basa en los Cisco 7200 Series Router.

[prerrequisitos](#)

[Requisitos](#)

No hay requisitos previos específicos para este documento.

[Componentes Utilizados](#)

Este documento no tiene restricciones específicas en cuanto a versiones de software y de hardware.

La información que se presenta en este documento se originó a partir de dispositivos dentro de un ambiente de laboratorio específico. Todos los dispositivos que se utilizan en este documento se pusieron en funcionamiento con una configuración verificada (predeterminada). Si la red está funcionando, asegúrese de haber comprendido el impacto que puede tener un comando antes de

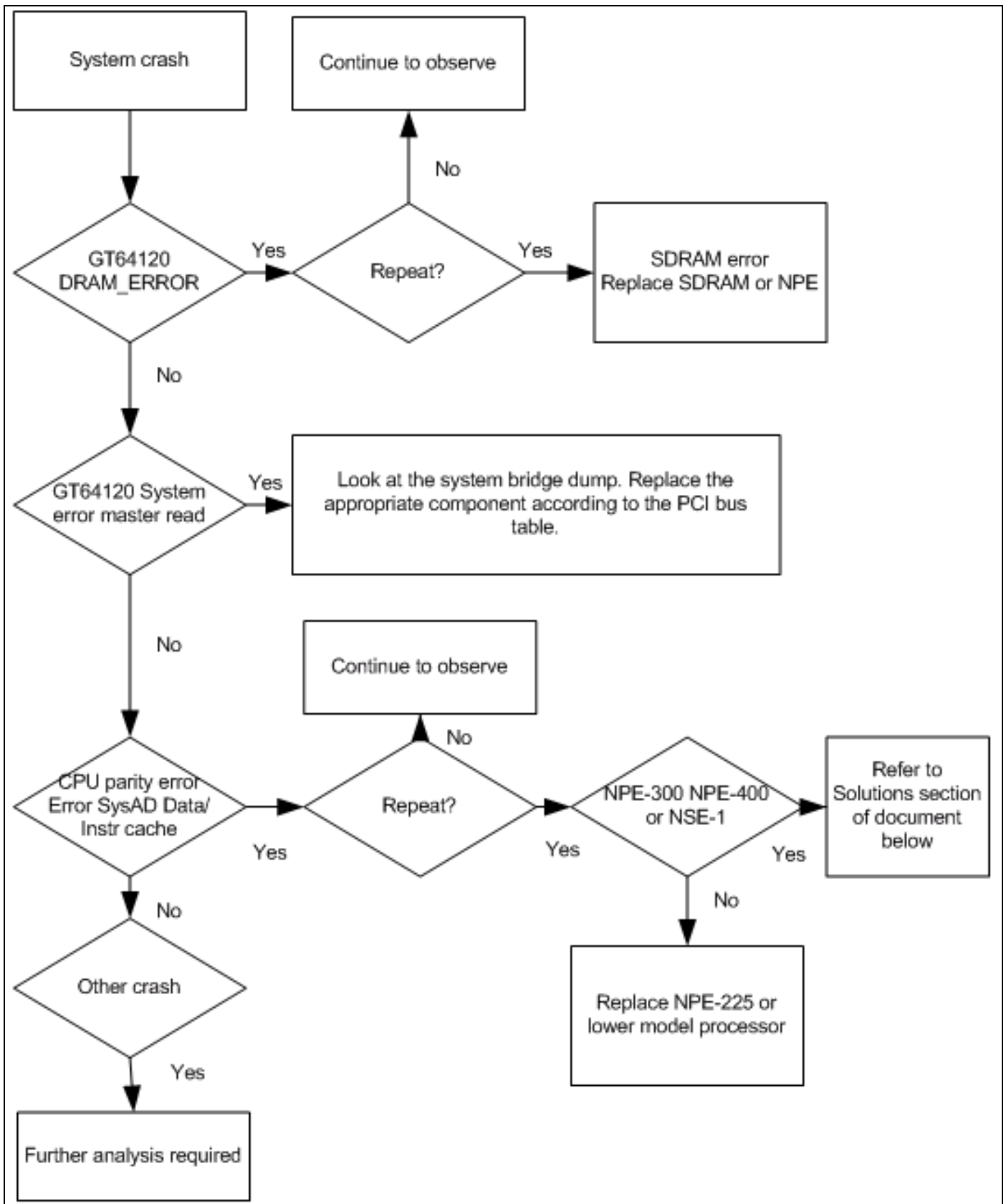
ejecutarlo.

[Convenciones](#)

Para obtener más información sobre las convenciones del documento, consulte las [Convenciones de Consejos Técnicos de Cisco](#).

[Análisis del árbol de fallas de errores de paridad de Network Processing Engine \(NPE\)](#)

Este diagrama describe los pasos para determinar qué parte o componente de un router Cisco 7200 está fallando cuando se identifican diversos mensajes de error de paridad.



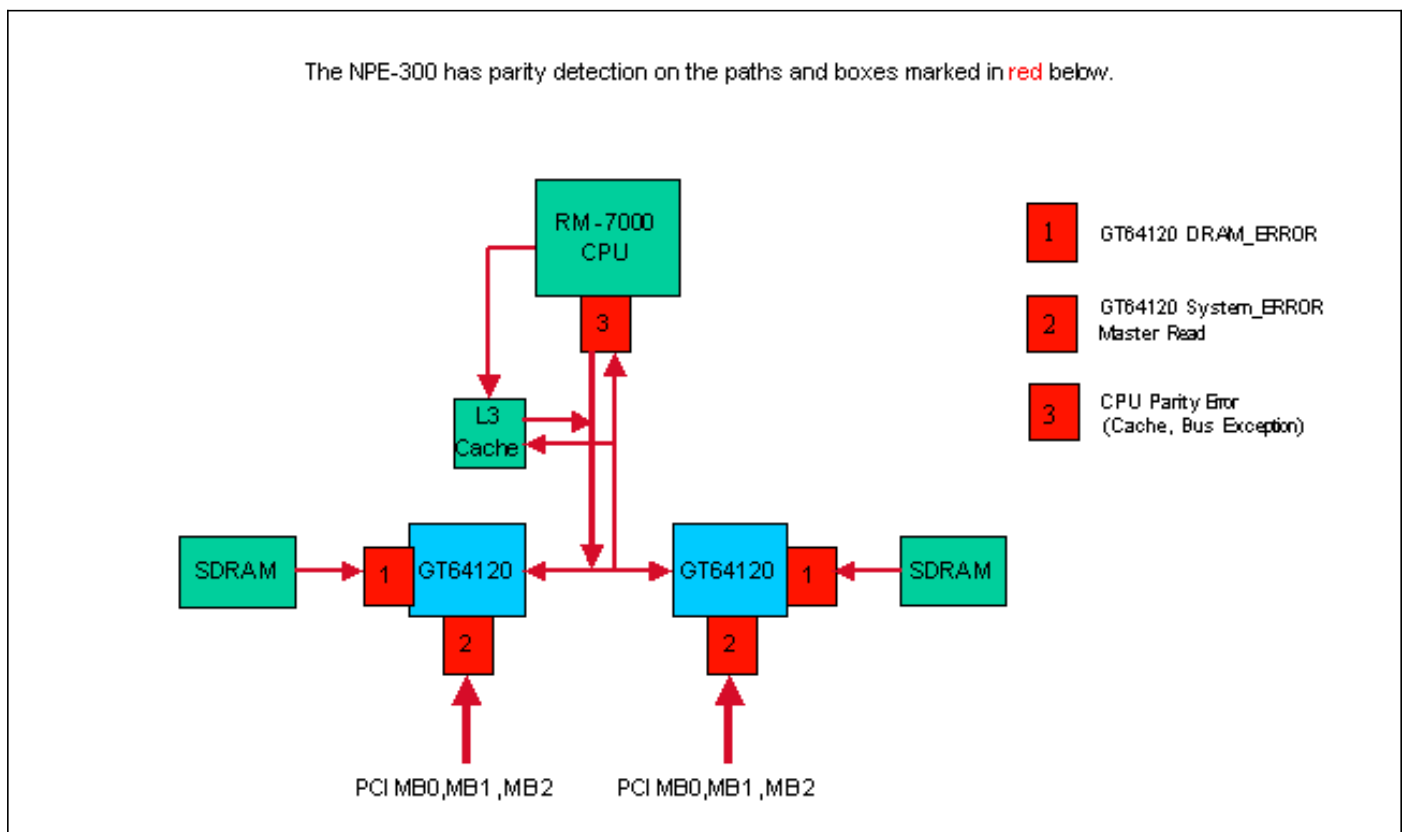
Nota: Capture y registre la salida y los registros de la consola del tecnología-soporte de la demostración, y recoja todos los [archivos CRASHINFO](#) durante los eventos de error de paridad.

[Mensajes y detección de errores de paridad NPE](#)

Esta sección contiene diagramas de bloques del NPE y dónde estos sistemas detectan errores de paridad. Puede encontrar una descripción de cada uno de los tipos de mensajes de error [a](#)

[continuación.](#)

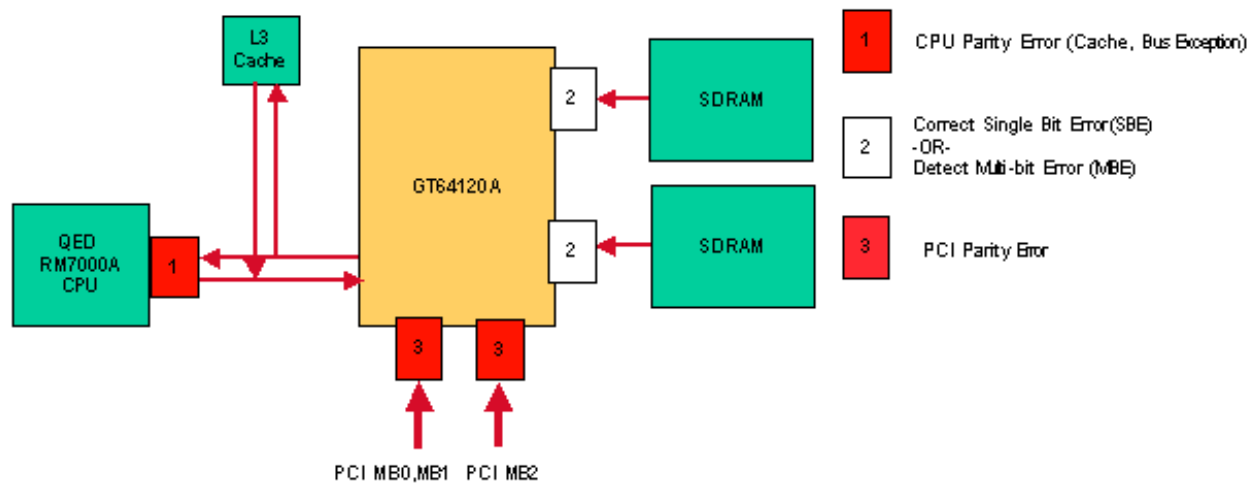
Errores de paridad en el NPE-300



El NPE-300 utiliza verificación de paridad en memoria compartida (SDRAM), PCI Bus y la interfaz externa de la CPU para proteger al sistema del mal funcionamiento causado por errores de bit. La verificación de paridad es capaz de detectar un error de un solo bit usando un método simple; agregar un bit de verificación por ocho bits de los datos. Si se detecta un error de bit cuando se transmiten los datos entre los componentes del hardware, el sistema descarta los datos erróneos. Los errores de un solo bit en cualquier lugar del diagrama anterior hacen que el router se reinicie.

Detección NPE-400 Paridad/ECC

The **red** boxes and lines indicate paths on which the NPE-400 has parity detection; the white boxes indicate detection and correction of single bit ECC errors.



El NPE-400 utiliza ECC (Corrección de Código de Error) en Single Bit Error Correction (Corrección de Error Único) y Multi-bit Error Detection (Detección de Error de Bits Múltiples) para memoria compartida (SDRAM). Para incrementar la disponibilidad del sistema en el NPE-400, ECC corrige los errores de un solo bit en la SDRAM para permitir que el sistema opere normalmente sin necesidad de reiniciarlo y sin tiempo de inactividad. Si necesita más información sobre cómo ECC mejora la disponibilidad del sistema, consulte la página [Aumento de Disponibilidad de la Red](#).

Un error de bits múltiples en la SDRAM hace que el router se reinicie con una excepción de error de caché o un error de bus. El resto de la memoria y los bus en el sistema utilizan la detección de paridad de un solo bit. Los errores de un solo bit en los puntos 1 y 3 del diagrama anterior hacen que el router se reinicie.

[Errores de paridad en el router C7200](#)

Diversos dispositivos de verificación de paridad en el router C7200/NPE pueden informar datos con paridad errónea para cualquier operación de lectura o escritura. A continuación se muestra una descripción de los diversos mensajes de error informados en un sistema C7200/NPE:

[GT64010/GT64120 DRAM Error](#)

Este error se informa cuando un controlador de sistema GT64120 detecta un error de paridad al leer la SDRAM:

```
%ERR-1GT64120 (PCI0):Fatal error, Memory parity error (external) GT=0xB4000000,
cause=0x0100E283, mask=0x0ED01F00, real_cause=0x00000200 Bus_err_high=0x00000000,
bus_err_low=0x00000000, addr_decode_err=0x1C000000
```

Reemplace la SDRAM después de que falle por segunda vez. Si la falla persiste, cambie el NPE.

Nota: En el caso de NPE más antiguos (NPE-100/150/200) que utilizan controladores GT64010, el error tiene el siguiente aspecto:

```
%ERR-1-GT64010: Fatal error, Memory parity error (external)
```

cause=0x0300E283, mask=0x0CD01F00, real_cause=0x00000200
 bus_err_high=0x00000000, bus_err_low=0x00000000, addr_decode_err=0x00000000

El controlador GT64010 utiliza una RAM Dinámica (DRAM) y no una SDRAM. En ese caso, reemplace la DRAM luego de una segunda falla. Si la falla persiste, cambie el NPE.

[GT64010/GT64120 System Parity Error Master Read](#)

Un error de paridad en Master Read es un error de paridad generado al acceder a un puente PCI (Peripheral Component Interconnect). A continuación, se muestra un ejemplo de la salida de un error de paridad:

```
%ERR-1-GT64120 (PCI0):Fatal error, Parity error on master read GT=B4000000, cause=0x0110E083,
mask=0x0ED01F00, real_cause=0x00100000 Bus_err_high=0x00000000, bus_err_low=0x00000000,
addr_decode_err=0x00000470 %ERR-1-SERR: PCI bus system/parity error %ERR-1-FATAL: Fatal error
interrupt, No reloading Err_stat=0x81, err_enable=0xFF, mgmt_event=0x40
```

Reemplace el componente apropiado después de que falle por segunda vez. El vaciado de puente del sistema indica qué componente se debe reemplazar.

System bridge dump:

```
Bridge 1, for PA bay 1, 3 and 5. Handle=1 DEC21150 bridge chip, config=0x0 (0x1C):sec status, io
base =0x83A09141 Detected Parity Error on secondary bus Data Parity Detected on secondary bus
(0x20):mem base & limit =0x4AF04880
```

Estas tablas le informan qué componente tiene un posible problema a partir de la salida del mensaje de error.

[NPE-100/150/200:](#)

Número de Bridge	Para qué sirve el puente	Error de Paridad en el Bus Primario	Error de Paridad en el Bus Secundario
Puente 0	MB0 rio abajo al MB1 0	Reemplace el NPE	Substituya el NPE; si aún el presente, substituye el chasis
Bridge 1	Flujo ascendente MB1 a MB0	Reemplace NPE; si aún el presente, substituye el chasis	Reemplace el NPE
Bridge 2	Flujo descendente MB0 a MB2	Reemplace el NPE	Substituya el NPE; si aún el presente, substituye el chasis
Bridge 3	Flujo ascendente MB1 a MB0	Reemplace NPE; si aún el presente, substituye el chasis	Reemplace el NPE

[NPE-175/225/300/400/NSE-1:](#)

Número de Bridge	Para qué sirve el puente	Error de Paridad en el Bus Primario	Error de Paridad en el Bus Secundario
Puente 0	Para la bahía PA 0 (tarjeta I/O, PCMCIA, interfaces)	Reemplace el NPE	Substituya el NPE; si aún el presente, substituye la placa de I/O. Si aún está presente, sustituya el chasis
Bridge 1	Para las bahías PA 1, 3, y 5	Reemplace el NPE	Substituya el NPE; si aún el presente, substituye el chasis
Bridge 2	Para la bahía 2, 4, y 6 PA	Reemplace el NPE	Substituya el NPE; si aún el presente, substituye el chasis

[Todos los C7200:](#)

Número de Bridge	Para qué sirve el puente	Error de Paridad en el Bus Primario	Error de Paridad en el Bus Secundario
Bridge 4	Adaptador de puerto 1	Reemplace NPE; si aún el presente, substituye el chasis	Reemplace PA1; si aún el presente, substituye el chasis
Bridge 5	Adaptador de Puerto 2	Reemplace NPE; si aún el presente, substituye el chasis	Reemplace PA2; si aún el presente, substituye el chasis
Bridge 6	Adaptador de puerto 3	Reemplace NPE; si aún el presente, substituye el chasis	Reemplace PA 3; si aún el presente, substituye el chasis
Bridge 7	Adaptador de puerto 4	Reemplace NPE; si aún el presente, substituye el chasis	Reemplace PA 4; si aún el presente, substituye el chasis
Bridge 8	Adaptador de puerto 5	Reemplace NPE; si aún el presente, substituye el chasis	Reemplace PA 5; si aún el presente, substituye el chasis
Bridge 9	Adaptador de puerto 6	Reemplace NPE; si aún el presente, substituye el chasis	Reemplace PA 6; si aún el presente, substituye el chasis

[Error de Paridad en CPU](#)

Al igual que en todos los dispositivos informáticos y de redes, el NPE es susceptible a que se registren, rara vez, errores de paridad en la memoria del procesador. Los errores de paridad pueden hacer que se reinicie el sistema y se puede registrar una Single Event Upset (SEU, alteración de evento único o error de software) temporaria; o bien, se puede dar dicho inconveniente varias veces (se suelen conocer como errores de hardware) debido a hardware dañado. Si necesita más información sobre las SEU, consulte la página [Aumento de Disponibilidad de la Red](#). Se informa un error de paridad en CPU si la CPU detecta un error de paridad al acceder a cualquiera de las memorias caché del procesador (L1, L2 o, de estar instalado, L3).

A continuación se incluyen cuatro ejemplos de este tipo de error:

[Ejemplo 1:](#)

```
Error: SysAD, data cache, fields: data, 1st dword
Physical addr(21:3) 0x195BE88,
Virtual address is imprecise.
```

Imprecise Data Parity Error Imprecise Data Parity Error

El NPE tiene un procesador R7K con caché sin bloqueo. El término caché sin bloqueo quiere decir que, cuando se ejecuta una instrucción para cargar datos en un registro y estos datos no se encuentran en la memoria caché L1, la CPU carga los datos de una caché de orden inferior o de los datos de la SDRAM. La CPU no bloquea la ejecución de otras instrucciones adicionales a menos que haya otra pérdida de caché o que otra instrucción dependa de los datos que se están cargando. Esta condición puede acelerar enormemente al procesador y mejorar el rendimiento, pero también puede generar imprecisiones en los errores de paridad. Se dice que un error de paridad es impreciso cuando la CPU lee información sin bloquear y, posteriormente, determina que existía un error de paridad en la línea de caché asociada. El procesador R7K no puede informarnos específicamente cuál fue la instrucción que se estaba ejecutando cuando se estaba cargando la línea de caché y, por ese motivo, lo denominamos error de paridad impreciso.

Incluso si los sistemas emplean ECC, es posible detectar un error de paridad ocasional cuando se ha registrado más de un único error en los 64 bits de datos debido a un error de hardware en la memoria caché.

Un error de paridad ocurre cuando un valor en bits de la señal se cambia de su valor original (0 o 1) al valor opuesto. Este error puede ocurrir debido a una suavidad o a un error de paridad persistente.

Los errores de paridad de software ocurren debido a una influencia externa en la memoria del dispositivo, que cambia el valor en bits en el nivel actual. Este tipo de problema es transitorio y no ocurre de nuevo. Los errores de paridad persistente ocurren cuando el valor en bits es cambiado por la memoria sí mismo debido al daño a la memoria. En ese caso, el problema ocurre cada vez que la área de memoria está utilizada, así que significa que el problema puede relanzar las épocas múltiples dentro de los días de un par a una semana.

[Ejemplo 2:](#)

```
Error: SysAD, instr cache, fields: data, 1st dword
Physical addr(21:3) 0x000000,
virtual addr 0x6040BF60, vAddr(14:12) 0x3000
virtual address corresponds to main:text, cache word 0
```



```

Low Data      High Data  Par  Low Data      High Data  Par
L1 Data:  0:0xAE620068 0x8C830000 0x00 1:0x50400001 0xAC600004 0x01
          2:0xAC800000 0x00000000 0x02 3:0x1600000B 0x00000000 0x01
Low Data      High Data  Par  Low Data      High Data  Par
DRAM Data: 0:0xAE620068 0x8C830000 0x00 1:0x50400001 0xAC600004 0x01
          2:0xAC800000 0x00000000 0x02 3:0x1600000B 0x00000000 0x01

```

Ejemplo 3:

```

Cache Err Reg = 0xE4588D10
Data reference, Secondary/Sys intf cache, Data field error
Error on 1st doubleword on System interface
No errors in addition to instr error
Data phy addr that caused last parity or bus error: 0x1E84040C

```

Ejemplo 4 (sólo NPE-300 y NPE-400):

```
%CERF-3-RECOVER: PC=0x604F136C, Origin=L3 Data ,PhysAddr=0x013CEFD0
```

0

```
%SYS-2-CERF_ABORT: Reason=0xEE23, PC=0x604629C8, Origin=L3 Data,
Phys Addr=0x0287A4E8
```

Ambos mensajes anteriormente detallados están acompañados por un informe de "Cache Error Recovery Function (CERF)" que tiene el siguiente aspecto:

```

CERFa[1 ] 05:25:36 MET Tue Jul 9 2002: result=0xEE23; instr_pos=-2; rpl_off=1
CERFb[1 ] PC =604629C8; ORGN=L3 Data; PRID=00002710; PHYA=0287A4E8
CERFc[1 ] SREG=3400E105; CAUS=00000400; DEA0=0287A4E8; ECC =00000000
CERFd[1 ] CERR=E447A4EA; EPC =606361F8; DEA1=02517058; INFO=00000000
CERFe[1 ] CACHE=28FF78B4 62B36D98 02020684 00000E17 00000030 00000001 61F2934C 3EDA025D
CERFe[1 ] SDRAM=28FF78B4 62B36D98 02020684 00000E17 00000030 00000001 61F2934C 3EDA025D
CERFg[1 ] CXT =00000000; XCXT=00000000; BVAD=00000008; PFCL=00000000
CERFh[1 ] ISeq: 0045182B; 1060000E; 2C4203E9; 92430028; 38420001; 30630005
CERFi[1 ] o0 $3 ....; beq....; sltiu $2 ....; lbu $3, 0x0028($18); xori $2....; andi $3 ....;*
CERFj[1 ]           ;           ;           ;           6287A4E8;           ;           ;
CERFk[1 ] ResumptionCode= 0x92430028; 0x0000000F; 0x42000018
CERFl[1 ] Instr's checked=4; diags=0x00000158,0x00040000,3600,1,0
CERFm[1 ] BaseRegLost later/off: 0/0 times; StoredValueLost: 0 times
CERFn[1 ] INFO=00000000; CNFG=5061F4BB; ICTL=00000000

```

Initial Register Values

```

CERFs00[1 ] $0=00000000 AT=61A30000 v0=00000001 v1=00000002
CERFs04[1 ] a0=28FF8728 a1=00003A98 a2=00000000 a3=00000007
CERFs08[1 ] t0=00000000 t1=3400E101 t2=606381E0 t3=FFFF00FF
CERFs12[1 ] t4=606381C8 t5=000005D4 t6=00000008 t7=61C50000
CERFs16[1 ] s0=6189C188 s1=00000000 s2=6287A4C0 s3=00003A98
CERFs20[1 ] s4=61BD57B0 s5=00000006 s6=00000000 s7=61BD6C60
CERFs24[1 ] t8=60634788 t9=00000000 k0=621A8374 k1=6063EA40
CERFs28[1 ] gp=61A33B20 sp=61E28678 s8=00000000 ra=60462CA4

```

1 Cache error exceptions already reported

Podrá ver los registros anteriores si la función CERF está habilitada en un NPE-300 o NPE-400 y se registra un error de paridad. Si necesita más información acerca de CERF, consulte la sección Soluciones que figura a continuación.

Soluciones

Se recomienda efectuar las siguientes acciones al encontrarse con estos errores:

1. Supervisar el hardware afectado para determinar si se reitera el mismo problema. Si no se repite el inconveniente, se trataba de una SEU (Single Event Upset) temporaria y no es necesario tomar ninguna medida al respecto.
2. En el evento improbable que ocurre de nuevo el problema, el **comando cache L3 bypass/disable** es una opción que puede ayudar a reducir el impacto del problema. Este comando sólo se encuentra disponible en las siguientes plataformas: 7200 con motor de procesador NPE-300, NPE-400 o NSE-17400 con motor de procesador NSE-1. Como el NPE-300 no es compatible con la memoria ECC, esta función resulta particularmente importante para aumentar la disponibilidad del sistema y ocuparse de estos errores de paridad sin interrumpir el servicio. De esta manera, se resuelven muchos errores de paridad de software. La advertencia es que hay una ligera disminución en el rendimiento del sistema cuando se deshabilita la memoria caché L3. La disminución del rendimiento oscilará entre el 1% y el 10%, dependiendo de la configuración del sistema. La sintaxis que se debe emplear para ejecutar este comando depende de la versión del software Cisco IOS. El comando **cache L3 disable** se puede encontrar en la versión 12.3(5a) del software Cisco IOS y versiones posteriores. También estará disponible en 12.1(22)E. En estas versiones, el caché L3 se inhabilita por abandono, así que no hay acción necesaria aprovecharse de esta característica. La memoria caché L3 se puede volver a habilitar con el comando **no cache L3 disable**. El comando **cache L3 bypass** puede ser encontrado en los Cisco IOS Software Release 12.2(6)S, 12.2(6)B, 12.2(8)BC1b, 12.0(20)SP, 12.2(6)PB, 12.2(2)DD2, 12.0(20)ST3, 12.0(21)S, 12.1(11)EC, 12.2(7)T, 12.1(13), y 12.2(7) o más adelante, y 12.1(11)E con 12.1(21)E. Este comando está inhabilitado de forma predeterminada. Para habilitar la omisión de la memoria caché L3, escriba lo siguiente desde el modo de configuración: `Router(config)#cache L3 bypass` Para deshabilitar la omisión de la memoria caché L3, escriba lo siguiente desde el modo de configuración: `Router(config)#no cache L3 bypass` La nueva configuración de la memoria caché sólo entrará en efecto cuando se vuelva a cargar el router. Cuando se inicia el router, se muestra la información del sistema, incluida la relacionada con la memoria caché L3. Esto se debe a que el archivo startup-config todavía no ha sido procesado por el sistema. Una vez procesado el archivo startup-config, la memoria caché L3 se omite si se incluye el comando **cache L3 bypass** en la configuración. Si desea verificar la configuración de la memoria caché L3, puede ejecutar el comando **show version**. Si se omite la memoria caché L3, no existirá ninguna referencia a la memoria caché L3 en la salida de **show version**.
3. Otra de las funciones que ayuda a aumentar la disponibilidad del sistema es Cache Error Recovery Function (CERF). Cuando se habilita esta función (es la predeterminada en las versiones más recientes del software Cisco IOS pero, a partir de febrero de 2004, sólo para NPE-300 y NPE-400), el software Cisco IOS intenta resolver el error de paridad y evitar que falle el procesador. Esta función resuelve aproximadamente el 75% de ciertos tipos de errores de paridad de software. Al invocar este comando, el sistema sufre una disminución de rendimiento inferior al 5%. La función CERF para NPE-300 se puede encontrar en las siguientes versiones del software Cisco IOS: 12.1(15), 12.1(12)EC, 12.0(22)S, 12.2(10)S, 12.2(10)T, 12.2(10), 12.2(2)XB4, 12.2(11)BC1b y 12.1(5)XM8 o versiones posteriores. La función CERF para NPE-400 se puede encontrar en las versiones 12.3(3)B, 12.2(14)S3, 12.1(20)E, 12.1(19)E1, 12.3(1a), 12.2(13)T5, 12.2(18)S, 12.3(2)T, 12.2(18), 12.3(3) y 12.3(1)B1 o versiones posteriores. La función CERF para NPE-300 requiere una revisión de hardware 4.1 o superior. Si desea identificar la versión de hardware de su NPE-300, utilice el comando **show c7200**.
`Router>show c7200 ... C7206VXR CPU EEPROM: Hardware revision 4.1
Board revision A0 ...` La función CERF para NPE-400 requiere una revisión R7K del

procesador 2.1 o superior. Si desea identificar la versión de hardware de su NPE-400, utilice el comando **show version**. Router>**show version** ... cisco 7206VXR (NPE400) processor with 491520K/32768K bytes of memory. R7000 CPU at 350Mhz, Implementation 39, Rev 3.2, 256KB L2, 4096KB L3 Cache 6 slot VXR midplane, Version 2.1 ... **Nota:** Es importante recoger todos los archivos CRASHINFO relevantes para determinar la causa raíz del error como se explica en [extraer la información del archivo CRASHINFO](#).

Si las sugerencias descritas anteriormente no logran resolver el problema, es posible que resulte útil reemplazar el NPE en casos de errores de paridad reiterados ya que los errores de paridad de hardware se deben a hardware dañado. Los repuestos de hardware son idénticos al NPE original. El hecho de cambiar el NPE no garantiza que no se registrarán más errores de paridad ya que las Single Event Upsets (SEU) son inherentes a cualquier equipo informático que utilice memorias.

[Información Relacionada](#)

- [Resolución de problemas por averías del router](#)
- [Errores de paridad en la memoria del procesador \(PMPE\)](#)
- [Soporte Técnico - Cisco Systems](#)