

Arquitectura de Cisco 12000 Series Internet Router: Diseño del linecard

Contenido

[Introducción](#)

[prerrequisitos](#)

[Requisitos](#)

[Componentes Utilizados](#)

[Convenciones](#)

[Operaciones principales fundamentales](#)

[Determinación de Trayectoria:](#)

[Cisco Express Forwarding](#)

[Arquitectura de tarjeta en línea](#)

[Linecards de la base](#)

[Linecards del borde](#)

[Linecards del borde canalizado](#)

[Linecards del Asynchronous Transfer Mode \(ATM\)](#)

[Linecards de los Ethernets](#)

[Linecards del Dynamic Packet Transport \(DPT\)](#)

[Final del linecards de la venta \(EOS\)](#)

[Instalación de la tarjeta en línea](#)

[Información Relacionada](#)

[Introducción](#)

Este documento brinda una visión general de la tarjeta de línea del router de Internet de la serie 12000 de Cisco.

[prerrequisitos](#)

[Requisitos](#)

No hay requisitos específicos para este documento.

[Componentes Utilizados](#)

La información que contiene este documento se basa en el siguiente hardware:

- 'Router de Internet la serie Cisco 12000'

La información que contiene este documento se creó a partir de los dispositivos en un ambiente

de laboratorio específico. Todos los dispositivos que se utilizan en este documento se pusieron en funcionamiento con una configuración verificada (predeterminada). Si la red está funcionando, asegúrese de haber comprendido el impacto que puede tener cualquier comando.

[Convenciones](#)

Para obtener más información sobre las convenciones del documento, consulte [Convenciones de Consejos Técnicos de Cisco](#).

[Operaciones principales fundamentales](#)

El Cisco 12000 Series Internet Router tiene verdad una arquitectura distribuida en que todo el linecards (LC) funciona con una copia de la imagen del software del [®] del Cisco IOS, y toda la transferencia se hace en los LC. El Cisco Express Forwarding Switching es el ÚNICO trayecto de Switching. No existe fast switching, optimum switchin, u otros, como existen en otras plataformas tales como las 7500 series. Para una descripción de los trayectos de Switching no distribuidos disponibles en las diversas Plataformas, vea [cómo elegir el Mejor Trayecto de Switching del Router para Su Red](#).

Las funciones del reenvío de paquete son realizadas por cada linecard. Una copia de las tablas de reenvío computada por el Gigabit Route Processor (GRP) se distribuye a cada linecard en el sistema. Cada linecard realiza la búsqueda independiente de una dirección destino para cada datagrama recibido en una copia local de la tabla de reenvío, y el datagrama se conmuta a través de un Crossbar Switch Fabric al linecard del destino. Las funciones básicas de los LC son (MPLS) del switching por etiquetas IP/Multiprotocol que remite, respuesta al ping, y fragmentación de paquetes.

La tarjeta de línea se encarga de:

- haciendo cola, por ejemplo [primero adentro, primero hacia fuera \(\(Primero en Salir FIFO\)\)](#) y Modified Deficit Round Robin (MDRR)
- control de la congestión - [Weighted Random Early Detection \(WRED\)](#)
- otras características como [Listas de acceso \(ACL\)](#) y [Velocidad de acceso comprometida \(CAR\)](#)
- estadísticas, como [NetFlow](#) y contabilidad Cisco Express Forwarding

Antes de ir más lejos con la arquitectura del linecard, es importante entender las operaciones específicas del Cisco 12000. Se pueden dividir en las siguientes categorías:

- Determinación de trayecto
- Cisco Express Forwarding
- Calidad de servicio (QoS), como por ejemplo Administración de la congestión

[Determinación de Trayectoria:](#)

El proceso de determinación del trayecto para el Cisco 12000 incluye las siguientes actividades:

- Procesamiento de protocolos de ruteo internos como Protocolo mejorado de ruteo de puerta de enlace interno (EIGRP), Sistema intermedio a sistema intermedio (IS-IS), Abrir primero trayecto más corto (OSPF)

- Procesamiento de protocolo de gateway externa como el Protocolo del gateway marginal (BGP)
- Publicación y respuesta a las actualizaciones de ruteo
- Creando y manteniendo la tabla de ruteo
- Rutas recurrentes de resolución
- Envío de las actualizaciones a las tablas de reenvío

Antes de que los 12000 puedan remitir cualquier datagrama IP, el GRP debe construir una tabla de ruteo local. Esta tabla de ruteo contiene la información del próximo salto para el paquete IP que ingresa.

El GRP construye y mantiene la tabla de ruteo procesando los Routing Protocol interiores tales como Enhanced Interior Gateway Routing Protocol (EIGRP), Intermediate System-to-Intermediate System (ISIS), Open Shortest Path First (OSPF), y Border Gateway Protocol (BGP).

Esta tabla contiene todas las entradas y métricas de ruta (por ejemplo, la longitud de trayecto) necesarias para reenviar un paquete IP. Además, el GRP calcula todas las rutas recurrentes que ocurran cuando el soporte se proporciona para un protocolo interior y un External Gateway Protocol tal como BGP. El GRP y el linecards utilizan un nuevo método del Distributed Switching llamado Distributed Cisco Express Forwarding (dCEF). Con este método del Distributed Switching, el reenvío de paquete, incluyendo la información calculada de antemano de la ruta recurrente, se envía a cada linecard.

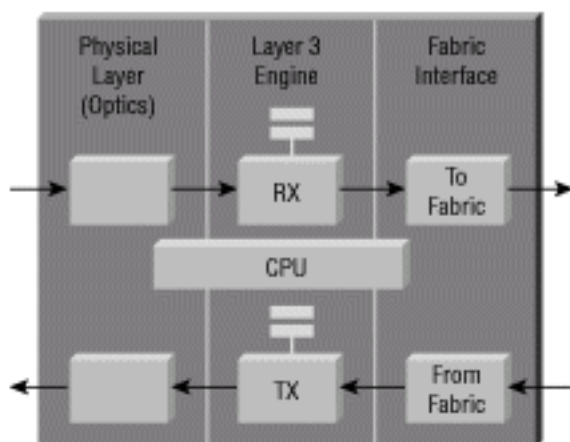
Cisco Express Forwarding

Si desea obtener más información acerca de Cisco Express Forwarding, consulte [Introducción a Cisco Express Forwarding en el router de Internet de la serie 12000 de Cisco](#).

Arquitectura de tarjeta en línea

Hay diferentes tipos de arquitectura de tarjeta de línea según el tipo de motor. La siguiente figura muestra un diagrama común genérico para todas las LC:

Diagrama del linecard



Cada LC se puede dividir en tres secciones principales:

- Módulo de interfaz de capa física (PLIM) - Éste es el módulo de hardware que termina la conexión física (dependiente de medios; por lo tanto, Asynchronous Transfer Mode (ATM),

Packet Over SONET (POS), y fast ethernet)

- Motor de Switching L3 - Este motor de reenvío prepara realmente los paquetes a ser transmitido a través del Switching Fabric al destino LC. Dirige las operaciones de búsqueda L3, las reescrituras, mitigar, el control de la congestión, y todo el L3, las características de QoS. Cinco tipos de Motores de reenvío de paquete existen, a saber, los motores 0, 1, el 2,3 y 4. lineacards a partir de esta escritura son clasificados por el tipo del Motor de reenvío de paquete descrito en la tabla abajo.
- Interfaz de recursos físicos - El Fabric Interface ASIC (FIA) prepara los paquetes a ser transmitido a través del Switching Fabric al destino LC. Toma el cuidado de las peticiones de la concesión de la tela, colocación en cola de entramado, replicación de multidifusión del port-slot, y así sucesivamente.

El Cisco12000 Series ofrece una cartera amplia de tarjetas de línea, que incluyen tarjetas de línea de Core, Edge, Channelized Edge, Asynchronous Transfer Mode (ATM), Ethernet, Dynamic Packet Transport (DPT) y fin de venta (EOS). Estas tarjetas de línea envían un alto rendimiento, la entrega y servicio de paquetes de prioridad garantizados y la Inserción y extracción en línea (OIR) transparente a través de la arquitectura de sistema distribuido de la serie 12000 de Cisco. Las siguientes tablas listan las tarjetas de línea existentes al mes de diciembre de 2001 con el correspondiente tipo de motor:

Lineacards de la base

Nombre del linecard	Motor	Chasis soportado	Versión del IOS	Recursos
Tarjeta de línea de un puerto OC-48c/STM-16c POS/SDH ISE y de un puerto OC-48 POS ISE	Motor 3 (ISE)	Chasis 10G Chasis 2.5G	12.0(21) ST 12.0(21) S	Ficha técnica
Tarjeta de línea 1-Port OC-48 POS One-Port OC-48c/STM-16c POS/SDH	Motor 2	Chasis 10G Chasis 2.5G	12.0(10) S RMtermcode = 3nfw	Ficha técnica
Tarjeta de línea de 4 puertos OC-48 POS de cuatro puertos OC-48c/STM-16c POS/SDH	Motor 4	Sólo chasis 10G	12.0(15) S 12.0(17) O	Ficha técnica
Tarjeta de línea OC-192c/STM-64c POS/SDH de un puerto OC-192 POS 1 puerto	Motor 4	Sólo chasis 10G	12.0(15) S 12.0(17) O	Ficha técnica

Lineacards del borde

Nombre del linecard	Motor	Chasis soportado	Versión del IOS	Recursos
---------------------	-------	------------------	-----------------	----------

6-Port DS3 Six-Port DS3 Line Card	Motor 0	Chasis 10G Chasis 2.5G	12.0(10) S RMterm code = 3 nfw	Ficha técnica
12-Port DS3, Tarjeta de línea DS3 de 12 puertos	Motor 0	Chasis 10G Chasis 2.5G	12.0(10) S RMterm code = 3 nfw	Ficha técnica
Tarjeta de línea E3 de 6 puertos con E3 de seis puertos	Motor 0	Chasis 10G Chasis 2.5G	12.0(16) ST 12.0(15) S	Ficha técnica (versión pdf)
Tarjeta de línea de 12 puertos E3 Doce puertos E3	Motor 0	Chasis 10G Chasis 2.5G	12.0(16) ST 12.0(15) S	Ficha técnica (versión pdf)
Tarjeta de línea de 4 puertos OC-3 POS de cuatro puertos OC-3c/STM-1c POS/SDH	Motor 0	Chasis 10G Chasis 2.5G	12.0(05) S 12.0(11) ST	
Tarjeta de línea de 8 puertos OC-3 POS Eight-Port OC-3c/STM-1c POS/SDH	Motor 2	Chasis 10G Chasis 2.5G	12.0(10) S RMterm code = 3 nfw	Ficha técnica
Tarjeta de línea OC-3 POS/SDH de 16 puertos OC-3c/STM-1c POS/SDH de 16 puertos	Motor 2	Chasis 10G Chasis 2.5G	12.0(10) S RMterm code = 3 nfw	Ficha técnica
ISE POS OC-3 de 16 puertos ISE POS/SDH OC-3c/STM-1c de 16 puertos	Motor 3 (ISE)	Chasis 10G Chasis 2.5G	12.0(21) ST 12.0(21) S	Ficha técnica
Tarjeta de línea de 1 puerto OC-12 POS de un puerto OC-12c/STM-4c POS/SDH	Motor 0	Chasis 10G Chasis 2.5G	12.0(10) S RMterm code = 3 nfw	Ficha técnica
Tarjeta de línea POS/SDH OC-12c/STM-4c de cuatro puertos, POS OC-12 de cuatro puertos	Motor 2	Chasis 10G Chasis 2.5G	12.0(10) S RMterm code = 3 nfw	Ficha técnica

Tarjeta de línea de 4 puertos OC-12 c/STM-4c POS/SDH ISE de cuatro puertos OC-12 POS ISE	Motor 3 (ISE)	Chasis 10G Chasis 2.5G	12.0(21)ST 12.0(21)S	Ficha técnica
Tarjeta de línea de un puerto OC-48c/STM -16c POS/SDH ISE y de un puerto OC-48 POS ISE	Motor 3 (ISE)	Chasis 10G Chasis 2.5G	12.0(21)ST 12.0(21)S	Ficha técnica

[Linecards del borde canalizado](#)

Nombre del linecard	Motor	Chasis soportado	Versión del IOS	Recursos
Tarjeta de línea OC-3/STM-1(DS1/E1) canalizada de 2 puertos, CHOC-3, DS1/E1 de 2 puertos	Motor 0	Chasis 10G Chasis 2.5G	12.0(17)S 12.0(17)O	Ficha técnica
Tarjeta de línea de 1 puerto CHOC-12, DS3 un puerto canalizado OC-12 (DS3)	Motor 0	Chasis 10G Chasis 2.5G	12.0(05)S 12.0(11)ST	Ficha técnica
Tarjeta de línea de 1 puerto CHOC-12, OC-3 Un puerto canalizado OC-12/STM-4 (OC-3/STM-1)	Motor 0	Chasis 10G Chasis 2.5G	12.0(05)S 12.0(11)ST	Ficha técnica
CHOC-12 ISE de 4 puertos OC-12/STM-4 (DS3/E3, OC-3c/STM-1c) POS/SDH ISE canalizado de cuatro puertos	Motor 3 (ISE)	Chasis 10G Chasis 2.5G	12.0(21)ST 12.0(21)S	Ficha técnica
1-Port CHOC-48 ISE One-Port Channelized OC-48/STM-16 (DS3/E3, OC-3c/STM-1c, OC-12c/STM-4c) POS/SDH ISE Line Card	Motor 3 (ISE)	Chasis 10G Chasis 2.5G	12.0(21)ST 12.0(21)S	Ficha técnica
Tarjeta de línea (T1) T3 canalizada de 6 puertos, T3 canalizada de 6 puertos	Motor 0	Chasis 10G Chasis 2.5G	12.0(14)S 12.0(14)O	

[Linecards del Asynchronous Transfer Mode \(ATM\)](#)

Nombre del linecard	Motor	Chasis soportado	Versión del IOS	Recursos
ATM OC-3c/STM-1c de cuatro puertos, ATM OC-3 de cuatro puertos	Motor 0	Chasis 10G Chasis 2.5G	12.0(5)S RMtermcode = 3 nfw	Ficha técnica
ATM OC-12 de 1 puerto ATM OC-12c/STM-4c de un puerto	Motor 0	Chasis 10G Chasis 2.5G	12.0(7)S 12.0(11)ST	Ficha técnica
Tarjeta de línea 4-Port OC-12 ATM Four-Port OC-12c/STM-4c ATM	Motor 2	Chasis 10G Chasis 2.5G	12.0(13)S 12.0(14)O	Ficha técnica

[Linecards de los Ethernets](#)

Nombre del linecard	Motor	Chasis soportado	Versión del IOS	Recursos
Tarjeta de línea de Fast Ethernet de 8 puertos FE con ECC ocho puertos	Motor 1	Chasis 10G Chasis 2.5G	12.0(16)ST 12.0(10)S	Ficha técnica
GE de 1 puerto con line card Ethernet de Gigabites ECC de un puerto	Motor 1	Chasis 10G Chasis 2.5G	12.0(16)ST 12.0(10)S	Ficha técnica
GE de 3 puertos con tarjeta de línea Gigabit Ethernet de de tres puertos	Motor 2	Chasis 10G Chasis 2.5G	12.0(16)ST 12.0(11)S	Ficha técnica
Ethernet GE de 10 puertos y Gigabit de diez puertos	Motor 4 w/RX/TX + /density	Chasis 10G Chasis 2.5G	12.0(22)S 12.0(22)O	Ficha técnica

[Linecards del Dynamic Packet Transport \(DPT\)](#)

Nombre del linecard	Motor	Chasis soportado	Versión del IOS	Recursos
DPT OC-12 DPT 2 puertos DPT OC-12c/STM-4c dos puertos	Motor 1	Chasis 10G Chasis 2.5G	12.0(10)S RMtermcode = 3 nfw	Anuncio de la hoja de datos
1-Port OC-48 DPT One-Port OC-	Motor	Chasis 10G	12.0(16)S T	Anuncio de la

48c/STM-16c DPT	or 2	Chasis 2.5G	12.0(15)S	hoja de datos
-----------------	---------	----------------	-----------	-------------------------------

Final del linecards de la venta (EOS)

Las siguientes tarjetas de línea ya no están a la venta. Se enumeran aquí sólo como referencia.

Nombre del linecard	Motor	Chasis soportado	Versión del IOS
indicador luminoso LED amarillo de la placa muestra gravedad menor del acceso OC-192c/STM-64c POS/Enabler del indicador luminoso LED amarillo de la placa muestra gravedad menor del Enabler 1-Port OC-192c/ STM 64c	Motor 2	Chasis 10G Chasis 2.5G	12.0(10)S RMtermcode = 3nfw

Puede obtener todas las hojas de datos disponibles desde la página de [documentación del producto](#).

Nota: Motor 3 el linecards es capaz de realizar las características del borde en la línea tarifa. Cuanto más alto es el motor de Capa 3, más paquetes se conmutan en el hardware.

Las únicas cosas que distinguen realmente un linecard de otro son el módulo de interfaz de capa física (PLIM) y el Motor de reenvío de la capa 3. El linecards varía por los PLIM solamente dentro del mismo motor de reenvío L3. Los PLIM tienen componentes basados en los medios (por ejemplo, el PLIM de Asynchronous Transfer Mode (ATM) tiene un Segmentation and Reassembly (SAR, segmentación y reconstrucción) y el PLIM GigE tiene un Media Access Control Application-Specific Integrated Circuit - (MAC ASIC), pero la teoría que se aplica al trayecto del paquete en todos los PLIM es muy similar. Este documento se centra en PLIM de Paquete sobre SONET (POS) pero se indican diferencias útiles cuando corresponde.

Para determinar el tipo de motor de la capa 3 de un linecard, el Cisco IOS Software Release 12.0(9)S ha agregado tipo del motor "L3" a la salida del **comando show diag**, según lo ilustrado abajo:

```
SLOT 1 (RP/LC 1 ): 1 Port Packet Over SONET OC-12c/STM-4c Single Mode
  MAIN: type 34, 800-2529-02 rev C0 dev 16777215
        HW config: 0x00 SW key: FF-FF-FF
  PCA:  73-2184-04 rev D0 ver 3
        HW version 1.1 S/N CAB0242ADZM
  MBUS: MBUS Agent (1) 73-2146-07 rev B0 dev 0
        HW version 1.2 S/N CAB0236A4LE
        Test hist: 0xFF RMA#: FF-FF-FF RMA hist: 0xFF
  DIAG: Test count: 0xFFFFFFFF Test results: 0xFFFFFFFF
  L3 Engine: 0 - OC12 (622 Mbps)
  !--- Engine 0 card. MBUS Agent Software version 01.40 (RAM) (ROM version is 02.02) Using CAN
  Bus A ROM Monitor version 10.00 Fabric Downloader version used 13.01 (ROM version is 13.01)
  Primary clock is CSC 1 Board is analyzed Board State is Line Card Enabled (IOS RUN ) Insertion
  time: 00:00:11 (2w1d ago) DRAM size: 268435456 bytes FrFab SDRAM size: 67108864 bytes ToFab
  SDRAM size: 67108864 bytes 0 crashes since restart
```

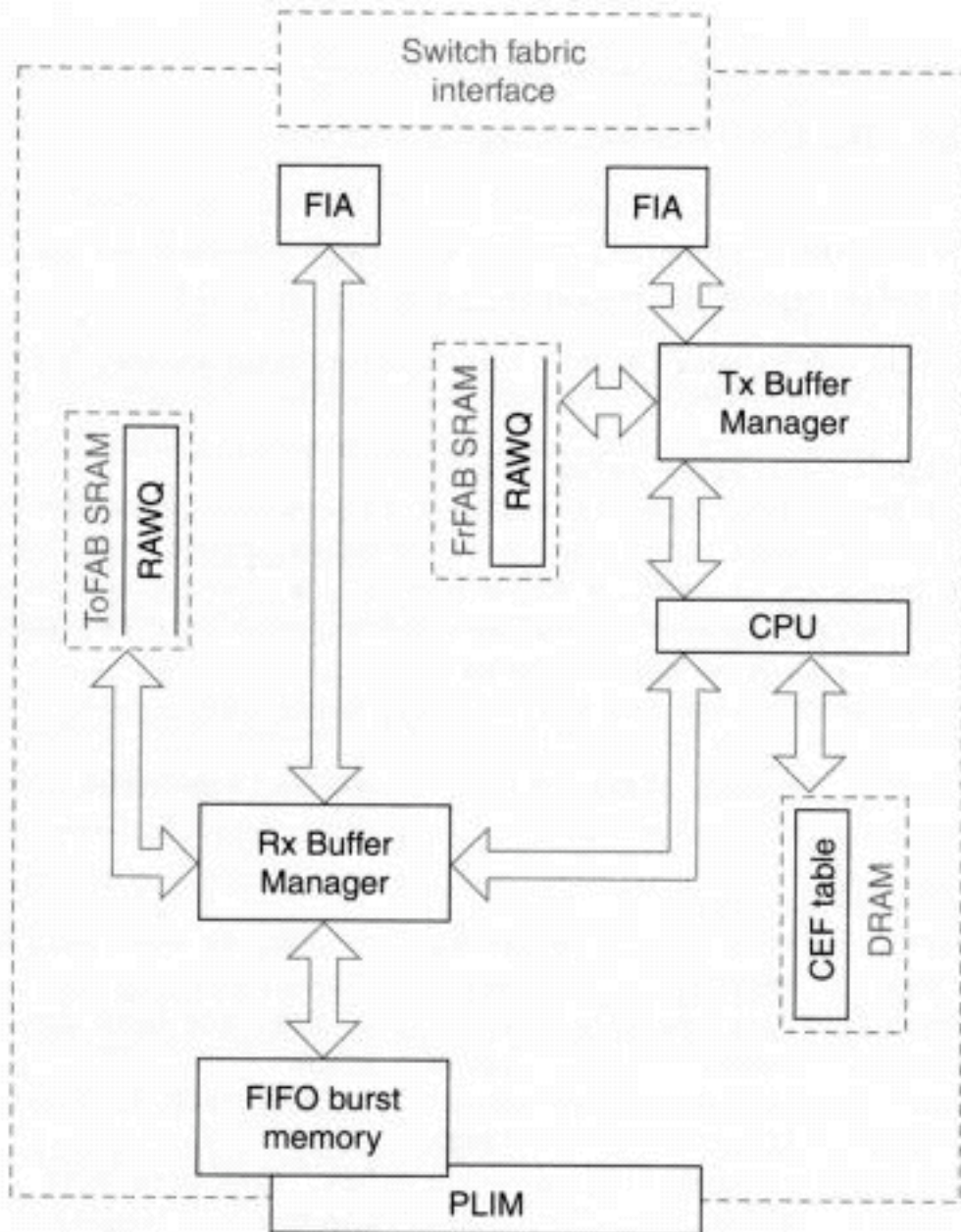

Existe un comando de acceso directo que puede utilizarse para obtener el mismo resultado, pero sólo con la información útil.

```
Router#show diag | i (SLOT | Engine)
```

```
...
SLOT 1 (RP/LC 1 ): 1 port ATM Over SONET OC12c/STM-4c Multi Mode
  L3 Engine: 0 - OC12 (622 Mbps)
SLOT 3 (RP/LC 3 ): 3 Port Gigabit Ethernet
  L3 Engine: 2 - Backbone OC48 (2.5 Gbps)
...
```

Cisco ahora ofrece cinco tipos de los motores L3:

- **Motor 0 - OC12/BMA:** La búsqueda de IP/MPLS se realiza en software mediante una CPU R5K. Este motor utiliza un ASIC para la administración de búfer (BMA) heredado que administra segmentos y búfers de paquete y reensambla paquetes para transmitirlos por la estructura del switch. BMA de recepción es responsable de la recepción de paquetes provenientes de PLIM, la segmentación de paquetes en celdas de tamaño fijo y también, de la presentación de estos paquetes en la Interfaz de recursos físicos ASIC (FIA) para la transmisión a través de los recursos físicos de conmutación. El BMA de transmisión realiza, con ayuda desde la FIA, el reensamblado en paquetes de las celdas que provienen del switch fabric y entrega los paquetes al PLIM para que los transmita desde la caja. La mayoría de las características en este linecard se implementan en el software.
- **Motor 1 - Salsa/BMA48 (TTM48):** Se ha mejorado este segundo motor. Primero, un nuevo ASIC se ha desarrollado para realizar las operaciones de búsqueda IP en hardware. Esta nueva ASIC se llama Salsa. En el software de este motor se realiza solamente la reescritura de Control de acceso de medios (MAC). El BMA también se ha actualizado para conseguir más ancho de banda. Ahora se llama el BMA48. No existe soporte MDRR o WRED para este motor. Los motores de reenvío del **motor 0** y del **motor 1** se muestran con sus componentes cruciales en la figura abajo: **Motor de reenvío de paquete del motor 0 y del motor 1**

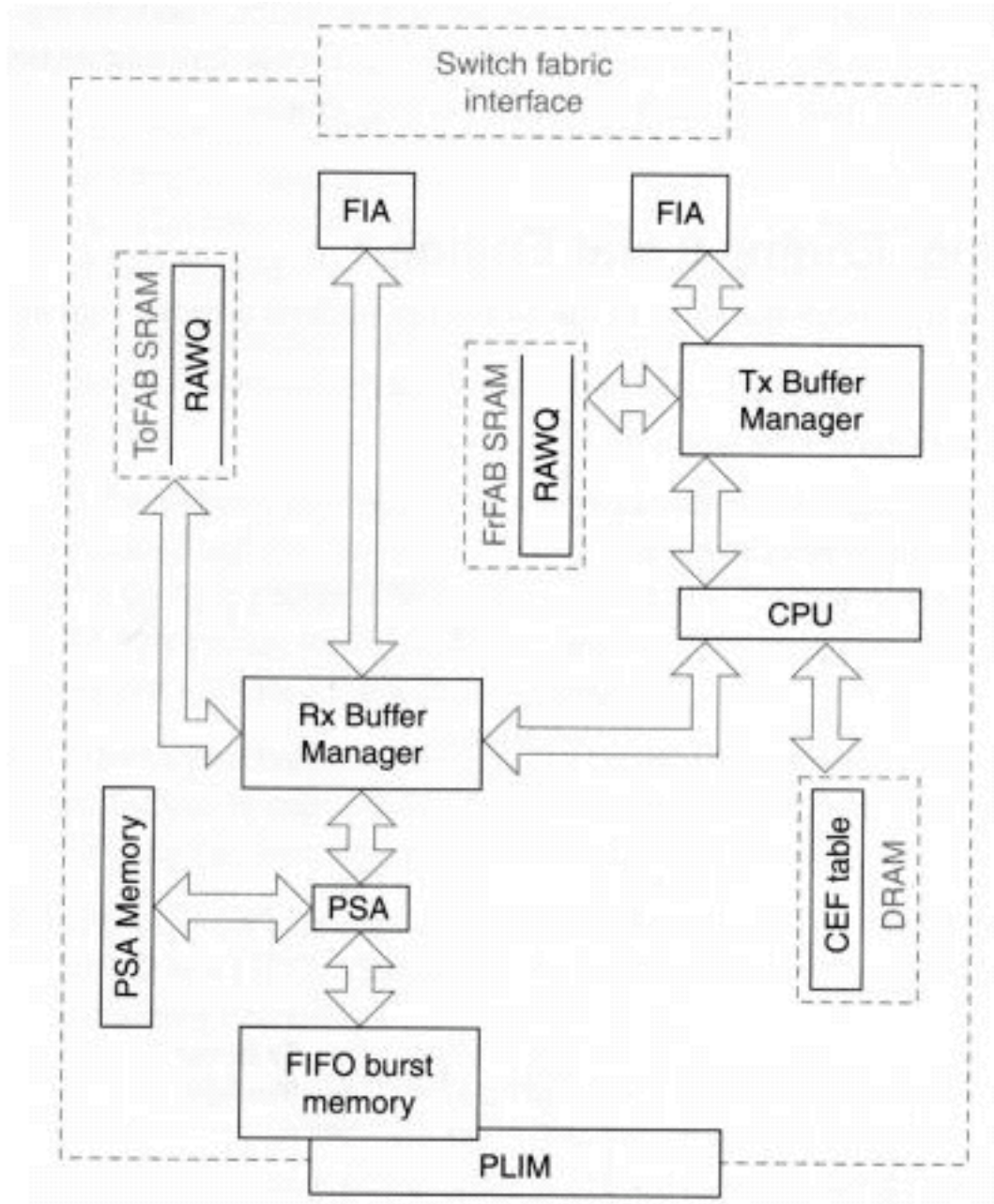


- **Motor 2 - PSA/TBM/RBM (Perf48):** Nuevo ASIC está presente en estos LC mejorar la manera que se hacen las operaciones de búsqueda IP/MPLS. El ASIC de conmutación del paquete (PSA), realiza una búsqueda de hardware y vuelve a escribir para paquetes IP y Tag. El para este propósito, el PSA utiliza una copia local destilada de la tabla de FIB (**psa del IP de la demostración a.b.c.d**). **Todo el packet switching** en un motor 2 LC es hecho en hardware por el PSA. La CPU en la LC es interrumpida para una decisión de reenvío de paquete sólo si se configura una función en la tarjeta de línea que PSA no admite. Esta tabla PSA se salva en memoria externa que esté solamente presente en el LC de motor 2.

```
Router#exec slot 11 show controller psa mem
===== Line Card (Slot 11) =====
PLU SDRAM: Size 0x4000000, Banks 4
TLU SDRAM: Size 0x4000000, Banks 4
PSA SSRAM: Size 0x100000
```

Memoria del paquete se ha aumentado por abandono al 256 MB y puede alcanzar el 512 MB. También hay nuevos ASIC de administrador de memoria intermedia de Rx y Tx (denominados RBM y TBM, respectivamente) que son clave para el soporte basado en hardware de características de Clase de servicio (CoS) en esta LC: WRED y MDRR se

ejecutan en el hardware. El CAR no está disponible, pero un subconjunto de CAR conocido como Per Interface Rate Control (PIRC) se puede configurar en lugar de otro. A partir del Cisco IOS Software Release 12.0(14)S, el Sampled NetFlow se soporta en el linecards del Packet Over SONET (POS) del motor 2. La función Sampled NetFlow le permite probar uno de "x" paquetes IP reenviados a los routers, permitiéndole al usuario definir el intervalo "x" con un valor comprendido entre un mínimo y un máximo. Los paquetes de muestreo se toman en cuenta en la memoria caché de flujo de NetFlow del router. Estos paquetes de muestreo reducen considerablemente la utilización de la CPU necesaria para dar cuenta de los paquetes NetFlow, permitiendo que la mayoría de los paquetes sean conmutados más rápidamente ya que no necesitan atravesar un procesamiento NetFlow adicional. Vea el [Sampled NetFlow](#) para más información. A partir del Cisco IOS Software Release 12.0(16)S, el Sampled NetFlow se soporta en el linecards 3-Port Gigabit Ethernet. A partir del Cisco IOS Software Release 12.0(18)S, el Sampled NetFlow y el Listas de control de acceso (ACL) 128 en el PSA se pueden ahora configurar al mismo tiempo en el linecards del Packet Over SONET (POS) del motor 2. Todo se conmuta con el PSA, a excepción de algunas características que tengan que ir al CPU local del LC: la salida CAR, los paquetes con las Listas de acceso aplicadas si no caben en las restricciones PSA, las opciones/NON-transita el tráfico, los paquetes de multidifusión, los paquetes del IPv6, y así sucesivamente. La salida CAR ha sido substituida por el Control de tráfico distribuido (dTS) a partir del Cisco IOS Software Release 12.0(16)S. Más información está disponible en el [Distributed Traffic Shaping para el linecards en el Cisco 12000 Series Internet Router](#). El soporte para los ACL se ha cambiado en hardware en los indicadores luminosos LED amarillo de la placa muestra gravedad menor del motor 2. Si usted no quiere configurarlos, usted debe agregar la línea **ningunos psums duros de la lista de acceso** a su configuración. Abajo está un diagrama de un motor de reenvío del motor 2 y de sus componentes cruciales: **Motor de reenvío de paquete**



del motor 2

- **Motor 3** - Motor del borde: Este motor es un motor de capa 3 de arquitectura completamente nuevo. También tiene ancho de banda OC48, pero integra algún nuevo Asics para mejorar la velocidad de la expedición con cualquier QoS y característica ACL. Motor 3 el linecards es capaz de realizar las características del borde en la línea tarifa.
- **Motor 4** - Estructura básica OC192: Los routers de las series 12008 y 12012 no admiten estas últimas tarjetas de línea. Soportan la velocidad de línea de OC192.
- **Motor 4+** - Lo mismo que el motor 4, salvo que ellos soportan muchas más características en la línea tarifa.

[Instalación de la tarjeta en línea](#)

Abajo están los links relacionados con la instalación y la configuración de los LC y el soporte LC para diverso chasis:

- [Notas de instalación y configuración del linecard del Cisco 12000](#)

Para más información sobre los tipos de memoria en el linecards, vea la [memoria presente en el linecards](#).

Información Relacionada

- [Arquitectura del router de Internet de la serie 12000 de Cisco – Chasis](#)
- [Arquitectura del Router de Internet del Cisco 12000 Series - Switch Fabric](#)
- [Arquitectura del router de Internet de la serie 12000 de Cisco – Procesador de ruta](#)
- [Arquitectura del router de Internet de la serie 1200 de Cisco – Detalles de la memoria](#)
- [Arquitectura del router de Internet de la serie 12000 de Cisco – Bus de mantenimiento, suministro eléctrico y ventiladores y tarjetas de alarma](#)
- [Arquitectura del router de Internet de la serie 12000 de Cisco – Información general del software](#)
- [Arquitectura del Cisco 12000 Series Internet Router – Switching de Paquetes](#)
- [Comprensión del Cisco Express Forwarding \(CEF\)](#)
- [Soporte Técnico y Documentación - Cisco Systems](#)