

Contenido

[Introducción](#)

[Antes de comenzar](#)

[Convenciones](#)

[prerrequisitos](#)

[Componentes Utilizados](#)

[Antecedente](#)

[Algoritmo de distribución de la memoria intermedia](#)

[Recibir memoria del paquete](#)

[Flujo de paquetes en ToFab BMA](#)

[Transmitir memoria del paquete](#)

[Flujo de paquetes en BMA FrFab](#)

[Información Relacionada](#)

[Introducción](#)

Este documento explica cómo leer la salida de los **comandos show controller frfab queue y show controller tofab queue**. También da una descripción detallada de la arquitectura subyacente del Cisco 12000 Series Internet Router relacionado con estas colas especiales.

[Antes de comenzar](#)

[Convenciones](#)

Para obtener más información sobre las convenciones del documento, consulte [Convenciones de Consejos Técnicos de Cisco](#).

[prerrequisitos](#)

No hay requisitos previos específicos para este documento.

[Componentes Utilizados](#)

La información en este documento se basa en:

- El Cisco 12000 Series Internet Router
- Todas las versiones del software de Cisco IOS®

La información que se presenta en este documento se originó a partir de dispositivos dentro de un ambiente de laboratorio específico. Todos los dispositivos que se utilizan en este documento se pusieron en funcionamiento con una configuración verificada (predeterminada). Si la red está funcionando, asegúrese de haber comprendido el impacto que puede tener un comando antes de ejecutarlo.

Antecedente

Cada Tarjeta de línea (LC) del router de Internet de la serie Cisco 12000 tiene dos tipos de memoria:

- Ruta o memoria del procesador (RAM dinámico - DRAM): Esta memoria permite principalmente al procesador integrado a la placa para funcionar con el Cisco IOS Software y para salvar las tablas de ruteo de la red (base de información de reenvío - BOLA, adyacencia).
- Memoria del paquete (RAM síncrono dinámico - SDRAM): La memoria del paquete de tarjeta de línea almacena temporariamente paquetes de datos que esperan decisiones del switch a través del procesador de tarjeta de línea.

Este documento se centra exclusivamente en memoria del paquete que se divide en dos bancos: Tofab y frfab (hacia la tela y de la tela). La memoria ToFab se usa con paquetes que vienen en una de las interfaces de la LC y se dirigen a la estructura, mientras que la memoria FrFab se usa con paquetes que están saliendo de una interfaz en la LC desde la estructura.

Las colas Tofab y Frfab son los conceptos más importantes que deben comprenderse para solucionar eficientemente los problemas de paquetes ignorados en el router de Internet de la serie Cisco 12000. [Consulte Resolución de problemas de paquetes ignorados y caídas sin memoria en el router de Internet de la serie Cisco 12000 para obtener más detalles.](#)

Nota: El “tofab” (hacia la tela) y el “rx” (recibido por el router) son dos nombres diferentes para la misma cosa, al igual que el “frfab” (de la tela) y el “tx” (transmitido por el router). Por ejemplo, a la expresión ToFab Buffer Management ASIC (BMA, ASIC de administración de búfer hacia la estructura) también se le dice RxBMA. Este documento utiliza la convención ToFab/FrFab, pero podrá encontrar la nomenclatura Rx/TX utilizada en cualquier otro lugar.

El acceso a la memoria del paquete se obtiene a través de ASIC de administración de memoria intermedia (BMA). EL BMA proporciona a la tarjeta de línea las funciones de almacenamiento de paquetes en memoria intermedia y de administración de colas. Todos los paquetes pasan dos veces con el BMA - una vez viniendo adentro y una vez saliendo. En otras palabras, los paquetes llegan en un Módulo de interfaz de capa física (PLIM), transcurren un breve periodo de tiempo en búfers SDRAM y luego son expulsados del búfer y enviados al módulo Interface de estructura ASIC (FIA). Aquí, se segmentan en celdas de Cisco y se transmiten al switch fabric. Entonces se reciben los paquetes desde el entramado del switch por medio de Fabric Interface ASIC en la tarjeta de línea de egreso. Se vuelven a montar, van a los búferes de SDRAM, después al PLIM, y finalmente enviado encendido el alambre.

Algoritmo de distribución de la memoria intermedia

El software del IOS de Cisco implementa un algoritmo de distribución de búfer que divide SDRAM en búferes de distinto tamaño. El GRP y otras fuentes proporcionan la talla de las instrucciones al linecard, que entonces ejecuta las instrucciones. Hay diversos tipos de talla. Por ejemplo, un simple talla crea un pool de los búferes del mismo tamaño, mientras que una separación compleja crea a los agrupamientos múltiples de diversos tamaños, con cada pool conteniendo los buffers del mismo tamaño.

Todas las memorias intermedias del mismo tamaño asocian en una agrupación. Un agrupamiento es siempre asignado para su uso por la Comunicación entre procesos (IPC). Cada RAM estática

de cola (QSRAM) relacionada es actualizada junto con el principio y el final de la cola, la longitud, la longitud del umbral, las direcciones de memoria intermedia en SRAM relacionadas y el próximo elemento de la cola.

Las siguientes condiciones secuenciales activan una distribución de la memoria intermedia en una tarjeta de línea.

- Cargador de inicialización sobre el BUS de mantenimiento (MBUS) - Llamada de modelación simple para modelar búfers a los efectos de contener la descarga de la imagen del software del IOS de Cisco.
- Imagen del Cisco IOS Software en el lugar - El LC simple talla la llamada para habilitar el Inter-Process Communication (IPC) de modo que el GRP pueda utilizar los IPC para dar los LC que la inicial talla la especificación. Toda la SDRAM disponible para la división están divididas nuevamente.
- Una vez que IPC está activada, mediante el uso de las IPC, el GRP puede activar una separación compleja de LC varias veces para redistribuir dinámicamente toda la SDRAM.
- Una configuración manual o un cambio del MTU (Unidad máxima de transmisión (MTU)) en una interfaz hace la memoria ser retallada. Las colas de administración del tráfico del frfab se dividen al MTU máximo del sistema entero, mientras que las colas de administración del tráfico del tofab se dividen al MTU máximo del linecard determinado. **Nota:** Retallamos solamente si cambiamos el *MTU máximo* para el linecard (colas de administración del tráfico del tofab), o si cambiamos el *MTU máximo* para el sistema entero (colas de administración del tráfico del frfab). Por ejemplo, el cambio del MTU a partir de 1500 a 4470 no cambia cualquier cosa si hay ya una interfaz con MTU 4470 en ese linecard (colas de administración del tráfico del tofab) o en general el sistema (colas de administración del tráfico del frfab).

Heche una ojeada el siguiente ejemplo:

```
Router#attach 1Entering Console for 1 Port Packet Over SONET OC-48c/STM-16 in Slot: 1Type "exit"
to end this sessionPress RETURN to get started!LC-Slot1>enableLC-Slot1#show controllers tofab
queuesCarve information for ToFab buffersSDRAM size: 268435456 bytes, address: 30000000, carve
base: 30019100268332800 bytes carve size, 4 SDRAM bank(s), 16384 bytes SDRAMpagesize, 2
carve(s) max buffer data size 4544 bytes, min buffer data size 80 bytes 262140/262140
buffers specified/carved 240637152/240637152 bytes sum buffer sizes specified/carved
Qnum Head Tail #Qelem LenThresh ---- ---- ----
----- 4 non-IPC free queues: 115254/115254 (buffers specified/carved), 43.96%, 80
byte data size 1 201 115454 115254 262143 81202/81202
(buffers specified/carved), 30.97%, 608 byte data size 2 115455 196656
81202 262143 41910/41910 (buffers specified/carved), 15.98%, 1568 byte data size
3 196657 238566 41910 262143 23574/23574 (buffers specified/carved),
8.99%, 4544 byte data size 4 238567 262140 23574 262143 IPC Queue:
200/200 (buffers specified/carved), 0.7%, 4112 byte data size 30 131 130
200 262143 Raw Queue: 31 0 0 0 65535 ToFab
Queues: Dest Slot 0 0 0 0 262143 1
0 0 0 262143 2 0 0 0 262143
3 0 0 0 262143 4 0 0 0
262143 5 0 0 262143 6 0 0
0 262143 7 0 0 262143 8 0 0
0 262143 9 0 0 262143 10 0 0
0 262143 11 0 0 262143 12 0 0
0 262143 13 0 0 262143 14 0 0
0 262143 15 0 0 262143 Multicast 0 0
0 262143
```

Usted puede ver que ha habido dos talla puesto que este linecard ha sido en servicio, y que hay cuatro pools: 80, 608, 1568, y 4544.

Ahora cambie el MTU en una interfaz que pertenece a este linecard:

```
Router(config)#interface pos1/0Router(config-if)#mtu ?<64-18020> MTU size in bytesRouter(config-if)#mtu 2000
```

Ahora conecte con el LC y marque qué ha cambiado:

```
LC-Slot1#show control tofab queueCarve information for ToFab buffers SDRAM size: 268435456 bytes, address: 30000000, carve base: 30019100 268332800 bytes carve size, 4 SDRAM bank(s), 16384 bytes SDRAMpagesize, 3 carve(s) max buffer data size 4112 bytes, min buffer data size 80 bytes 262142/262142 buffers specified/carved 247054400/247054400 bytes sum buffer sizes specified/carved Qnum Head Tail #Qelem LenThresh ---- ----
----- 4 non-IPC free queues: 91680/91680 (buffers specified/carved), 34.97%, 80 byte data size 1 202 201 91680
262143 65485/65485 (buffers specified/carved), 24.98%, 608 byte data size 2
91884 91883 65485 262143 49769/49769 (buffers specified/carved), 18.98%, 1568 byte data size 3 157366 207134 49769 262143 55008/55008 (buffers specified/carved), 20.98%, 2048 byte data size 4 207135 262142
55008 262143 IPC Queue: 200/200 (buffers specified/carved), 0.7%, 4112 byte data size 30 118 117 200 262143 Raw Queue: 31 206
205 0 65535 ToFab Queues: Dest Slot 0 0
0 0 262143 1 0 0 0 262143 2
0 0 0 262143 3 0 0 0 262143
4 0 0 0 262143 5 0 0 0
262143 6 0 0 0 262143 7 206 205
0 262143 8 0 0 0 262143 9 0 0
0 262143 10 0 0 0 262143 11 0 0
0 262143 12 0 0 0 262143 13 0 0
0 262143 14 0 0 0 262143 15 0 0
0 262143 Multicast 0 0 0 262143
```

Hay ahora tres talla y el Tamaño máximo de búfer para la cola de NON-IPC es 2048 bytes en vez de 4544.

Las colas de administración del tráfico del frfab permanecen sin cambiar:

```
LC-Slot1#show controllers frfab queues Carve information for FrFab buffers SDRAM size: 268435456 bytes, address: 20000000, carve base: 2039D100 264646400 bytes carve size, 4 SDRAM bank(s), 16384 bytes SDRAMpagesize, 3 carve(s) max buffer data size 9248 bytes, min buffer data size 80 bytes 251927/251927 buffers specified/carved 209883344/209883344 bytes sum buffer sizes specified/carved Qnum Head Tail #Qelem LenThresh ---- ----
----- 6 non-IPC free queues:
123349/123349 (buffers specified/carved), 48.96%, 80 byte data size 1 210 209
123349 262143 75519/75519 (buffers specified/carved), 29.97%, 608 byte data size
2 123552 123551 75519 262143 37759/37759 (buffers specified/carved), 14.98%, 1568 byte data size 3 199069 236827 37759 262143
2516/2516 (buffers specified/carved), 0.99%, 2048 byte data size 4 236828 239343
2516 262143 7551/7551 (buffers specified/carved), 2.99%, 4544 byte data size
5 239344 246894 7551 262143 5033/5033 (buffers specified/carved), 1.99%, 9248 byte data size 6 246895 251927 5033 262143 IPC Queue:
200/200 (buffers specified/carved), 0.7%, 4112 byte data size 30 52 51
200 262143 Multicast Raw Queue: 29 0 0 0 62981
Raw Queue: 31 52 51 0 251928 Interface Queues: 0
210 209 0 262143
```

El Tamaño máximo de búfer es 9248 bytes. Ahora, configure un MTU de 10000 en otra interfaz en otro indicador luminoso LED amarillo de la placa muestra gravedad menor:

```
Router(config-if)#interface pos5/0 Router(config-if)#mtu ? <64-18020> MTU size in bytes
Router(config-if)#mtu 10000 LC-Slot1#show contr frfab queues Carve information for FrFab buffers SDRAM size: 268435456 bytes, address: 20000000, carve base: 2039D100 264646400 bytes carve size, 4 SDRAM bank(s), 16384 bytes SDRAMpagesize, 4 carve(s) max buffer data size 10064 bytes, min buffer data size 80 bytes 257309/257309 buffers specified/carved
213496016/213496016 bytes sum buffer sizes specified/carved Qnum Head Tail
```

```

#Qelem LenThresh      ----      ----      ----      -----      5 non-IPC free
queues:          128556/128556 (buffers specified/carved), 49.96%, 80 byte data size      1
204      203          128556 262143          77133/77133 (buffers specified/carved), 29.97%,
608 byte data size      2          128758 128757          77133 262143          38566/38566
(buffers specified/carved), 14.98%, 1568 byte data size      3          205890 244455
38566 262143          7713/7713 (buffers specified/carved), 2.99%, 4544 byte data size
4          244456 252168          7713 262143          5141/5141 (buffers specified/carved),
1.99%, 10064 byte data size      5          252169 257309          5141 262143      IPC Queue:
200/200 (buffers specified/carved), 0.7%, 4112 byte data size      30      24      23
200      262143      Multicast Raw Queue:          29      0      0          0      64327
Raw Queue:          31      24      23          0      257310      Interface Queues:      0
205      204          0      262143

```

Hay ahora cuatro talla para las colas de administración del tráfico del frfab y el Tamaño máximo de búfer ha cambiado a 10064 bytes.

Nota: En el linecards del Packet Over SONET (POS) configurado con la encapsulación del Point-to-Point Protocol (PPP), la negociación del Maximum Receive Unit (MRU) ocurre, pero no ajusta la talla del MTU. Por otra parte, las conexiones PPP no se reajustan cuando el MTU se cambia en la interfaz.

Recibir memoria del paquete

Esta memoria es dividida en diferentes agrupaciones de los almacenes intermedios del paquete. Para ver cómo se talla la memoria de la recepción, usted puede **asociar a un linecard** y ejecutar el **comando show controller tofab queue**, según lo demostrado abajo:

```

Router#attach ?<0-15> slot number of linecard to connect <cr>Router#attach 1Entering Console
for 1 Port SONET based SRP OC-12c/STM-4 in Slot: 1 Type "exit" to end this session Press
RETURN to get started! LC-Slot1>enableLC-Slot1# LC-Slot1#show controllers tofab queuesCarve
information for ToFab buffers      SDRAM size: 33554432 bytes, address: 30000000, carve base:
30029100      33386240 bytes carve size, 4 SDRAM bank(s), 8192 bytes SDRAM pagesize, 2 carve(s)
max buffer data size 9248 bytes, min buffer data size 80 bytes 40606/40606 buffers
specified/carved      33249088/33249088 bytes sum buffer sizes specified/carved      Qnum
Head      Tail      #Qelem      LenThresh      ----      ----      ----      -----      -----
5 non-IPC free queues:          20254/20254 (buffers specified/carved), 49.87%, 80 byte data
size      1      17297 17296          20254      65535          12152/12152 (buffers
specified/carved), 29.92%, 608 byte data size      2          20548 20547          12152
65535          6076/6076 (buffers specified/carved), 14.96%, 1568 byte data size      3
32507 38582      6076      65535          1215/1215 (buffers specified/carved), 2.99%,
4544 byte data size      4          38583 39797          1215      65535          809/809
(buffers specified/carved), 1.99%, 9248 byte data size      5          39798 40606          809
65535      IPC Queue:          100/100 (buffers specified/carved), 0.24%, 4112 byte data size
30      72      71          100      65535      Raw Queue:          31      0      17302
0          65535      ToFab Queues:          Dest      Slot      0      0      0
0          65535          1      0      0          0      65535          2      0      0
0          65535          3      0      0          0      65535          4      0      0
0          65535          5      0      17282          0      65535          6      0      0
0          65535          7      0      75          0      65535          8      0      0
0          65535          9      0      0          0      65535          10     0      0
0          65535          11     0      0          0      65535          12     0      0
0          65535          13     0      0          0      65535          14     0      0
0          65535          15     0      0          0      65535 Multicast      0      0
0          65535 LC-Slot1#

```

La siguiente lista describe algunos de los campos clave que se encuentran en el ejemplo anterior.

- **Tamaño de SDRAM: 33554432 bytes, dirección: 30000000, base de separación: 30029100** - El tamaño de memoria de paquetes de recepción y de la ubicación de dirección en donde comienza.

- max buffer data size 9248 bytes, min buffer data size 80 bytes – Tamaños máximo y mínimo de la memoria intermedia.
- **40606/40606 buffers specified/carved** - Los buffers que se tallarán especificaron por el Cisco IOS Software y la cantidad de búfers tallada realmente.
- **colas libres no-IPC** - Los recursos compartidos del almacén intermedio de NON-IPC son los recursos compartidos de almacén intermedio de paquete. A los paquetes que llegan dentro de la tarjeta de línea se les asigna un búfer desde uno de los recursos compartidos del búfer según el tamaño del paquete. Es posible tener solamente tres colas libres no-IPC; si la tarjeta es Ethernet, usted no tendrá el pool 4k, sino solamente un pool hasta 1.5k. Esto es porque las colas ToFab están divididas según la unidad de transmisión máxima (MTU) de esa tarjeta de línea en particular. La salida de ejemplo muestra cinco recursos compartidos de almacén intermedio de paquete con un tamaño de 80, 608, 1568, 4544 y 9248 bytes. Para cada conjunto, se proporcionan mayores detalles a continuación: 20254/20254 (búfers específicos/divididos), 49.87%, tamaño de datos de 80 bytes - 49.87% de la memoria del paquete recibido se dividió en 20254 búfers de 80 bytes. Qnum – El número de la cola. **#Qelem** - La cantidad de búfers que se asigna actualmente a esa cola. Si es una cola libre, después estos buffers están disponibles para el sistema. Si es una cola ToFab o de transmisión, los búferes no estarán disponibles en el sistema. Esta es la columna que debe marcar para averiguar qué cola tiene respaldo. Cabecera y pie: El mecanismo de cabecera y pie se utiliza para garantizar que las colas se muevan correctamente.
- Cola IPC - Reservada para los mensajes de Comunicación entre procesos de la LC al GRP.
- Cola sin procesar - Cuando a un paquete entrante se le ha asignado un búfer desde una cola libre que no sea IPC, se lo envía a la cola sin procesar. La cola sin procesar es una estructura Primero en entrar-Primero en salir (FIFO) procesada por la CPU LC durante las interrupciones. Si observa un número elevado en la columna #Qelem de la fila "Raw Queue" (Cola sin procesar), significa que existen muchos paquetes esperando en la CPU y que se comenzará a ignorarlos ya que la CPU no puede mantener la carga. Sin embargo, esto es muy raro.
- **Cola del tofab** - Colas de salida virtual; una por ranura de destino más una por tráfico de multidifusión. La última parte del ejemplo anterior muestra 15 colas virtuales de salida. Éste es un 12012 Router, que fue diseñado originalmente como chasis 15-slot; las colas de administración del tráfico 13 a 15 no se utilizan.

Después de que el linecard CPU del ingreso tome una decisión de Packet-Switching, el paquete se envía a la cola en la cola de salida virtual correspondiente al slot donde está destinado el paquete. El número de la cuarta columna es el número de paquetes que están actualmente en una cola de salida virtual.

[Flujo de paquetes en ToFab BMA](#)

Paso 1 - Un paquete entra en el módulo de interfaz de capa física (PLIM). Cuando se recibe y se procesa el paquete, éste pasa por el acceso directo a memoria (DMA) a una pequeña memoria (aproximadamente 2 x memoria intermedia de unidad máxima de transmisión (MTU)) llamada "primero en entrar, primero en salir (FIFO)". La cantidad de esta memoria depende del tipo de LC (desde 128 KB a 1 MB).

Paso 2 - Cuando el paquete está totalmente en memoria FIFO, un circuito específico de la aplicación (ASIC) en el PLIM entra en contacto el Buffer Management ASIC (BMA) y pide un buffer introducir el paquete. Se le dice al BMA cuál es el tamaño del paquete, y asigna un búfer en consecuencia. Si el BMA no puede conseguir un buffer del tamaño correcto, se cae el paquete y

el contador "ignorado" se incrementa en la interfaz entrante. No hay un mecanismo de repliegue como con otras plataformas.

Paso 3 - Mientras esto está sucediendo, el PLIM quizás esté recibiendo otro paquete en la memoria de ráfaga FIFO que por ello tiene un tamaño de 2xMTU. Si hay una memoria intermedia libre disponible en la cola apropiada, el paquete es almacenado por BMA en la lista de la cola libre del tamaño apropiado. Este buffer se pone en la cola sin procesar, que es examinada por la salsa ASIC o el R5K CPU, dependiendo del tipo motor de Switching del linecard.

Paso 4 - En la LC de Motor 0 la CPU R5K determina el destino del paquete al consultar sus tablas Distributed Cisco Express Forwarding (dCEF) locales en DRAM. Luego mueve el búfer desde la cola Raw a la cola ToFabric correspondiente a la ranura de destino. Si el destino no figura en las tablas DCEF, el paquete se perdió. Si el paquete es un paquete de control (por ejemplo, actualizaciones de ruteo), se envía a la cola del GRP y éste lo procesa. En un 12016 Router, hay 17 colas de administración del tráfico del tofab (16 unicast, más un Multicast).

Paso 5 - El ToFab BMA envía a cola el búfer dentro de la cola ToFab adecuada. A esta altura, el contador #Qelem en el agrupamiento del cual proviene el búfer disminuye de a uno y el contador de cola ToFab aumenta de a uno.

Nota: Hay una cola del tofab por el linecard (éste incluye el GRP). Estas colas de administración del tráfico se conocen como colas de salida virtual (VOQ). Éstos son importantes para evitar el bloqueo del jefe de line.

Paso 6 - El Fabric Interface ASIC (FIA) considera que una cola de salida es no vacía. El FIA se configura para dividir el paquete en segmentos en las células 48-byte. Se agrega un encabezado de 8 bytes en el paquete y se envía la celda de 56 bytes de Cisco a través del entramado del switch.

Transmitir memoria del paquete

La memoria de paquetes de transmisión almacena los paquetes que vienen de la estructura de los switches y que esperan la transmisión hacia la interfaz física. Esta memoria es también dividida en agrupaciones de varios tamaños.

Desde GRP, puede conectarse con una tarjeta de línea y ejecutar el comando show controller frfab queue para mostrar la memoria de paquetes de transmisión. Además de los campos en el Resultado ToFab, la salida del frfab visualiza una sección "Colas de interfaz". El resultado varía en función del tipo y número de interfaces de la tarjeta de línea saliente.

Una tal cola existe para cada interfaz en el linecard. Los paquetes destinados a una interfaz específica se colocaron en la cola de interfaz correspondiente.

```
LC-Slot1#show controller frfab queue===== Line Card (Slot 2) =====Carve information for
FrFab buffers   SDRAM size: 16777216 bytes, address: 20000000, carve base: 2002D100 16592640
bytes carve size, 0 SDRAM bank(s), 0 bytes SDRAM pagesize, 2 carve(s)   max buffer data size
9248 bytes, min buffer data size 80 bytes   20052/20052 buffers specified/carved
16581552/16581552 bytes sum buffer sizes specified/carved                Qnum   Head       Tail
#Qelem LenThresh      ----   ----   ----   -----   -----   5 non-IPC
free queues:          9977/9977 (buffers   specified/carved), 49.75%, 80 byte data size
1         101         10077          9977   65535          5986/5986 (buffers
specified/carved), 29.85%, 608 byte data size          2         10078       16063          5986
65535         2993/2993 (buffers   specified/carved), 14.92%, 1568 byte data size          3
16064        19056          2993   65535          598/598 (buffers   specified/carved),
```

```

2.98%, 4544 byte data size          4          19057          19654          598          65535
398/398 (buffers specified/carved), 1.98%, 9248 byte data size          5          19655
20052          398          65535          IPC Queue:          100/100 (buffers specified/carved),
0.49%, 4112 byte data size          30          77          76          100          65535          Raw
Queue:          31          0          82          0          65535          Interface Queues:
0          0          0          0          65535          1          0          0
0          65535          2          0          0          0          65535          3          0
0          0          65535

```

La siguiente lista describe algunos de los campos clave que se encuentran en el ejemplo anterior.

- **Colas libres no-IPC:** Estas colas de administración del tráfico son recursos compartidos de almacén intermedio de paquete de diversos tamaños. Cuando se recibe un paquete sobre la trama, se toma un búfer con un tamaño adecuado de una de estas colas, se copia en ella el paquete y se coloca el búfer en la cola correcta de la interfaz de salida. **Nota:** Hay tantos pools según las necesidades para el todo el router. En consecuencia, las colas FrFab se dividen hasta la MTU máxima de todo el sistema. Esto es diferente para las colas de administración del tráfico del tofab que se dividen al MTU máximo del linecard determinado.
- **Cola de IPC:** Reservado para los mensajes del Inter-Process Communication del GRP al LC.
- **Colas de la interfaz:** Estas colas de administración del tráfico están para las interfaces, no para los números de slot. El número más reciente (65535) es el TX-cola-límite. Este los números controla el Largo máximo de cualquier cola y se pueden ajustar por el **comando TX-queue limit** en el linecard del motor 0. Si experimenta alguna congestión, este comando puede ser utilizado para evitar que la LC de salida almacene en la memoria intermedia más de la cantidad de paquetes configurados en la cola de la interfaz para ese puerto específico. Asegúrese de configurar este número lo suficientemente bajo de manera que no incluya todas las colas FrFab para esta interfaz. Sin embargo, este ajuste no proporciona ningún control sobre los paquetes que se descartaron en la salida LC. [Consulte Resolución de problemas de paquetes ignorados y caídas sin memoria en el router de Internet de la serie Cisco 12000 para obtener más detalles.](#)

Flujo de paquetes en BMA FrFab

En este momento, el FIA han transmitido a las celdas de Cisco sobre el Switch Fabric.

Paso 1 - Estas celdas Cisco pasan por el DMA a las FIFO en las FIA FrFab y luego a una memoria intermedia en el BMA FrFab. El BMA de cola frFab es el que efectivamente vuelve a agrupar las celdas en un paquete.

¿Cómo sabe el FrFab BMA en qué memoria intermedia colocar las celdas antes de volver a ensamblarlas? Esta es otra decisión tomada por el motor de conmutación de la tarjeta de línea entrante. Puesto que todas las colas en el rectángulo entero son el mismo tamaño y en la misma orden, el motor de Switching dice el LC que transmite poner el paquete en la misma cola del número de la cual ingresó al router.

Las colas frFab BMA SDRAM pueden verse con el comando show controller frfab queue en la LC.

Paso 2 - Este paso es básicamente igual que el resultado de ToFab BMA. Los paquetes ingresan y se colocan en paquetes que se quitan de las colas libres respectivas. Estos paquetes se colocan en la cola del frfab, y se envían a la cola en la cola de la interfaz (hay una cola por el puerto físico) o el rawQ para el procesamiento de resultados. No ocurre demasiado en la cola rawQ: replicación de multidifusión por puerto, Modified Deficit Round Robin (MDRR) - la misma idea que el Distributed Weighted Fair Queuing (DWFQ), y Committed Access Rate (CAR) de la

salida. Si la cola de transmisión está llena, el paquete se pierde y el contador de caídas de salida aumenta.

Paso 3 - El frfab BMA espera hasta que la porción TX del PLIM esté lista para enviar un paquete. El FrFab BMA realiza la reescritura del Control de acceso de medios (MAC) (recuerde que lo hace según la información contenida en el encabezado de celda de Cisco) y envía el paquete, mediante DMA, a un búfer pequeño (otra vez, 2xMTU) en el circuito PLIM. El PLIM realiza el Segmentation and Reassembly (SAR) del Asynchronous Transfer Mode (ATM) y la encapsulación de Synchronous Optical Network (SONET), cuando es apropiado, y transmite el paquete.

[Información Relacionada](#)

- [Solución de problemas de paquetes ignorados e interrupciones por falta de memoria en el router de Internet de la serie Cisco 12000](#)
- [Resolución de problemas de caídas de entradas en el router de Internet de la serie 12000 de Cisco](#)
- [Cómo leer el resultado del comando show controller fia](#)
- [Soporte Técnico - Cisco Systems](#)