

Especificación del diseño de la interfaz serial de alta velocidad (HSSI)

Fecha: De abril el 12 de 1993
3.0 de la revisión

Versión anterior:
Revisión 2.11
De marzo el 16 de 1990

Primera versión: Octubre de 1989
Problema anexo #1: Enero de 1991

Copyright© 1989-1993 por Cisco Systems, Inc. y T3plus Networking, Inc.

Aviso

Cisco Systems, incorporado y el establecimiento de una red del T3plus, Incorporated no hacen ninguna representación por lo que se refiere a y no autorizan la información u a de los en la especificación, sino suministran tales de buena fe y al mejor de su conocimiento y capacidad. Sin restringir la generalidad del presente, Cisco Systems y T3plus Networking no realizan ningún tipo de declaración ni otorgan ningún tipo de garantía con respecto a la aptitud de la información para un uso particular, como así tampoco respecto a que la utilización de dicha información contenida en la Especificación infrinja alguna patente o los derechos de alguna persona. El receptor ignora los reclamos que puede tener en contra de Cisco Systems o de T3plus Networking respecto al uso que haga el receptor de la información o de los productos que se derivan de allí.

Se otorga permiso para reproducir y distribuir esta especificación suministrada:

1. Los nombres Cisco Systems, Inc. y T3plus Networking, Inc. aparecen como autores,
2. una copia de este aviso aparece en todas las copias,
3. la información de este documento no sufrió modificaciones ni alteraciones.

El contenido de este documento no puede alterarse ni modificarse sin el permiso expreso por escrito de Cisco Systems y T3plus Networking. Se piensa que este documento servirá como especificación de interfaz serial de alta velocidad y se desarrollará en un estándar de la industria. Por este motivo, se espera que en el futuro se haga una revisión de esta especificación para reflejar, a medida que vayan surgiendo, los requerimientos adicionales o la adhesión a nuevos estándares locales o internacionales. Cisco Systems y el establecimiento de una red del T3plus se reservan la derecha de alterar o de modificar esta especificación o el equipo que se relaciona con en cualquier momento sin previ6 aviso y sin el defecto.

Para recibir copias actualizadas de esta especificación, se recomienda solicitar que se le agregue a la lista de correo de la Especificación HSSI de Cisco Systems o T3plus Networking.

Coautores

John T. Chapman
Ingeniero de diseño de hardware principal
Cisco Systems, Inc.
Tasman Drive del este 375
San José, CA 95134
jchapman@cisco.com
TEL: FAX del (408) 526-7651: (408) 527-1709

Mitri Halabi
Ingeniero de diseño de hardware principal
T3plus Networking, Inc.
Tomas expressway de 2840 San
Santa Clara, CA 95051
mitri@t3plus.com
TEL: FAX del (408) 727-4545: (408) 727-5151

Introducción

Abstracto

Este documento especifica la interfaz de capa física que existe entre un DTE como un router de alta velocidad o un dispositivo de datos similares y un DCE como un DS3 (44.736 Mbps) o SONET STS-1 (51.84 Mbps) DSU. Las extensiones futuras a esta especificación pueden incluir el soporte para las tarifas hasta SONET STS-3 (155.52 Mbps).

Este documento es especificación compatible con la especificación del diseño HSSI, escrita por John T. Chapman y Mitri Halabi, revisión 2.11 con fecha de marzo 16, 1990 y problema anexo #1 con fecha de enero 23, 1991.

El HSSI está siendo ratificado actualmente por las Normas Estadounidense Intitute. La especificación de la capa física será EIA/TIA-613 y la especificación de capa eléctrica será EIA/TIA-612. Estas especificaciones deben estar disponibles en mediados de 1993. La notación se ha incluido aquí donde hay diferencias sabidas entre las dos especificaciones.

Organización del documento

- Esta sección, [introducción](#), introduce el HSSI y se relaciona lo con otras especificaciones.
- La siguiente sección, los [Términos y definición](#), proporciona las definiciones usadas en el documento.
- La tercera sección, [Especificación eléctrica](#), define las Especificaciones eléctricas, incluyendo los nombres de la señal, las definiciones, las características, la operación, y la sincronización.
- La sección cuatro, [especificación física](#), describe las propiedades físicas incluyendo los Tipos de conector, los tipos de cable, y los asignación de pin.
- El Apéndice A, los [diagramas de sincronización](#), relaciona gráficamente las relaciones de sincronización.
- El apéndice B, las [Convenciones de circuito diferencial](#), define gráficamente a las convenciones de polaridad.
- El C del apéndice, [Inmunidad al ruido](#), tiene una análisis detallado de la Inmunidad al ruido ECL.

Comparación a los estándares existentes

Con respecto a la serie de estándares ANSI/EIA, EIA-232-D, EIA-422-A, EIA-423-A, EIA-449, y EIA-530, esta especificación difiere porque:

- admite velocidades en bits seriales de hasta 52 Mbps
- utiliza los niveles de transmisión de la lógica de acoplamiento por emisor (ECL)
- permite espaciar las señales de sincronización, es decir, en forma discontinua
- utiliza un protocolo de señal de control simplificado
- utiliza un protocolo de señal de loopback más detallado
- usa un conector diferente

Términos y definiciones

Esta especificación utiliza las siguientes definiciones:

Analog Loopback

Un loopback en cualquier dirección que se asocia al lado de la línea de una parte del equipo DCE.

Aserción

(+side) de una señal dada esté en Voh potencial mientras que (- lado) de la misma señal esté en el potencial vol. (referencia: la sección de [Especificación eléctrica](#) y el [apéndice B: Sección de las Convenciones de circuito diferencial](#)).

Deassertion

El (lado+) de una determinada señal estará potencialmente en Vol mientras que el (lado-) de la misma señal estará potencialmente en Voh.

Data Communications Channel

Los medios de transmisión y el equipo que interviene involucrados en la transferencia de información entre los DCE. En esta especificación, el Data Communications Channel se asume para ser lleno - duplex.

DCE: Data Communications Equipment

Los dispositivos y conexiones de una red de comunicaciones que conectan el canal de comunicaciones de datos al dispositivo final (DTE). Esto se utilizará para describir el CSU/DSU.

Digital Loopback

Un loopback en cualquier dirección que se asocia al puerto DTE de una parte del equipo DCE.

DS3: Nivel 3 de señal digital

También conocido como T3. Equivalente en el ancho de banda a 28 T1's. La velocidad de bits es 44.736 Mbps. DSU: Unidad de servicio de datos. Proporciona un DTE con acceso a los recursos de telecomunicaciones digitales.

DTE: Equipo de terminal de datos

Parte de una estación de datos que funciona como origen de datos, destino de datos o ambos y que posibilita la función de control de las comunicaciones de datos según protocolos. Esto se utilizará para describir un router o un dispositivo similar.

Reloj abierto

Una secuencia de reloj a una velocidad nominal de bits que puede ser impulsos de reloj que falta en los intervalos arbitrarios para las longitudes arbitrarias de tiempo.

OC-N

La señal óptica que surge de una conversión óptica de una señal STS-N.

SONET: Red óptica sincrónica

Un estándar ANSI/CCITT para estandarizar el uso de los sistemas de comunicación óptica.

STS-N: Nivel N de la señal de transporte sincrónica, donde $n = 1,3,9,12,18,24,36,48$

STS-1 es la señal lógica básica del bloque de construcción para SONET con una velocidad de 51.84 Mbps. El nivel STS-N se obtiene intercalando bytes de las señales N STS-1 junto con una velocidad de N veces 51.84 Mbps.

Especificación eléctrica

Definiciones de señales

RT: Sincronización de recepción del DCE

RT consiste en saltos de reloj con una velocidad máxima de bits de 52 Mbps y proporciona información de receive signal element timing para RD.

RD: Reciba los datos del DCE

Las señales de datos generadas por DCE, en respuesta a las señales de línea de canal de datos recibidas desde una estación de datos remota, se transfieren en este circuito a DTE. RD es sincrónico con RT.

ST: Envíe la sincronización del DCE

ST consiste en saltos del reloj con una velocidad máxima de bits de 52 Mbps y proporciona información de temporización del elemento señal de transmisión al DTE.

TT: Temporización de terminal al DCE

TT proporciona información de temporización de elementos de señal de transmisión a DCE. TT es el retorno de la señal de eco de ST al DCE (Equipo de comunicación de datos) por el DTE (Equipo terminal de datos). La TT debe ser guardada en la memoria intermedia sólo por el DTE y no debe estar precedida por cualquier otra señal.

SD: Envíe los datos al DCE

Las señales de datos originadas por DTE serán transmitidas por el canal de datos a una estación en el extremo lejano. SD es sincrónica con TT.

TA: equipo de terminal de datos disponible para el DCE

La TA será afirmada por el DTE independientemente de la autoridad certificadora, cuando el DTE esté preparado tanto para recibir como para enviar datos hacia y desde el DCE. La transmisión de datos válida no debe comenzar hasta que CA también haya sido afirmado por el DCE. Si el Data Communications Channel requiere a un patrón de datos de la señal de mantenimiento cuando el DTE es disconnected, después el DCE suministrará este modelo mientras que el TA es deasserted.

CA: Data Communications Equipment disponible desde DCE

CA será afirmado por el DCE, independientemente del TA, cuando el DCE se prepara a envía y recibe los datos a y desde el DTE. Esto indica que el DCE obtuvo un canal de comunicaciones de datos válido. La Transmisión de datos no debe comenzar hasta que el TA también haya sido

afirmado por el DTE.

Dado que el Data Communications Channel es inválido a menos que se afirmen el TA y CA, después puede ser buena práctica de la implementación bloquear el flujo de datos entrante con el TA y CA en el DTE y el DCE.

Debe también ser reconocido que cuando CA es deasserted por el DCE, el DCE está en un estado desconocido, y que los relojes ST y RT pueden estar ausentes y no se pueden considerar por el DTE como válidos.

LA: Circuito A a DCE del loopback

LB: Circuito B a DCE del loopback

El LA y el LB son afirmados por el DTE para hacer el DCE y su Data Communications Channel asociado proporcionar uno de tres Loopback Mode de diagnóstico. Específicamente, LB = 0, LA = 0: ningún Loopback LB = 1, LA = 1: local DTE loopback LB = 0, LA = 1: Loopback LB de la línea local = 1, LA = 0: loopback de la línea remota

El A1 representa la aserción, y el a0 representa el deassertion. Todos los loopback son loopback del payload. Por lo tanto, si la secuencia de datos HSSI se multiplexa encendido solamente a la parte del Data Communications Channel, después, como mínimo, sólo esa parte del Data Communications Channel necesita loopbacked.

¿Un DTE local (??) el loopback digital ocurre en el puerto DTE del DCE, y se utiliza para probar el link entre el DTE y el DCE. ¿Una línea local (??) el loopback analogico ocurre en el puerto del lado de la línea del DCE, y se utiliza para probar la funcionalidad de DCE. ¿Una línea remota (??) el loopback analogico ocurre en la línea puerto del telecontrol DCE, y se utiliza para probar las funciones del Data Communications Channel. Estos tres loops de retorno comienzan en esta secuencia. El dispositivo DCE remoto se controla dirigiendo los loops de retorno locales de forma remota. Observe que el LA y el LB son superconjuntos directos de las señales LL (Local Loopback) y RL (Loopback remoto) EIA.

El DCE local DCE continúa manteniendo a CA durante los tres modos de loopback. Si el DCE local no puede soportar un Loopback Mode determinado, después puede elegir al deassert CA mientras que el LA o el LB es afirmado por el DTE, el telecontrol DCE deassert CA cuando el Loopback remoto está en efecto. Si el telecontrol DCE puede detectar un Local Loopback en el DCE local, después el telecontrol DCE deassert su CA; si no el telecontrol DCE afirmará su CA cuando hay un Local Loopback en el DCE local.

El DCE implementa el loopback sólo hacia el DTE dominante. Se ignora la recepción de datos del canal de comunicaciones de datos. ¿Envíe los datos al Data Communications Channel se llena de cualquiera el DTE en jefe? ¿s envía la secuencia de datos, o con un patrón de datos de la señal de mantenimiento, dependiendo del Data Communications Channel? requisitos del específico s.

No existe ninguna señal de estado del hardware explícita que indique que el DCE entró en modo de loopback. El DTE espera una cantidad de tiempo apropiada después de afirmar el LA y el LB antes de si se asume que el loopback para ser válido. La cantidad de tiempo apropiada es dependiente de la aplicación, y no es una parte de esta especificación.

El modo de loopback se aplica a las señales de datos y de temporización. Por lo tanto, en el link DTE – DCE, la misma señal de sincronización podría atravesar el link tres veces, primero como ST, luego como TT y finalmente como RT.

LC: C del circuito del loopback del DCE

El LC es una señal de pedido de Loopback opcional del DCE al DTE, de pedir que el DTE proporciona un Loopback Path al DCE. Más concretamente, el DTE fijaría el $TT=RT$ y el $SD=RD$. El ST no sería utilizado, y no se podía confiar sobre como fuente de reloj válida en estas circunstancias.

Esto luego permitiría que el diagnóstico de administración de la red DCE/DSU pruebe la interfaz DCE/DTE en forma independiente de DTE. Esto responde a la filosofía de HSSI que establece que ambos, el DCE y el DTE, son pares inteligentes independientes y que el DCE es capaz y responsable de mantener su propio canal de comunicación de datos.

En caso que el DTE y el DCE afirmaran las peticiones de Loopback, el DTE será dado la preferencia.

Observe que el LC es opcional y no se ha incluido en el estándar de ANSI.

TM: Modo de prueba del DCE

El DCE afirma al modo de prueba cuando está en un modo de prueba causado por cualquier Loopback local o remotos. Esta señal es opcional. El TM ha sido agregado por el ANSI y no era parte de la Especificación HSSI original.

SG: Tierra de señal

¿El SG es conecta? s a la tierra de circuito en los ambos extremos. SG asegura que los niveles de la señal de transmisión permanezcan dentro del alcance de entrada del modo común de los receptores.

SH: Dirección de escudo

El escudo encapsula el cable para EMI y no tiene el objetivo implícito de llevar corrientes de retorno de señal. El blindaje está conectado con la tierra de trama DTE directamente, y puede elegir una de dos opciones en la tierra de trama DCE.

La primera opción es conectar el blindaje a la conexión a tierra del DCE (Equipo de comunicación de datos) directamente.

La segunda opción es conectar el blindaje con la conexión a tierra del DCE con una combinación paralela de 470 ohmios, +/-10%, wattresistor del 1/2, de 0.1 uF, +/- 10%, 50 voltios, capacitor cerámico monolítico, y los 0.01 uF, el +/- 10%, 50 voltios, capacitor cerámico monolítico.

La red R-C-C debería estar los más cerca posible de la unión del chasis con el escudo. Porque el blindaje se termina directamente al DTE y al chasis DCE, el blindaje no se da un asignación de pin dentro del conector. La continuidad de escudo entre los cables de conexión se mantiene por la base del conector.

En la práctica, la primera opción se utiliza generalmente.

Características eléctricas

Todas las señales son equilibradas, diferenciado conducidas, y recibidas en los niveles estándar ECL. La tensión negativa de alimentación de ECL, Vee, puede ser de -5,2 VCC +/- 10% o -5,0 VCC +/- 10% en cualquier extremo. Los tiempos ascendentes y los tiempos descendentes se miden en límites de umbral del 20% al 80%. Las Características eléctricas del Transmisor HSSI y

del receptor se dan en la tabla del Receptor HSSI y la tabla del Transmisor HSSI, que se presentan abajo.

Además de las Características eléctricas 10KH ECL enumeradas en esta especificación, el interoperation con 100K ECL es también posible y será tenido en cuenta en la especificación ANSI.

Operación de seguridad

En caso que el cable de interfaz no esté presente, los receptores diferenciales de ECL deben omitir un estado conocido. Para garantizar esto, es necesario al usar el 10H115 o el 10H116 para agregar los 1.5 kohm, el 1%, la resistencia de carga al (- lado) del receptor, y los 1.5 kohm, el 1%, resistencia descarga al (+side) del receptor.

Esto permite que los 150 mínimos apropiado del mvolts sean desarrollados a través de los 110 ohmios de resistencia y creará una terminación longitudinal de 750 ohmios. El estado predeterminado de todas las señales de interfaces es negado.

No es necesario utilizar las resistencias externas al usar el 10H125 puesto que tiene una red de polarización interna que fuerce un estado bajo de la salida cuando las entradas se dejan la flotación.

La interfaz no debe dañarse a causa de un circuito abierto o una conexión en corto circuito en ninguna combinación de pines.

Sincronización

La sincronización de la fuente se define como las formas de onda de sincronización generadas en un transmisor. La sincronización del destino se define como incidente de las formas de onda de sincronización en un receptor. Los anchos de los pulsos se miden entre el 50% de los puntos de la amplitud final del pulso. El borde anterior del pulso de sincronización debe definirse como un límite entre negación y afirmación. El borde de cola del pulso de temporización estará definido por el límite entre la afirmación y su opuesto.

El link HSSI, desde un punto de vista de la especificación y de la implementación, se debe considerar como balanceo ECL para flip-flop el link. Mientras que los datos salen del puerto HSSI, deben reclocked fuera de un flip flop ECL y directamente en el driver de línea. En el receptor, pasando una vez a través de la línea receptor, los datos se deben reclocked inmediatamente otra vez en un flip flop ECL. Las señales de control no requieren el uso de un balanceo.

El ancho mínimo del pulso de sincronización de fuente positiva RT, TT y ST debería ser 7.7 ns. Esto permite una tolerancia de ciclo de fuente en servicio de +/- 10%. Este valor se obtiene de:

- $$10\% = \frac{((9.61\text{ns} - 7.7\text{ns})/19.23\text{ns})}{x100\%}$$

donde:

- $$19.23 \text{ ns} = 1 / (52 \text{ Mbps})$$

$$9.61 \text{ ns} = 19.23 \text{ ns} * 1/2 \text{ cycle}$$

Los datos cambiarán a su nuevo estado dentro de +/- 3 ns del borde delantero del pulso de

sincronización de la fuente.

El ancho del pulso de sincronización de destino mínimo positivo de RT, TT y ST será de 6.7 ns. Los datos cambiarán a su nuevo estado dentro de +/- 5 ns del borde delantero del pulso del reloj del destino. Estos números permiten elementos de distorsión de la transmisión de 1.0 ns de distorsión de ancho de pulso y 2.0 ns de reloj a desviación de datos. Este deja 1.7 ns para el tiempo de configuración del receptor.

Los datos se considerarán válidos en el extremo final. De este modo, los datos del reloj del transmisor fuera en el borde anterior y los datos del reloj del receptor dentro en el extremo posterior. Esto permite una ventana de aceptación para el error de desviación de datos del reloj.

El retardo del puerto ST al puerto TT dentro del DTE será menos de 50 ns. El DCE debe poder tolerar un retardo de por lo menos 200 ns entre su puerto ST y su puerto TT. Esto permite un retardo de 150 ns para 15 contadores de cable (el retardo de ida y vuelta)

Para facilitar las diversas implementaciones del multiplexor del bit/del byte/de la trama DCE, el RT y el ST se pueden abrir para permitir la cancelación de los impulsos de entramado y para permitir la limitación del ancho de banda del HSSI.

El intervalo de brecha máximo no está especificado. Sin embargo, se espera que las fuentes de reloj ST y RT sean generalmente continuas cuando se afirman el TA y CA. Un intervalo de separación se mide como la cantidad de tiempo entre dos bordes consecutivos de reloj de la misma cuesta.

La velocidad de transferencia instantánea de datos nunca debe exceder los 52 Mbps.

La definición de datos válidos depende de la aplicación y no es sujeto de esta especificación. Esto concuerda con el hecho de que HSSI sea una especificación de capa 1, y por lo tanto no tiene conocimiento de la validez de los datos.

CA y el TA son asíncronos de uno a. En la afirmación de CA, las señales ST, RT y RD no se considerarán válidas para al menos 40 ns. En la afirmación de TA, las señales TT y SD no se considerarán válidas para al menos 40 ns. Esto tiene como objetivo otorgarle al extremo receptor suficiente tiempo para la configuración.

No se debe eliminar la aserción de TA hasta al menos un pulso de reloj después de que se haya transmitido el último bit de datos válido en SD. Esto no se aplica para las CA porque los datos son transparentes para el DCE.

Especificación física

El cable que conecta DCE con DTE está compuesto por 25 pares trenzados con un blindaje general de papel de aluminio/trenzado. Ambos conectores del cable son machos. Los puertos DTE y DCE tienen receptáculos hembra. Las dimensiones se dan en los contadores (m) y los pies (pie).

Observe que aunque el cable HSSI utilice el mismo conector que la especificación SCSI-2, las impedancias del cable del HSSI y los cables SCSI-2 son diferente. Los cables SCSI-2 pueden ser tan bajos como 70 ohmios, mientras que los cables HSSI se especifican en 110 ohmios. Como consecuencia, los cables hechos a las especificaciones SCSI-2 pueden no trabajar correctamente con el HSSI. Las incompatibilidades serán más evidentes con las longitudes más largas de los cables.

El cable se describe totalmente en la tabla de Especificaciones eléctricas de cables HSSI, la tabla de Especificaciones físicas de cables HSSI, y la tabla de Clavijas de conectores HSSI, que se presentan abajo.

Apéndice A: Diagramas de sincronización

Apéndice B: Convenciones de circuito diferencial

Apéndice C: Inmunidad al ruido

Este apéndice calcula la inmunidad al ruido de esta interfaz. Los 150 mvolts normales de inmunidad de ruido especificados para el circuito ECL 10KH no corresponden a este caso dado que las entradas de diferencial no utilizan la tensión Vbb polarizada interna del circuito ECL.

Los márgenes de ruido del modo común (NMcm) y del modo diferencial (NMdiff) para los receptores de línea diferencial 10H115 y 10H116 son:

-

$$\begin{aligned} \text{NMcm+} &= \text{Vcm_max} - \text{Voh_max} \\ &= -0.50 \text{ Vdc} - (-0.81 \text{ Vdc}) \\ &= 310 \text{ mVdc} \end{aligned}$$

$$\begin{aligned} \text{NMcm-} &= \text{Vol_min} - \text{Vcm_min} \\ &= -1.95 \text{ Vdc} - (-2.85 \text{ Vdc}) \\ &= 900 \text{ mVdc} \end{aligned}$$

$$\begin{aligned} \text{NMdiff} &= \text{Vod_min} * \text{length} \\ &\quad * \text{attenuation/length} \\ &\quad - \text{Vid_min} \\ &= 590 \text{ mv} \\ &\quad / [10^{((50 \text{ ft} * .085 \text{ dB/ft})/20)}] \\ &\quad - 150 \text{ mv} \\ &= 361 \text{ mv} \end{aligned}$$

in dB:

$$= 20 \log [(361+150)/150]$$

$$= 10.6 \text{ dB}$$

Los voltajes están en 25 grados de centígrado. V_{cm_max} fue elegido para estar 100 mv por debajo del punto de saturación $V_{ih} = -0.4$ voltios.

El receptor diferencial 10H125 tiene una fuente +5 Vdc y puede manejar una gran excursión positiva en su entrada. El rendimiento de margen de ruido de 10H125 es:

-

$$\begin{aligned} NM_{cm+} &= V_{cm_max} - V_{oh_max} \\ &= 1.19 \text{ Vdc} - (-0.81 \text{ Vdc}) \\ &= 2000 \text{ mVdc} \end{aligned}$$

NM_{cm-} y NM_{diff} son lo mismo para todas las piezas. Para permitir el uso de todos los receptores, el ruido de modo común del peor caso en el receptor debe limitarse a 310 mvdc.

¿Interprete el rango de modo común, V_{cm_max} a V_{cm_min} , como el rango máximo de los voltajes absolutos que se pueden aplicar al receptor? entrada s, independiente del voltaje diferencial aplicado. El rango de voltaje de señal, V_{oh_max} to V_{ol_min} , representa el rango máximo de voltajes absolutos que producirá el transmisor. La diferencia entre estos dos rangos representa los márgenes de ruido de modo común, NM_{cm+} y NM_{cm-} , donde NM_{cm+} es la máxima excursión para el ruido aditivo de modo común y NM_{cm-} es la máxima excursión para el ruido sustractivo de modo común.

Con cinco argumentos del par trenzado de 50 pies, la cantidad de corriente del Ground Loop requerida para utilizar encima de la margen de ruido del Modo típico es:

-

$$\begin{aligned} I_{ground} &= NM_{cm+} \\ &/ (\text{cable_resistance}/5 \text{ pairs}) \\ &= (310 \text{ mVdc}) \\ &/ (70 \text{ mohms/foot} \\ &\times 50 \text{ feet} / 10 \text{ wires}) \\ &= 0.9 \text{ amps dc} \end{aligned}$$

Esta cantidad de corriente nunca debe estar presente en condiciones normales de operación.

El ruido del Modo típico tendrá un pequeño efecto en la margen de ruido diferencial, V_{df_app} . Más precisamente, V_{df_app} sería afectado por el ruido que se introduce por un lado de los carriles de energía en el transmisor. El ECL V_{cc} tiene una proporción de rechazo de fuente de alimentación (PSRR) de 0 DB mientras que la uve ECL tiene un PSRR por orden de DB 38. De esta manera, para minimizar ruidos diferenciales, V_{cc} está conectada a tierra y V_{ee} está conectada a una fuente de energía negativa.