

Formatos de marcos en atmósfera las interfaces DS3 y E3

Contenido

[Introducción](#)

[prerrequisitos](#)

[Requisitos](#)

[Componentes Utilizados](#)

[Convenciones](#)

[Entienda el ADM y el PLCP](#)

[E3](#)

[El asociar](#)

[PLCP \(Protocolo de convergencia de capa física\)](#)

[ADM](#)

[Opciones de alineación de tramas en interfaces de Cisco](#)

[Confirme su configuración](#)

[Resuelva problemas las discordancias entre tipos de entramado](#)

[Introducción](#)

El nivel 3 de la señal digital (DS-3) admite velocidades de hasta 44.736 Mbps y es un tipo de link popular para aplicaciones de estructura básica WAN. Las líneas DS3 se diseñan para llevar síncrono hasta 28 líneas DS1 (T1). El documento T1.107-1998 del Instituto Nacional Estadounidense de Estándares (ANSI) define las especificaciones eléctricas para los links DS-3.

E3 admite velocidades de hasta 34.368 Mbps y es un tipo de link popular para las aplicaciones de estructura básica de WAN fuera de los Estados Unidos.

La mayoría de las interfaces DS-3 y E3 proporcionan una selección de cuatro formatos de entramado. Estos formatos difieren en el número de bytes de tara, la cantidad de bytes de carga útil y el método de definición de las celdas ATM adyacentes.

Este los documentos revisa los cuatro formatos de marcos y explican cómo resolver problemas cualquier error de la línea de la Capa física según lo visualizado por el **comando show controllers atm**.

[prerrequisitos](#)

[Requisitos](#)

No hay requisitos específicos para este documento.

Componentes Utilizados

Este documento no tiene restricciones específicas en cuanto a versiones de software y de hardware.

Convenciones

For more information on document conventions, refer to the [Cisco Technical Tips Conventions](#).

Entienda el ADM y el PLCP

Para la tecnología ATM, este documento utiliza el formato del multiframe descrito en la recomendación G.704.

Un flujo de bit DS-3 se organiza como una serie de tramas múltiples, conocidas como tramas M. Cada trama M se divide en siete subframes de 680 bits cada uno M. Un subtrama M se particiona aún más en ocho bloques de 85 bits cada uno. Un bloque 85-bit consiste en 84 bits de información del usuario y uno de estos bits de tareas generales de alineación tramas:

- **P1, P2** — El servicio de los bits P como verificación de paridad a proteger contra los errores de bit como la trama atraviesa el alambre físico.
- **X1, X2** — Los bits X se utilizan para indicar los multiframe errored recibidos al extremo remoto.
- **F1, F2, F3, F4** — los bits F sirve como señales de alineación usadas por el equipo de recepción para identificar las posiciones de bit de consumo de recursos. Los valores son F1 = 1, F2 = 0, F3 = 0, F4 = 1.
- **M1, M2, M3** — Los bits M sirven como señal de alineación de tramas múltiples usada para localizar los siete M-subframes, dentro del multiframe. Los valores son M1 = 0, M2 = 1, M3 = 0.
- Bits del C usados como bit que provee de personal con el M23 que enmarca y como supervisión de rendimiento en servicio de la trayectoria del End to End con la alineación de tramas del bit C.

De un total de 4760 bits, cada trama M incluye 4704 bits de usuario y 56 bits de entramado de tara.

E3

Para la tecnología ATM, este documento utiliza la estructura de trama básica descrita en las recomendaciones G.832 o G.751.

Con el G.832 la estructura de trama básica E3 tiene siete octetos de tara y 530 octetos de carga. Los bytes de tara se utilizan para una alineación de tramas, una supervisión del error y un mantenimiento.

Con el G.751, 4 cuatro señales digitales se multiplexan a 8448 velocidades del kbit/s

El asociar

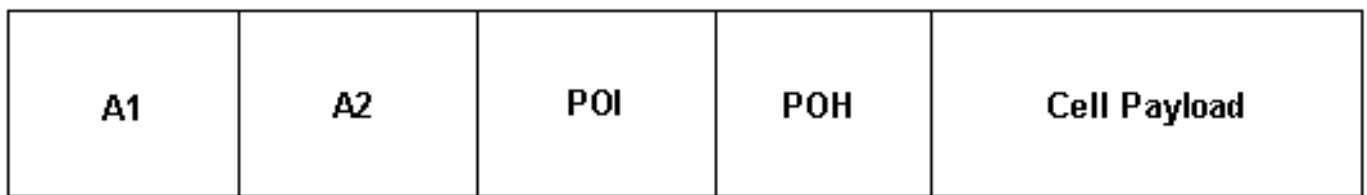
Dos métodos existen para asociar a las células ATM en la estructura de alineación de tramas DS3 o E3:

- (PLCP) del Physical Layer Convergence Protocol.
- Mapeo directo ATM (ADM).

El E3 usando la recomendación G.832 puede utilizar el ADM que asocia solamente.

PLCP (Protocolo de convergencia de capa física)

PLCP consiste en subtramas normalmente representadas en la documentación técnica como una cuadrícula de filas y columnas de celdas de dos dimensiones y bytes de sobrecarga. Cada fila consiste en 53 bytes de la célula ATM y cuatro bytes de las tareas generales de alineación tramas y de Administración, como se ilustra en este diagrama:

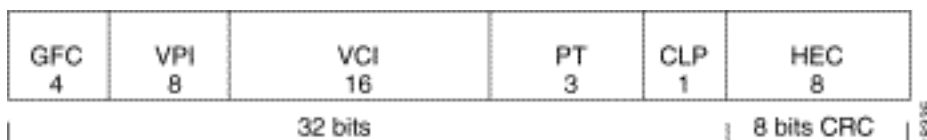


En este indicador del Path Overhead del diagrama, de la significa POI, y Path Overhead de la significa POH. A1 y A2 proporcionan la alineación de tramas y deben seguir un patrón diferente de unos y ceros.

ADM

Originalmente, PLCP se diseñó para transmitir información de temporización desde la capa física a una capa superior especial y admitir servicios isócronos. Puesto que la atmósfera no utiliza estos servicios, el PLCP introduce los gastos indirectos adicionales y el ADM substituye el PLCP.

El ADM asocia a las células ATM directamente en las tramas DS3 o E3. El campo de la comprobación de error de encabezado (HEC) en el encabezado de cinco bytes atmósfera se utiliza para identificar el comienzo de la celda inicial en una trama. Un dispositivo receptor examina la secuencia de bits entrante y verifica si un conjunto de ocho bits contiene una verificación por redundancia cíclica (CRC) válida para los 32 bits anteriores.



Para entender porqué usted utilizaría el ADM preferentemente al PLCP, mirada en las diferencias entre los dos protocolos:

- Tarifa del payload:ADM = (672 bits por el M-subframe) x (7)/(de los M-subframes 106.4 microsegundos) = 44.21 Mbps
PLCP = (8000 tramas por segundo) x (12 células por la trama) = 96,000 células por segundo = 40.70 Mbps
- Delineación de celdas
PLCP - Las células ATM están en las ubicaciones predeterminadas dentro de cada fila del PLCP. No hay método adicional necesario delinear a las células ATM.
ADM - El campo del control de error de encabezado (HEC) del encabezado de célula ATM se utiliza para delinear a las células ATM.**Nota:** El Cell Delineation define cómo un

dispositivo receptor reconoce el comienzo y el extremo de una célula ATM.

Opciones de alineación de tramas en interfaces de Cisco

Usted puede configurar el router del Cisco ATM y las interfaces del switch de Catalyst con estos formatos de marcos dependiendo del hardware específico. Es importante tener en cuenta que el hardware específico usa valores predeterminados diferentes. Por ejemplo, el valor por defecto (y solamente la opción) en el CS-AIP-DS3 es `cbitplcp`, mientras que el PA-A3-T3 y el PA-A6-T3 utilizan un valor predeterminado del `cbitadm`. Asegúrese de controlar el formato de marcos cuando intercambie el hardware. Los parámetros predeterminados no se muestran en la configuración que se está ejecutando.

Para configurar un valor no predeterminado, utilice el comando `atm framing`. Una interfaz debe ser `shut/no cerrado` para que un cambio tome el efecto.

Producto (DS-3)	m23plcp	cbitplcp	m23adm	cbitadm
PA-A6-T3	Yes	Yes	Yes	Yes
PA-A2-4T1C-T3ATM	Yes	Yes	Yes	Yes
PA-A3-T3	Yes	Yes	Yes	Yes
CX-AIP-DS3	No	Yes	No	No
NP-1A-DS3 (4500/4700)	Yes	Yes	Yes	Sí*
NM-1A-T3 (2600/3600)	Yes	Yes	Yes	Yes
Lightstream 1010 o Catalyst 85x0 PAM	Yes	Yes	Yes	Yes
Módulo Catalyst 5000 ATM	Yes	Yes	Yes	Yes

* el `cbitadm` requiere el Software Release 12.1(1)T o Posterior de Cisco IOS®.

Producto (E3)	g832adm	g751adm	g751plcp
PA-A6-E3	Yes	Yes	Yes
PA-A2-4T1C-E3ATM	Yes	Yes	Yes
PA-A3-E3	Yes	Yes	Yes
CX-AIP-E3	Yes	No	Yes
NP-1A-E3 (4500/4700)	Yes	Yes	Yes
NM-1A-E3 (2600/3600)	Yes	Yes	Yes
Lightstream 1010 o Catalyst 85x0 PAM	Yes	Yes	Yes

Confirme su configuración

Use los comandos `show atm interface atm` y `show controllers atm` para ver el formato de trama actualmente activa.

```
AIP#show atm interface atm 1/0
ATM interface ATM1/0:
AAL enabled: AAL5 , Maximum VCs: 2048, Current VCCs: 2
Tx buffers 256, Rx buffers 256, Exception Queue: 32, Raw Queue: 32
VP Filter: 0x7B, VCIs per VPI: 1024, Max. Datagram Size:4496
PLIM Type:E3 - 34Mbps, Framing is G.751 PLCP, TX clocking: LINE
31866 input, 27590 output, 0 IN fast, 0 OUT fast
Rate-Queue 0 set to 34000Kbps, reg=0x4C0 DYNAMIC, 2 VCCs
Config. is ACTIVE
```

```
PA-A3#show controllers atm 1/0/0
ATM1/0/0: Port adaptor specific information
Hardware is DS3 (45Mbps) port adaptor
Framer is PMC PM7345 S/UNI-PDH, SAR is LSI ATMIZER II
Framing mode: DS3 C-bit ADM
No alarm detected
Facility statistics: current interval elapsed 796 seconds
lcv      fbe      ezd      pe      ppe      febe     hcse
-----
lcv: Line Code Violation
be: Framing Bit Error
ezd: Summed Excessive Zeros
PE: Parity Error
ppe: Path Parity Error
febe: Far-end Block Error
hcse: Rx Cell HCS Error
```

En las interfaces con excepción del procesador de interfaz ATM (AIP), el comando `show controllers atm` también visualiza las alarmas activas y a los contadores de errores sin ceros, designados la salida las estadísticas de recursos. Los valores distintos de cero indican que existe un problema con el cable físico entre esta interfaz de router y otro dispositivo de la red, en general, un switch en la nube del proveedor de la red ATM

Discordancias entre tipos de entramado del Troubleshooting

Si unen mal al tipo de alineación de tramas en dos extremos de un vínculo ATM, la interfaz ATM estará abajo. El fundador de los informes de `comando show controller atm` fuera del capítulo (FRMR OOF) y mapeo directo ATM fuera de los defectos del Cell Delineation (ADM OOC), como se ilustra en esta salida.

```
router#show controller atm 3/0
Interface ATM3/0 is down
Hardware is RS8234 ATM DS3
[output omitted]
Framer Chip Type PM7345
Framer Chip ID 0x20
Framer State RUNNING
Defect FRMR OOF
Defect ADM OOC
Loopback Mode NONE
Clock Source INTERNAL
```

DS3 Scrambling ON

Framing DS3 C-bit direct mapping

Resuelva los errores OOF y OOCB a través de la confirmación de la configuración de la trama en cada extremo. Use el comando atm framing para configurar y experimentar con otros tipos de entramado.

[Solicitud de comentarios – RFC 1407 define las alarmas y los errores DS-3 y E3. Refiera a los problemas de línea y a los errores del troubleshooting en las interfaces ATM DS3 y E3](#) para la dirección.